

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

(affiliée à l'Organisation Internationale de Normalisation — ISO)

RECOMMANDATION DE LA CEI

INTERNATIONAL ELECTROTECHNICAL COMMISSION

(affiliated to the International Organization for Standardization — ISO)

IEC RECOMMENDATION

Publication 117-15

Première édition — First edition

1972

Symboles graphiques recommandés

15ème partie: Opérateurs logiques binaires

Recommended graphical symbols

Part 15: Binary logic elements



Droits de reproduction réservés — Copyright - all rights reserved

Bureau Central de la Commission Electrotechnique Internationale

1, rue de Varembe

Genève, Suisse

IECNORM.COM: Click to view the full PDF of IEC 60717-15:1972

Withdrawn

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

(affiliée à l'Organisation Internationale de Normalisation — ISO)

RECOMMANDATION DE LA CEI

INTERNATIONAL ELECTROTECHNICAL COMMISSION

(affiliated to the International Organization for Standardization — ISO)

IEC RECOMMENDATION

Publication 117-15

Première édition — First edition

1972

Symboles graphiques recommandés

15ème partie: Opérateurs logiques binaires

Recommended graphical symbols

Part 15: Binary logic elements



Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

Bureau Central de la Commission Electrotechnique Internationale

1, rue de Varembe

Genève, Suisse

SOMMAIRE

	Pages
PRÉAMBULE	4
PRÉFACE	4
Articles	
1. Domaine d'application	6
CHAPITRE I : GÉNÉRALITÉS — EXPLICATIONS	6
CHAPITRE II : FORMATION DES SYMBOLES ET RÈGLES D'EMPLOI	8
CHAPITRE III : ENTRÉES ET SORTIES	12
Section A — Généralités	12
Section B — Polarité	12
Section C — Négation	15
Section D — Entrées statiques et dynamiques	15
Section E — Entrées d'inhibition et de validation	16
Section F — Entrées et sorties diverses	17
CHAPITRE IV : OPÉRATEURS COMBINATOIRES	20
Section A — Généralités	20
Section B — Opérateurs combinatoires élémentaires	20
Section C — Opérateurs combinatoires complexes	21
Section D — Opérateurs combinatoires divers	23
Section E — Exemples	24
CHAPITRE V : OPÉRATEURS A RETARD	26
CHAPITRE VI : OPÉRATEURS SÉQUENTIELS	28
Section A — Bascules bistables	28
Section B — Bascules monostables	35

CONTENTS

	Page
FOREWORD	5
PREFACE	5
Clause	
1. Scope	7
CHAPTER I : GENERAL — EXPLANATIONS	7
CHAPTER II : COMPOSITION OF THE SYMBOLS, AND RULES FOR THEIR USE	9
CHAPTER III : INPUTS AND OUTPUTS	12
Section A — General	12
Section B — Polarity	12
Section C — Negation	15
Section D — Static and dynamic inputs	15
Section E — Inhibiting and negated inhibiting inputs	16
Section F — Other inputs and outputs	17
CHAPTER IV : COMBINATIVE ELEMENTS	20
Section A — General	20
Section B — Elementary combinative elements	20
Section C — Complex combinative elements	21
Section D — Other combinative elements	23
Section E — Examples	24
CHAPTER V : DELAY ELEMENTS	26
CHAPTER VI : SEQUENTIAL ELEMENTS	28
Section A — Bistable elements	28
Section B — Monostable elements	35

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

SYMBOLES GRAPHIQUES RECOMMANDÉS

15ème partie : Opérateurs logiques binaires

PRÉAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager cette unification internationale, la CEI exprime le vœu que tous les Comités nationaux ne possédant pas encore de règles nationales, lorsqu'ils préparent ces règles, prennent comme base fondamentale de ces règles les recommandations de la CEI dans la mesure où les conditions nationales le permettent.
- 4) On reconnaît qu'il est désirable que l'accord international sur ces questions soit suivi d'un effort pour harmoniser les règles nationales de normalisation avec ces recommandations dans la mesure où les conditions nationales le permettent. Les Comités nationaux s'engagent à user de leur influence dans ce but.

PRÉFACE

La présente recommandation a été établie par le Comité d'Etudes N° 3 de la CEI : Symboles graphiques, qui est resté en contact, tout au long des travaux, avec les Comités spécialisés de la CEI et de l'ISO intéressés à ce domaine.

Les projets de la présente recommandation furent discutés lors des réunions tenues à Copenhague et à Téhéran en 1969. A la suite de cette dernière réunion, un projet révisé fut soumis à l'approbation des Comités nationaux suivant la Règle des Six Mois en mars 1970.

Les pays suivants se sont prononcés explicitement en faveur de la publication :

Allemagne	Italie
Belgique	Japon
Etats-Unis d'Amérique	Norvège
Finlande	Pays-Bas
France	Suède
Iran	Tchécoslovaquie
Israël	Turquie

INTERNATIONAL ELECTROTECHNICAL COMMISSION

RECOMMENDED GRAPHICAL SYMBOLS

Part 15 : Binary logic elements

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote this international unification, the IEC expresses the wish that all National Committees having as yet no national rules, when preparing such rules, should use the IEC recommendations as the fundamental basis for these rules in so far as national conditions will permit.
- 4) The desirability is recognized of extending international agreement on these matters through an endeavour to harmonize national standardization rules with these recommendations in so far as national conditions will permit. The National Committees pledge their influence towards that end.

PREFACE

This Recommendation has been prepared by IEC Technical Committee No. 3, Graphical Symbols, which maintained contact, at all stages of the work, with the specialized IEC and ISO committees interested in this field.

Drafts of this Recommendation were discussed at the meetings held in Copenhagen and in Teheran in 1969. As a result of this latter meeting, a revised draft was submitted to the National Committees for approval under the Six Months' Rule in March 1970.

The following countries voted explicitly in favour of publication :

Belgium	Italy
Czechoslovakia	Japan
Finland	Netherlands
France	Norway
Germany	Sweden
Iran	Turkey
Israel	United States of America

SYMBOLES GRAPHIQUES RECOMMANDÉS

15ème partie : Opérateurs logiques binaires

1. Domaine d'application

La présente recommandation contient les symboles graphiques pour opérateurs logiques binaires ainsi que certaines règles concernant les schémas de dispositifs binaires. La présente recommandation ne couvre pas le domaine des dispositifs analogiques ou mixtes.

Les symboles et légendes de la présente recommandation visent les dispositifs électriques, mais peuvent, pour la plupart, être appliqués à des dispositifs non électriques (par exemple pneumatiques, hydrauliques ou mécaniques, etc.).

CHAPITRE I : GÉNÉRALITÉS — EXPLICATIONS

2. Variable binaire

Grandeur susceptible de prendre une parmi deux valeurs discrètes.

3. Etats d'une variable binaire

Les deux valeurs que peut prendre une variable binaire définissent en particulier ses deux *états logiques*, qui sont exprimés au moyen de symboles arbitraires, pour lesquels l'usage est d'utiliser les chiffres 0 et 1.

Note. — Les états d'une variable binaire sont les images des valeurs discrètes que peut prendre cette variable.

L'état d'une variable peut s'exprimer à l'aide :

- a) D'un nombre qui représente le résultat de la mesure de la valeur discrète considérée. Dans ce cas, l'état est défini pour tout nombre compris dans un intervalle dont les bornes sont parfaitement connues. Généralement, le nombre représentatif utilisé est la valeur arithmétique moyenne des valeurs des bornes de l'intervalle et est appelé « niveau logique ».
- b) D'une lettre qui précise les positions respectives des niveaux entre eux. Pour des variables binaires, on écrit généralement H pour le niveau le plus élevé en valeur algébrique, L pour le niveau le plus faible en valeur algébrique.
- c) Un des chiffres 0 ou 1. La relation entre les deux niveaux et ces chiffres est arbitraire. Cette relation peut être définie de différentes façons.

4. Opérateur binaire

Opérateur dont les variables d'entrée et les variables de sortie sont des variables binaires liées entre elles par des fonctions définies.

4.1 Types de logiques

Un opérateur binaire est une entité physique pour laquelle les relations entre « entrées » sont établies en niveaux (H, L ou valeurs numériques). L'utilisation des symboles numériques 0 ou 1 implique donc une convention entre les états 0 et 1 d'une part, et les niveaux H et L d'autre part.

4.1.1 Logique positive

En logique positive, le niveau H (haut) est symbolisé par l'état 1 et le niveau L (bas) par l'état 0.

4.1.2 Logique négative

En logique négative, le niveau H (haut) est symbolisé par l'état 0 et le niveau L (bas) par l'état 1.

RECOMMENDED GRAPHICAL SYMBOLS

Part 15 : Binary logic elements

1. Scope

This Recommendation contains graphical symbols for binary logic elements, graphical functional symbols and some drawing rules for diagrams of binary devices, but does not include the fields of analogue and hybrid computation.

The symbols and descriptions in this Recommendation have been prepared with a view to electrical applications, but the majority may also be applied to non-electrical systems (e.g. pneumatic, hydraulic or mechanical, etc.).

CHAPTER I: GENERAL — EXPLANATIONS

2. Binary digital variable

A variable which may take up either one of two discrete values.

3. States of a digital variable

The two values of a binary digital variable are assigned *logic states* which may be represented by any two arbitrary symbols. It has become usual to use the symbols 0 and 1 for this purpose.

Note. — A binary digital variable may be conveniently equated to any physical quantity for which two discrete levels can be defined.

The levels of the physical quantity can be expressed by :

- a) Numbers, representing the measured values of the quantity corresponding to each level. Since, in practice, each level represents a range of values between defined limits, it is customary to allocate a representative number to the nominal value of each level. The representative numbers for the two nominal values are referred to as "logic levels".
- b) Symbols, indicating the mutual relationship of the logic levels. In particular, H is often used for the level with the more positive algebraic value, and L for that with the less positive value.
- c) Any two arbitrary symbols. The relationship between the two levels of the physical quantity and the logic states assigned to them is arbitrary. Their correspondence may be defined in different ways.

4. Binary digital element (logic element)

A binary digital element (logic element) is an element whose input and output quantities represent binary digital variables and whose outputs are defined *digital functions* of the inputs.

4.1 Logic convention

A binary digital element is a physical entity and the functions it performs are established in terms of the logic levels of its inputs and outputs. Before these functions can be defined in terms of binary digital variables the relation between the physical input and output quantities, and the corresponding variables must be defined.

4.1.1 Positive logic convention

In positive logic the H (high) level of a physical quantity represents the 1-state of a binary digital variable and the L (low) level the 0-state.

4.1.2 Negative logic convention

In negative logic the H (high) level of a physical quantity represents the 0-state of a binary digital variable and the L (low) level the 1-state.

CHAPITRE II : FORMATION DES SYMBOLES ET RÈGLES D'EMPLOI

5. Règles générales

Les règles suivantes sont applicables à l'ensemble des symboles de la présente recommandation.

5.1 *Formation des symboles d'opérateurs logiques*

Un symbole est constitué par :

5.1.1 *Un cadre*

5.1.2 *Un symbole distinctif de l'opérateur*

Ce symbole spécifie l'opération logique effectuée. Dans certains cas, ce symbole est remplacé ou complété par des valeurs numériques nécessaires à la définition de l'opérateur. Ce symbole et/ou les valeurs numériques sont placés à l'intérieur du cadre. Comme exemple d'application, voir article 5.

5.1.3 *Des symboles complémentaires pour entrées et sorties*

Chacun de ces symboles intéresse l'entrée ou la sortie auprès de laquelle il est figuré. Ils doivent être placés comme précisé au chapitre III.

CHAPTER II : COMPOSITION OF THE SYMBOLS AND RULES FOR THEIR USE

5. General rules

The following rules are applicable to all the symbols presented in this Recommendation.

5.1 *Composition of the symbols for digital elements*

A symbol comprises :

5.1.1 *An outline*

5.1.2 *A qualifying symbol denoting the function*

This is a symbol which specifies the required logic operation. In certain cases this symbol is replaced or completed by numerical values necessary to define the function of the element. This symbol and/or these numerical values are drawn in the interior of the outline. For an example of application, see Clause 5.

5.1.3 *Indicators for inputs and outputs*

These indicators relate to each of the inputs and outputs against which they appear. They shall be placed as defined in Chapter III.

No.	Symbole Symbol	Légende Description
1600	1600.1 	Opérateur logique. <i>Symbole général.</i>
	1600.2 	Logic element. <i>General symbol.</i> <i>Note.</i> — Le rapport entre les dimensions du rectangle n'est pas imposé. <i>Note.</i> — The length-width ratio of the rectangle is arbitrary.

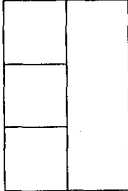
6. Place du symbole distinctif de l'opérateur
6. Position of the qualifying symbol for the function

No.	Symbole Symbol	Légende Description
1601	  1601.1 1601.2	Le symbole distinctif de l'opérateur ou les valeurs numériques sont placés soit au milieu de la partie supérieure du cadre, soit en son centre. The qualifying symbol for the function is placed either in the top centre of the outline or in its centre.

7. Informations additionnelles
7. Additional information

No.	Symbole Symbol	Légende Description
		Des informations additionnelles, telles que type, fonction ou emplacement de l'élément, peuvent être portées à l'intérieur du cadre du symbole sous ou après le symbole distinctif de l'opérateur. Any kind of additional information, e.g. type, function or location of the element, may be written inside the outline of the symbol below or following the qualifying symbol.

8. Association de symboles
8. Combination of symbols

No.	Symbole Symbol	Légende Description
1602	1602.1 	Pour réduire l'espace occupé sur le schéma, des symboles distincts, représentatifs d'opérateurs élémentaires, peuvent être accolés, avec les conventions suivantes : — Il n'y a aucune relation logique entre deux symboles lorsque la ligne de séparation est parallèle au sens de propagation de l'information. — Il y a interconnexion, sans négation logique, au niveau de la ligne séparatrice lorsque celle-ci est perpendiculaire au sens de propagation de l'information.
	1602.2 	To reduce the space required on the diagram, separate symbols for basic operations may be joined together but the following rules must then be observed : — There is no logic connection when the line common to two symbols is in the direction of information flow. — There is a single logic connection, without logic inversion, when the line common to two symbols is perpendicular to the direction of information flow.

9. Sens de propagation de l'information
9. Direction of information flow

No.	Symbole Symbol	Légende Description
1605		En principe, le sens de propagation de l'information est de la gauche vers la droite et du haut vers le bas. Si ce n'est pas le cas, et que le sens de propagation ne soit pas évident, celui-ci peut être précisé par des flèches placées sur les lignes représentant les trajets des signaux et nettement séparées des symboles complémentaires pour entrées et sorties. In principle, the direction of information flow should be from left to right and from top to bottom. If this is not possible and the direction of information flow is not obvious then lines carrying information may be marked with an arrow-head which must not be placed adjacent to the logic symbol.

CHAPITRE III : ENTRÉES ET SORTIES CHAPTER III : INPUTS AND OUTPUTS

SECTION A — GÉNÉRALITÉS SECTION A — GENERAL

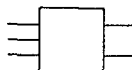
10. Liaisons des entrées et sorties avec le symbole

Les entrées et les sorties sont, de préférence, placées sur des côtés opposés du symbole.

10. The input and output connections to the symbol

The inputs and outputs are preferably placed on opposite sides of the symbol.

Entrées
Inputs



Sorties
Outputs

SECTION B — POLARITÉ SECTION B — POLARITY

11. Introduction

Soit, par exemple, un circuit dont la variable de sortie (F) est une fonction des deux variables d'entrée (A et B), lesquelles peuvent occuper deux états représentés par les potentiels $+2$ V et -3 V. Cela suppose que le fonctionnement du circuit est représenté par le tableau ci-dessous :

11. Introduction

Consider, for example, a circuit whose output (F) is a function of two variables (A , B), and whose output and input levels are capable of assuming only $+2$ V and -3 V. Assume that the circuit behaves according to the following table of combinations :

Entrées Inputs		Sortie Output
A	B	F
-3 V	-3 V	-3 V
-3 V	$+2$ V	-3 V
$+2$ V	-3 V	-3 V
$+2$ V	$+2$ V	$+2$ V

Note. — Un opérateur qui correspond à la table de vérité ci-dessus remplit deux fonctions différentes suivant qu'il est utilisé en logique positive ou négative.

Note. — An element which behaves according to the above truth table can fulfill two different functions depending on whether positive or negative logic is applied.

12. *Logique positive*

En logique positive, le potentiel -3 V représente l'état 0 et $+2\text{ V}$ l'état 1.

En remplaçant les potentiels par les états logiques correspondants, le tableau devient :

Entrées Inputs		Sortie Output
A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

Il correspond à la table de vérité d'un opérateur ET. Aussi dit-on que le circuit réalise l'opération ET.

12. *Positive logic*

In positive logic, the -3 V level is the 0-state and $+2\text{ V}$ is the 1-state.

Substitution of the logic states for the voltage levels results in the following table :

This is the truth table for an AND function. Therefore, the circuit is said to perform the AND operation.

13. *Logique négative*

En logique négative, le niveau -3 V est l'état 1 et $+2\text{ V}$ l'état 0.

En remplaçant les potentiels par les états logiques correspondants, le tableau devient :

Entrées Inputs		Sortie Output
A	B	F
1	1	1
1	0	1
0	1	1
0	0	0

Il correspond à la table de vérité d'un opérateur OU. Aussi dit-on que le circuit réalise l'opération OU.

13. *Negative logic*

In negative logic, the -3 V level is the 1-state and $+2\text{ V}$ is the 0-state.

Substitution of the logic states for the voltage levels results in the following table :

This is the truth table for the OR function. Therefore, the circuit is said to perform the OR operation.

Notes 1. — Les niveaux de tensions des tableaux ci-dessus et les tables de vérité ne sont que des exemples. D'autres configurations de potentiels électriques peuvent exister. Le critère de définition de la polarité logique est :

- La logique est du type positif si l'état logique 1 est affecté à un potentiel *plus positif* que celui de l'état 0.
- La logique est négative si le potentiel représentatif de l'état logique 1 est *moins positif* que celui de l'état 0.

2. — Par « plus positif » on peut entendre « moins négatif » et vice versa.

Notes 1. — The voltage levels used in the above table of combinations and truth tables are examples only. Absolute potentials may be positive or negative and the criterion determining the logic polarity is as follows :

- The polarity is positive if the 1-state is represented by a *more positive* potential than the 0-state.
- The polarity is negative if the 1-state is represented by a *less positive* potential than the 0-state.

2. — Under "a more positive level" is also understood "less negative level", and vice versa.

14. Dualité

Les articles 12 et 13 montrent qu'un seul circuit peut réaliser soit la fonction ET, soit la fonction OU. Cette dualité a été exploitée dans maintes applications.

Un élément physique étant caractérisé par un tableau de combinaisons, la fonction logique réalisée est fonction du choix qui a présidé à la caractéristique des états logiques 1 pour les entrées et sorties.

L'affectation des états 1 aux entrées et sorties d'un circuit logique doit être indiquée sur le schéma logique de telle sorte que l'opérateur réalise la fonction logique pour laquelle il a été prévu.

Il peut se faire de deux manières différentes :

- Sur chaque entrée et chaque sortie de chaque élément logique dans le schéma, le choix du niveau le moins positif correspondant à l'état 1 est spécifié par le symbole ci-dessous. Alors l'absence du symbole complémentaire de polarité indique que l'état 1 correspond au niveau le plus positif.
- Le schéma logique comprend une annotation précisant si une logique positive ou une logique négative est utilisée.

14. Duality

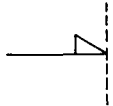
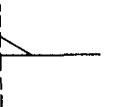
Clauses 12 and 13 illustrate that a single circuit can perform either the AND operation or the OR operation. This duality has been employed in numerous single-device as well as multi-device systems.

Given a physical device characterized by a table of combinations, the logic function performed by the device is determined by the specified choices of the 1-states at its inputs and outputs.

Each choice of the 1-states at each input and each output of a logic circuit shall be specified on the logic diagram in a manner which correctly represents the logic function designated by the logic designer.

This can be done in the following two different ways :

- At each input and each output of each logic element on the diagram, the choice of the less positive level as the 1-state is specified by means of the indicator shown below. The absence of the polarity indicator then indicates that the 1-state is the more positive level.
- The logic diagram includes a statement as to whether positive or negative logic is used.

No.	Symbole Symbol	Légende Description
1610	1610.1 	Symbole complémentaire de polarité. Polarity indicator. L'état 1 correspond au niveau le <i>moins positif</i> . The 1-state is the <i>less positive</i> level.
	1610.2 	Entrée. Input. Sortie. Output.

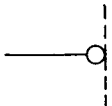
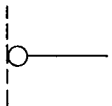
SECTION C — NÉGATION
SECTION C — NEGATION

15. Explication

L'état de la grandeur logique d'une entrée ou d'une sortie est inversé si le symbole complémentaire de négation logique est utilisé sur l'entrée ou la sortie concernée.

15. Explanation

The state of the logic variable at an input or output is reversed if the logic negation indicator is applied.

No.	Symbole Symbol	Légende Description
1611	1611.1 	Symbole complémentaire de négation logique. Logic negation indicator.
	1611.2 	Entrée. Input. Sortie. Output. <i>Note.</i> — La ligne d'entrée ou de sortie peut être arrêtée au cercle ou le traverser. <i>Note.</i> — If desired the connection line may be drawn through the circle.

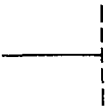
SECTION D — ENTRÉES STATIQUES ET DYNAMIQUES
SECTION D — STATIC AND DYNAMIC INPUTS

16. Entrée statique

Une entrée est dite statique si l'état logique 1 est défini par la *présence* d'un niveau logique particulier. L'état 0 est caractérisé par la présence de l'autre niveau logique.

16. Static input

A static input is one such that the 1-state is defined as the *presence* of a particular digital level, and the 0-state as the presence of the other logic level.

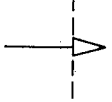
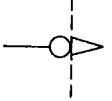
No.	Symbole Symbol	Légende Description
1612		Entrée statique. Static input.

17. Entrée dynamique

Une entrée dynamique est une entrée pour laquelle l'état logique 1 est défini par la *transition* d'un niveau logique particulier vers l'autre niveau logique et non par la présence d'un quelconque de ces niveaux logiques.

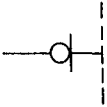
17. Dynamic input

A dynamic input is one such that the 1-state is defined as the *transition* from a particular digital level to the other digital level, and not by the presence of one of these logic levels.

No.	Symbole Symbol	Légende Description
1613		Entrée dynamique pour laquelle l'état dynamique 1 est défini par la transition de l'état logique 0 vers l'état logique 1. Dynamic input for which the dynamic 1-state is defined by the transition from the static 0-state to the static 1-state.
1614		Entrée dynamique pour laquelle l'état dynamique 1 est défini par la transition de l'état logique 1 vers l'état logique 0. Dynamic input for which the dynamic 1-state is defined by the transition from the static 1-state to the static 0-state.

SECTION E — ENTRÉES D'INHIBITION ET DE VALIDATION SECTION E — INHIBITING AND NEGATED INHIBITING INPUTS

No.	Symbole Symbol	Légende Description
1615		Entrée d'inhibition, entrée dont : — l'état 1 impose l'état 0 (ou l'état 1 quand la sortie est niée) à la sortie de l'opérateur, ceci quel que soit l'état de chacune des autres entrées ; — l'état 0 laisse l'opérateur dans la dépendance des autres entrées. Inhibiting input : — an inhibiting input of a digital element standing at its defined 1-state prevents the output variable of that element from standing at its defined 1-state (or its 0-state if the output is negated) whatever the value of the other input variable ; — when the inhibiting input stands at its 0-state the qualifying symbol of the element applies to those inputs which are neither inhibiting inputs nor negated inhibiting inputs.

No.	Symbole Symbol	Légende Description
1616		Entrée de validation, entrée dont : — l'état 0 impose l'état 0 à la sortie de l'opérateur, ceci quel que soit l'état de chacune des autres entrées ; — l'état 1 laisse l'opérateur sous la dépendance des autres entrées. Negated inhibiting input : — a negated inhibiting input of a digital element standing at its 0-state prevents the output variable of that element from standing at its defined 1-state (or its 0-state if the output is negated), whatever the value of the other input variables ; — when the negated inhibiting input stands at its defined 1-state the qualifying symbol of the element applies to those inputs which are neither inhibiting inputs nor negated inhibiting inputs.

SECTION F — ENTRÉES ET SORTIES DIVERSES
SECTION F — OTHER INPUTS AND OUTPUTS

18. Conducteur ne transportant pas d'information logique
18. Line not carrying logic information

No.	Symbole Symbol	Légende Description
1617		Entrée à laquelle n'aboutit aucune information logique. Input which does not carry any logic information.
1618		Sortie ne délivrant pas d'information logique. Output which does not carry any logic information. <i>Note.</i> — Les symboles 1617 et 1618 peuvent être remplacés par une indication numérique ou littérale sur la ligne considérée. <i>Note.</i> — The symbols 1617 and 1618 may be replaced by a numerical or letter indication on the line concerned.

19. Expansion des entrées

Un circuit extenseur présente plusieurs entrées et une sortie utilisée pour augmenter le nombre d'entrées d'un autre opérateur.

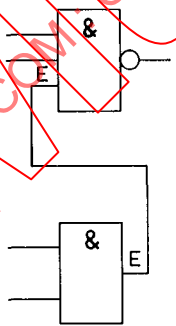
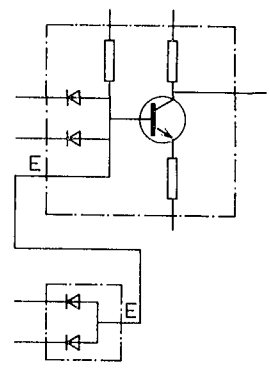
19. Extension of inputs

An extender circuit has a number of inputs and one output which serves to extend the number of inputs of another digital circuit.

No.	Symbole Symbol	Légende Description
1619	1619.1 	Entrée d'expansion. Entrée d'un opérateur à laquelle doit être connectée la sortie d'un circuit extenseur. <i>Note.</i> — Les caractéristiques des relations entre les états logiques d'une grandeur et leurs quantités physiques relatives ne sont généralement pas valables pour les entrées d'expansion.
	1619.2 	Extension input. This is the input of a digital circuit to which the output of an extender circuit is connected. <i>Note.</i> — The description which characterizes the relationship between the logic states of digital variables and their relevant physical quantities are normally not valid for extension inputs.

19.1 Exemple

19.1 Example

1620		Expansion d'un NON ET. Extended NAND.
		Schéma explicatif : Explanatory diagram :  <i>Note.</i> — Le symbole distinctif « & » doit être placé dans les deux symboles. <i>Note.</i> — The qualifying symbol "&" is put in both basic symbols.

20. Entrées et sorties multiples

Un symbole d'opérateur logique peut avoir un nombre quelconque d'entrées et de sorties, à condition que ce nombre soit conforme à la définition de l'opérateur concerné.

20. Multiple inputs and outputs

A logic symbol may have any number of inputs and outputs provided that the symbol definition requirements are met.

IECNORM.COM: Click to view the full PDF of IEC 6017-15:1972

Withd 2020

Chapitre IV : Opérateurs combinatoires Chapter IV : Combinative (U.S.A. : Combinatorial) elements

SECTION A — GÉNÉRALITÉS SECTION A — GENERAL

21. Règle fondamentale de formation des symboles distinctifs de l'opérateur

Le symbole distinctif de l'opérateur est un symbole indiquant le nombre d'entrées qui doivent nécessairement occuper l'état 1 pour amener la sortie à l'état 1 à condition que la sortie ne soit pas niée.

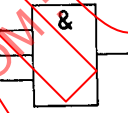
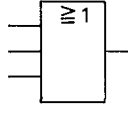
La présente recommandation donne les opérateurs les plus couramment utilisés et montre comment appliquer cette règle. L'utilisateur a la faculté de créer, en respectant cette règle, tous les symboles nécessaires qui ne sont pas donnés ci-dessous.

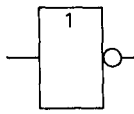
21. Basic rule for the application of the qualifying symbol denoting the function of the element

The qualifying symbol for the element is a symbol generally indicating the number of inputs which must necessarily take on the defined 1-state to cause the output to take on its defined 1-state, provided the output is not negated.

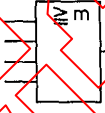
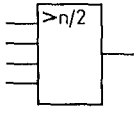
This Recommendation gives the most currently used logic elements and shows also how to apply this rule. Subject to this rule any other symbols may be developed.

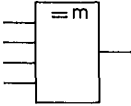
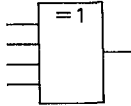
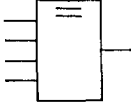
SECTION B — OPÉRATEURS COMBINATOIRES ÉLÉMENTAIRES SECTION B — ELEMENTARY COMBINATIVE ELEMENTS

No.	Symbole Symbol	Légende Description
1630		ET. La sortie est dans l'état 1 si, et seulement si, toutes les entrées sont dans l'état 1. AND. The output will stand at its defined 1-state if, and only if, all of the inputs stand at their defined 1-states.
1631		OU. La sortie est dans l'état 1 si, et seulement si, une ou plusieurs entrées sont dans l'état 1. <i>Note.</i> — « ≥ 1 » peut être remplacé par « 1 » s'il n'y a pas risque d'ambiguïté. OR. The output will stand at its defined 1-state if, and only if, one or more of its inputs stand at their defined 1-states. <i>Note.</i> — "≥ 1" may be replaced by "1" if no ambiguity arises.

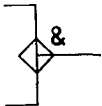
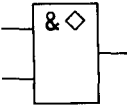
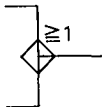
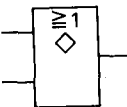
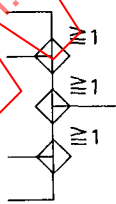
No.	Symbole Symbol	Légende Description
1632		NON. La sortie est dans l'état 0 si, et seulement si, l'entrée est dans l'état 1. NOT ; NEGATER. The output will stand at its 0-state if, and only if, the input stands at its defined 1-state.

SECTION C — OPÉRATEURS COMBINATOIRES COMPLEXES
SECTION C — COMPLEX COMBINATIVE ELEMENTS

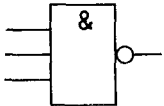
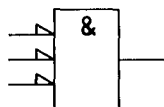
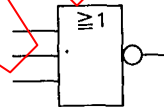
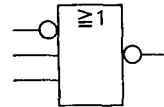
No.	Symbole Symbol	Légende Description
1633		Seuil logique. La sortie est dans l'état 1 si, et seulement si, le nombre d'entrées qui sont dans l'état 1 est supérieur ou égal au nombre significatif (m) marqué dans le symbole distinctif de l'opérateur. <i>Note.</i> — m doit être toujours plus petit que le nombre (n) d'entrées. Logic threshold. The output will stand at its defined 1-state if and only if, the number of inputs which stand at their defined 1-states reaches or exceeds the number (m) specified in the qualifying symbol. <i>Note.</i> — m shall always be smaller than the number (n) of inputs.
1634		Majorité. La sortie est dans l'état 1 si, et seulement si, les entrées dans l'état 1 sont en majorité. Majority. The output will stand at its defined 1-state if and only if, the majority of the inputs stand at their defined 1-states.

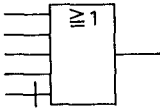
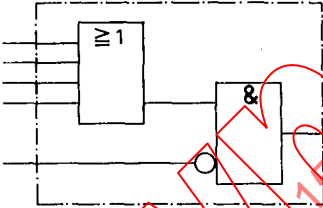
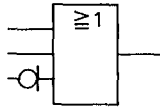
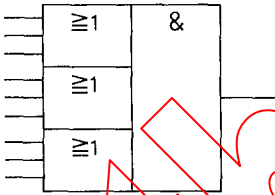
No.	Légende Symbol	Légende Description
1635		<i>m</i> et seulement <i>m</i>. La sortie est dans l'état 1 si <i>m</i>, et seulement <i>m</i>, de ses <i>n</i> entrées sont dans l'état 1. <i>Note.</i> — <i>m</i> doit être toujours plus petit que le nombre (<i>n</i>) d'entrées. <i>m</i> and only <i>m</i>. The output will stand at its defined 1-state if and only if, <i>m</i> and only <i>m</i> of its <i>n</i> inputs stand at their defined 1-states. <i>Note.</i> — <i>m</i> shall always be smaller than the number (<i>n</i>) of inputs.
1636		OU exclusif. La sortie est dans l'état 1 si une, et seulement une, entrée est dans l'état 1. Exclusive OR. The output will stand at its defined 1-state if one, and only one of the inputs stands at its defined 1-state.
1637		Addition modulo 2 (imparité). La sortie est dans l'état 1 si, et seulement si, le nombre des entrées à l'état 1 est impair (1, 3, 5, etc.). Addition modulo 2 (parity, odd). The output will stand at its defined 1-state if and only if, an odd number (1, 3, 5, etc.) of inputs stand at their defined 1-states.
1638		Identité logique. La sortie est dans l'état 1 si, et seulement si, toutes les entrées sont dans le même état logique. Logic identity. The output will stand at its defined 1-state if and only if, all of the inputs stand at their defined 1-states or if none of the inputs stand at their defined 1-states.

SECTION D — OPÉRATEURS COMBINATOIRES DIVERS
SECTION D — OTHER COMBINATIVE ELEMENTS

No.	Symbole Symbol	Légende Description
		Un opérateur fantôme est réalisé par l'interconnexion des sorties d'un certain nombre d'opérateurs de façon telle qu'une opération ET ou bien OU soit réalisée sans utilisation d'un autre opérateur combinatoire réel. A distributed connection is a connection of outputs of a certain number of elements that are joined together to achieve the effect of an AND/OR operation without the use of an explicit element.
1639	 1639.1  1639.2	ET fantôme (point ET). Distributed AND connection (dot AND).
1640	 1640.1  1640.2	OU fantôme (point OU). Distributed OR connection (dot OR).
1641		Combinaison de plusieurs connexions OU fantôme. Combination of several distributed OR connections. <i>Notes concernant les symboles Nos 1639 à 1641 :</i> <i>Notes 1.</i> — Il est admissible de ne pas prolonger les traits vers l'intérieur des losanges. 2. — Le symbole distinctif de l'opération OU ou ET peut être répété à la sortie du symbole précédent ou à n'importe quel endroit du trajet d'information si cela s'avère utile. 3. — Si aucun symbole distinctif n'est indiqué, l'opérateur fantôme doit être considéré comme un opérateur OU. <i>Notes concerning symbols Nos 1639 to 1641 :</i> <i>Notes 1.</i> — The lines need not be extended into the diamond. 2. — The qualifying symbol for OR or AND may be repeated at the output of preceding symbols, and other places where applicable. 3. — The indication of the dot function at the symbol may be assumed to be that of an OR if no qualifying symbol is shown.

SECTION E — EXEMPLES
SECTION E — EXAMPLES

No.	Symbole Symbol	Légende Description
1642		NON ET (ET-NON) avec symbole complémentaire de négation. La sortie est dans l'état 0 si, et seulement si, toutes les entrées sont dans l'état 1. NOT AND (NAND) shown with negation indicator. The output will stand at its 0-state if, and only if, all inputs stand at their defined 1-states.
1643		Réalisation symbolique d'un NON ET (ET-NON) à l'aide de symboles de polarité sur les entrées. La sortie est au niveau le plus positif si, et seulement si, toutes les entrées sont au niveau le moins positif. Implementation of a NOT AND (NAND) shown with polarity indicator. The output will stand at its more positive level if and only if, all the inputs stand at their less positive level. (The defined 1-state of the inputs is the less positive level).
1644		NI (OU-NON). La sortie est dans l'état 0 si, et seulement si, une ou plusieurs entrées sont dans l'état 1. NOR. The output will stand at its 0-state if, and only if, at least one input stands at its defined 1-state.
1645		NI avec une entrée complémentée. NOR with one negated input.

No.	Symbole Symbol	Légende Description
1646		OU avec une entrée d'inhibition. OR with inhibiting input. Le symbole N° 1646 est une forme simplifiée de : Symbol No. 1646 is an abbreviated form of : 
1647		OU avec entrée de validation. OR with negated inhibiting input.
1648		Trois opérateurs OU indépendants les uns des autres et commandant un circuit ET. Three OR's independent of each other but directly connected to an AND.

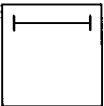
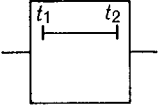
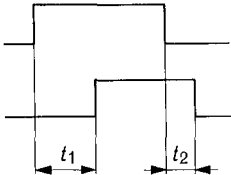
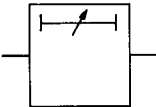
CHAPITRE V : OPÉRATEURS A RETARD
CHAPTER V : DELAY ELEMENTS

22. Explication

Opérateur dans lequel chaque transition sur l'entrée apporte une, et seulement une, transition retardée sur la sortie.

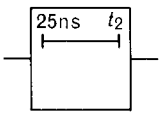
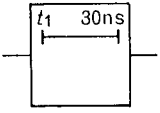
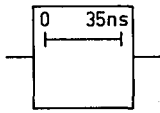
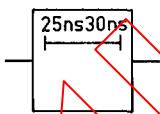
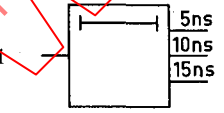
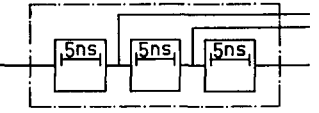
22. Explanation

An element in which each transition at the input causes one, and only one, delayed transition at the output.

No.	Symbole Symbol	Légende Description
1660		Opérateur à retard. <i>Symbole général.</i> Delay element. <i>General symbol.</i>
1661		Opérateur à retard avec indication des valeurs des retards. Opérateur à retard dans lequel t_1 est le retard apporté à la transition de l'état 0 vers l'état 1, et t_2 est le retard apporté à la transition de l'état 1 vers l'état 0. Delay element with delay times specified. The transition from the 0-state to the defined 1-state at the output occurs after a delay of t_1 with reference to the same transition at the input. The transition from the defined 1-state to the 0-state at the output occurs after a delay of t_2 with reference to the same transition at the input. Exemple en logique positive où $t_1 > t_2$: Example in positive logic where $t_1 > t_2$: Entrée 1 Input 0 Sortie 1 Output 0  <i>Note.</i> — t_1 et t_2 peuvent être remplacés par leur valeur réelle, exprimée en secondes ou unités de mots, et peuvent être placés à l'intérieur ou à l'extérieur du cadre. Si les deux retards sont égaux, cette valeur unique n'est indiquée qu'une seule fois. <i>Note.</i> — t_1 and t_2 may be replaced by the actual delays, expressed in seconds, word units or digit units, and may be placed inside or outside the outline. If the two delays are equal, it is sufficient to insert one value only.
1662		Opérateur à retard variable. Variable delay element.

23. Exemples

23. Exemples

1663		Retard de 25 ns spécifié pour la transition de l'état 0 vers l'état 1. The transition from the 0-state to the defined 1-state is specified (25 ns).
1664		Retard de 30 ns spécifié pour la transition de l'état 1 vers l'état 0. The transition from the defined 1-state to the 0-state is specified (30 ns).
1665		La transition de l'état 0 vers l'état 1 n'est pas retardée, et la transition de l'état 1 vers l'état 0 est retardée de 35 ns. The transition from the 0-state to the defined 1-state is not delayed, and the transition from the defined 1-state to the 0-state is delayed by 35 ns.
1666		La transition de l'état 0 vers l'état 1 est retardée de 25 ns, et la transition de l'état 1 vers l'état 0 de 30 ns. The transition from the 0-state to the defined 1-state is delayed by 25 ns, and the transition from the defined 1-state to the 0-state is delayed by 30 ns.
1667		Les deux transitions sont retardées de 35 ns. Both transitions are delayed by 35 ns.
1668	1668.1  1668.2 	Opérateur à retard multiple. Tapped delay element.

CHAPITRE VI : OPÉRATEURS SÉQUENTIELS CHAPTER VI : SEQUENTIAL ELEMENTS

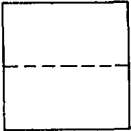
SECTION A — BASCULES BISTABLES SECTION A — BISTABLE ELEMENTS

24. Explication

Opérateur binaire séquentiel avec deux états stables.

24. Explanation

A bistable element is a binary sequential logic element with two stable states.

No.	Symbole Symbol	Légende Description
1700		Bascule bistable. <i>Symbole général.</i> <i>Note.</i> — Les informations s'écoulent parallèlement à la ligne tiretée. Cette ligne tiretée n'est pas obligatoirement au milieu du rectangle. Les sorties d'un même type sont issues de la même partie du symbole. Deux sorties, ou groupes de sorties, placées de part et d'autre de la ligne tiretée sont complémentaires. Bistable element. <i>General symbol.</i> <i>Note.</i> — The information flows parallel to the dashed line. This line need not be placed across the centre of the rectangle. Outputs of the same type are placed at the same part of the symbol. Two outputs, or groups of outputs, placed at opposite sides of the dashed line are complementary.
		<i>Règle :</i> Lorsqu'une entrée est portée à l'état 1, la sortie placée dans la même partie du symbole est portée à l'état 1. <i>Rule :</i> If an input takes on its defined 1-state, the output placed at the same part of the symbol will take on its defined 1-state.

25. Entrées des bascules bistables

Convention : Toute ligne, représentant une entrée, peut être placée à chaque place convenable de la partie concernée du symbole de la bascule bistable.

Les types d'entrées doivent être symbolisés par un repère alphanumérique.

25. Inputs to bistable elements

Convention : All lines representing inputs may touch the symbol of the bistable element at any suitable place of the relevant part of the symbol.

The types of inputs shall be symbolized by a letter or figure or a group of letters or figures.

Le repère d'une entrée peut être affecté en indice du repère d'une autre entrée, dite entrée de commande, afin de montrer que la première est sous la dépendance de la seconde. Le repère de la seconde entrée est généralement un G.

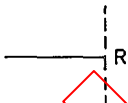
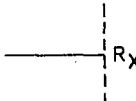
Plusieurs entrées de même nature peuvent être combinées par un opérateur approprié tel que ET, OU pour agir sur une bascule bistable.

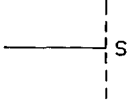
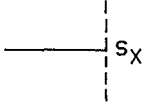
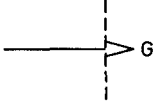
Si l'opérateur est un OU, il n'est pas nécessaire de le symboliser.

An input line function letter may be associated with another letter or number to indicate that the input is further dependent for its action on another input. This second input shall generally be labelled G and may be related to the first input by a letter or number.

Several inputs of the same type can be combined by an appropriate symbol such as AND, OR in order to act on a bistable.

If this operation is OR, it is unnecessary to show a symbol.

No.	Symbole Symbol	Légende Description
1701		Entrée statique R. Quand l'entrée R passe à l'état 1, elle impose l'état 1 sur la sortie placée dans la même portion du symbole. Cet état est défini comme étant l'état 0 de la bascule bistable. Le retour à l'état 0 de cette entrée ne provoque aucune action. Forcing static R input. When the R input takes on its defined 1-state, it imposes the 1-state on the output placed at the same part of the symbol. This is defined as the 0-state of the bistable element. The return of the input to its 0-state produces no action.
1702		Entrée statique R asservie à une entrée de commande X. <i>Note relative aux symboles Nos 1702, 1704, 1711 et 1712 :</i> X doit être remplacé par le repère alphanumérique de l'entrée de commande. Preparatory static R input subordinate to a command input X. <i>Note concerning the symbols No. 1702, 1704, 1711 and 1712:</i> X must be replaced by the letter or figure symbol of the command input.

No.	Symbole Symbol	Légende Description
1703		Entrée statique S. Quand l'entrée S passe à l'état 1, elle impose l'état 1 à la bascule bistable. Le retour à l'état 0 de cette entrée ne provoque aucune action. Forcing static S input. When the S input takes on its defined 1-state, it imposes the 1-state on the bistable element. The return of the input to its 0-state produces no action.
1704		Entrée statique S asservie à une entrée de commande X. Preparatory static S input subordinate to the command input X.
1705		Entrée statique G. Entrée sans action directe sur l'état de la bascule bistable mais dont l'état 1 valide l'action des entrées dont le symbole est marqué par l'indice G. Static G input. This is an input without direct action on the state of the bistable element whose static 1-state enables the action of those inputs the labels of which have the suffix G.
1706		Entrée dynamique G. Entrée qui, lorsqu'elle est utilisée avec d'autres entrées placées sous sa dépendance, ne rend active l'information présente sur ces entrées qu'au cours de la transition amenant G à l'état actif. Dynamic G input. This is an input without direct action on the state of the bistable element, but of which the dynamic 1-state puts the element in the state corresponding to the state of preparedness determined by the preparatory inputs with the suffix G.