

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

(affiliée à l'Organisation Internationale de Normalisation — ISO)

RECOMMANDATION DE LA CEI

INTERNATIONAL ELECTROTECHNICAL COMMISSION

(affiliated to the International Organization for Standardization — ISO)

IEC RECOMMENDATION

Publication 147-0D

1974

Quatrième complément à la Publication 147-0 (1966)

**Valeurs limites et caractéristiques essentielles des dispositifs à semiconducteurs
et principes généraux des méthodes de mesure**

Partie Zéro: Généralités et terminologie

Fourth supplement to Publication 147-0 (1966)

**Essential ratings and characteristics of semiconductor devices
and general principles of measuring methods**

Part 0: General and terminology



Droits de reproduction réservés — Copyright - all rights reserved

Bureau Central de la Commission Electrotechnique Internationale

1, rue de Varembé
Genève, Suisse

Révision de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la Commission afin d'assurer qu'il reflète bien l'état actuel de la technique.

Les renseignements relatifs à ce travail de révision, à l'établissement des éditions révisées et aux mises à jour peuvent être obtenus auprès des Comités nationaux de la CEI et en consultant les documents ci-dessous:

- **Bulletin de la CEI**
Publié trimestriellement
- **Rapport d'activité de la CEI**
Publié annuellement
- **Catalogue des publications de la CEI**
Publié annuellement

Terminologie utilisée dans la présente publication

Seuls sont définis ici ou dans la Publication 147-0 de la CEI des termes spéciaux se rapportant à la présente publication.

En ce qui concerne la terminologie générale, le lecteur se reportera à la Publication 50 de la CEI: Vocabulaire Electrotechnique International (V.E.I.), qui est établie sous forme de chapitres séparés traitant chacun d'un sujet défini, l'index général étant publié séparément. Des détails complets sur le V.E.I. peuvent être obtenus sur demande.

Symboles graphiques et littéraux

Seuls des symboles graphiques et littéraux spéciaux sont inclus dans la présente publication.

Le recueil complet des symboles graphiques approuvés par la CEI fait l'objet de la Publication 117 de la CEI.

Les symboles littéraux pour les dispositifs à semi-conducteurs et les microcircuits intégrés font l'objet de la Publication 148 de la CEI.

Les symboles littéraux et autres signes approuvés par la CEI font l'objet de la Publication 27 de la CEI.

Autres publications de la CEI établies par le même Comité d'Etudes

L'attention du lecteur est attirée sur la page 3 de la couverture, qui énumère les autres publications de la CEI préparées par le Comité d'Etudes qui a établi la présente publication.

Revision of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information on the work of revision, the issue of revised editions and amendment sheets may be obtained from IEC National Committees and from the following IEC sources:

- **IEC Bulletin**
Published quarterly
- **Report on IEC Activities**
Published yearly
- **Catalogue of IEC Publications**
Published yearly

Terminology used in this publication

Only special terms required for the purpose of this publication are defined herein or in IEC Publication 147-0.

For general terminology, readers are referred to IEC Publication 50: International Electrotechnical Vocabulary (I.E.V.), which is issued in the form of separate chapters each dealing with a specific field, the General Index being published as a separate booklet. Full details of the I.E.V. will be supplied on request.

Graphical and letter symbols

Only special graphical and letter symbols are included in this publication.

The complete series of graphical symbols approved by the IEC is given in IEC Publication 117.

The letter symbols for semiconductor devices and integrated microcircuits are contained in IEC Publication 148.

Letter symbols and other signs approved by the IEC are contained in IEC Publication 27.

Other IEC publications prepared by the same Technical Committee

The attention of readers is drawn to the inside of the back cover, which lists other IEC publications issued by the Technical Committee which has prepared the present publication.

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

(affiliée à l'Organisation Internationale de Normalisation — ISO)

RECOMMANDATION DE LA CEI

INTERNATIONAL ELECTROTECHNICAL COMMISSION

(affiliated to the International Organization for Standardization — ISO)

IEC RECOMMENDATION

Publication 147-0D

1974

Quatrième complément à la Publication 147-0 (1966)

Valeurs limites et caractéristiques essentielles des dispositifs à semiconducteurs
et principes généraux des méthodes de mesure

Partie Zéro: Généralités et terminologie

Fourth supplement to Publication 147-0 (1966)

Essential ratings and characteristics of semiconductor devices
and general principles of measuring methods

Part 0: General and terminology



Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

Bureau Central de la Commission Electrotechnique Internationale

1, rue de Varembe
Genève, Suisse

SOMMAIRE

	Pages
PRÉAMBULE	4
PRÉFACE	4

CHAPITRE VI: MICROCIRCUITS INTÉGRÉS

Articles

VI-1.	Termes généraux	6
VI-1.2	Electronique intégrée	6
VI-1.3	Conditions de pire cas (d'une seule caractéristique)	6
VI-3.	Listes des valeurs préférentielles	6
VI-3.1	Liste des tensions nominales préférentielles pour les conditions de fonctionnement recommandées	6
VI-3.2	Liste des températures préférentielles	8

SECTION A — CIRCUITS INTÉGRÉS DIGITAUX

VI A-1.	Définitions	8
VI A-2.	Exemples	16
VI A-2.1	Circuits combinatoires élémentaires	16
VI A-2.2	Principe de caractérisation des circuits bistables et des circuits séquentiels afférents, montré par des exemples et employant la désignation littérale	18

SECTION B — CIRCUITS INTÉGRÉS ANALOGIQUES

VI B-1.	Amplificateurs linéaires	42
---------	------------------------------------	----

SECTION C — CIRCUITS INTÉGRÉS PASSIFS

VI C-1.	Affaiblisseurs (atténuateurs)	48
---------	---	----

CONTENTS

	Page
FOREWORD	5
PREFACE	5

CHAPTER VI: INTEGRATED MICROCIRCUITS

Clause

VI-1.	General terms	7
VI-1.2	Integrated electronics	7
VI-1.3	Worst case conditions (for a single characteristic)	7
VI-3.	Lists of preferred values	7
VI-3.1	List of preferred nominal voltages for recommended operating conditions	7
VI-3.2	List of preferred temperatures	9

SECTION A — DIGITAL INTEGRATED CIRCUITS

VI A-1.	Definitions	9
VI A-2.	Examples	17
VI A-2.1	Elementary combinatorial circuits	17
VI A-2.2	Principle of characterizing bistable circuits and related sequential digital circuits, shown by examples using letter designations	19

SECTION B — ANALOGUE INTEGRATED CIRCUITS

VI B-1.	Linear amplifiers	43
---------	-----------------------------	----

SECTION C — PASSIVE INTEGRATED CIRCUITS

VI C-1.	Attenuators	49
---------	-----------------------	----

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

QUATRIÈME COMPLÉMENT À LA PUBLICATION 147-0 (1966)
VALEURS LIMITES ET CARACTÉRISTIQUES ESSENTIELLES DES DISPOSITIFS
À SEMICONDUCTEURS ET PRINCIPES GÉNÉRAUX DES MÉTHODES DE MESURE

Partie Zéro: Généralités et terminologie

PRÉAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.

PRÉFACE

La présente recommandation a été établie par le Comité d'Etudes N° 47 de la CEI: Dispositifs à semiconducteurs et circuits intégrés.

Elle constitue le quatrième complément à la Partie Zéro: Généralités et terminologie, de la Publication 147 de la CEI. Ce complément traite des circuits intégrés.

Les différents projets qui ont servi de base à son élaboration résultent de travaux qui ont commencé à Tokyo en 1965 et se sont poursuivis au cours des réunions tenues à Zurich en 1966, à Padoue en 1967, à Londres en 1968, à Leningrad en 1969, à Monte-Carlo en 1970 et à Stockholm en 1971.

Seize projets ont été diffusés aux Comités nationaux pour approbation suivant la Règle des Six Mois en août 1968, en juillet 1969, en juin 1971 et en juillet, septembre et octobre 1972.

Les pays suivants se sont prononcés explicitement en faveur de la publication de tout ou partie de ce complément:

Afrique du Sud (République d')
Allemagne
Australie
Belgique
Canada
Danemark
Etats-Unis d'Amérique
Finlande
France
Israël
Italie

Japon
Pays-Bas
Pologne
Portugal
Roumanie
Royaume-Uni
Suède
Suisse
Tchécoslovaquie
Turquie
Union des Républiques Socialistes Soviétiques

Le Comité national néerlandais a voté contre la publication des paragraphes VI-3.1, VI-3.2, VI B-1.7, VI B-1.8, VI B-1.9 et VI B-1.17.

Le Comité national allemand a voté contre la publication de la restriction au paragraphe VI-3.1.

Le Comité national français a voté contre la publication du paragraphe VI-3.2 et contre la publication de la note explicative du paragraphe VI A-1.

Le Comité national britannique a voté contre la publication des paragraphes VI-1.2, VI A-1 et VI A-2 (sauf VI A-1.14), VI B-1.1 à 1.6.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

FOURTH SUPPLEMENT TO PUBLICATION 147-0 (1966)
ESSENTIAL RATINGS AND CHARACTERISTICS OF SEMICONDUCTOR DEVICES
AND GENERAL PRINCIPLES OF MEASURING METHODS

Part 0: General and terminology

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendations and the corresponding national rules should, as far as possible, be clearly indicated in the latter.

PREFACE

This recommendation has been prepared by IEC Technical Committee No. 47, Semiconductor Devices and Integrated Circuits.

It constitutes the fourth supplement to Part 0, General and Terminology, of IEC Publication 147.

This supplement deals with integrated circuits.

The different drafts used as a basis for its preparation result from work which started in Tokyo in 1965 and continued during the meetings held in Zurich in 1966, in Padua in 1967, in London in 1968, in Leningrad in 1969, in Monte-Carlo in 1970 and in Stockholm in 1971.

Sixteen drafts were circulated to the National Committees for approval under the Six Months' Rule in August 1968, in July 1969, in June 1971 and in July, September and October 1972.

The following countries voted explicitly in favour of the publication of all or part of this supplement:

Australia	Netherlands
Belgium	Poland
Canada	Portugal
Czechoslovakia	Romania
Denmark	South Africa (Republic of)
Finland	Sweden
France	Switzerland
Germany	Turkey
Israel	Union of Soviet Socialist Republics
Italy	United Kingdom
Japan	United States of America

The Netherlands National Committee voted against the publication of Sub-clauses VI-3.1, VI-3.2, VI B-1.7, VI B-1.8, VI B-1.9 and VI B-1.17.

The German National Committee voted against the publication of the restriction to Sub-clause VI-3.1.

The French National Committee voted against the publication of Sub-clause VI-3.2 and the explanatory note to Sub-clause VI A-1.

The British National Committee voted against the publication of Sub-clauses VI-1.2, VI A-1 and VI A-2 (except VI A-1.14), VI B-1.1 to 1.6.

CHAPITRE VI: MICROCIRCUITS INTÉGRÉS

Page 24 de la Publication 147-OB de la C E I

VI-1. Termes généraux

Ajouter les paragraphes suivants:

VI-1.2 *Electronique intégrée*

L'art et la technologie de la conception, de la fabrication et de l'utilisation des circuits intégrés.

VI-1.3 *Conditions de pire cas (d'une seule caractéristique)*

Valeurs des conditions appliquées qui, individuellement, sont choisies dans un domaine spécifié et qui, ensemble, produisent la valeur la plus défavorable pour une caractéristique.

Note. — Les conditions de pire cas pour les différentes caractéristiques peuvent être différentes.

Page 26 de la Publication 147-OB de la C E I

Ajouter ce qui suit:

VI-3. Listes des valeurs préférentielles

VI-3.1 *Liste des tensions nominales préférentielles pour les conditions de fonctionnement recommandées*

Les tensions utilisées pour indiquer les conditions de fonctionnement recommandées pour les circuits intégrés analogiques et pour les circuits intégrés digitaux du type RTL, DTL et TTL doivent être choisies dans la liste suivante:

1,3* V; 1,5* V; 3,0 V; 4,0 V; 4,5* V; 5,0 V; 6,0 V; 9,0 V; 12 V; 15 V; 18* V; 24 V; 30 V; 48 V; 100 V.

VI-3.1.1 *Tolérances sur les tensions*

Les valeurs suivantes pour les tolérances positives et négatives, applicables à tous les types de circuits intégrés, sont recommandées:

- 5%;
- 10%;
- 20%.

Les tolérances au-dessus et au-dessous de la valeur nominale, c'est-à-dire les tolérances positives et négatives, ne sont pas nécessairement les mêmes.

* Les valeurs marquées d'un astérisque sont applicables au cas des circuits intégrés alimentés par batteries.

CHAPTER VI: INTEGRATED MICROCIRCUITS

Page 25 of IEC Publication 147-08

VI-1. General terms

Add the following sub-clauses

VI-1.2 Integrated electronics

The art and technology of the design, fabrication and use of integrated circuits.

VI-1.3 Worst case conditions (for a single characteristic)

The values of the applied conditions which individually are chosen from within a specified range and together produce the most unfavourable value for a considered characteristic.

Note. — Worst case conditions for different characteristics may be different.

Page 27 of IEC Publication 147-08

Add the following:

VI-3. Lists of preferred values

VI-3.1 List of preferred nominal voltages for recommended operating conditions

The voltages used for stating the recommended operating conditions for analogue integrated circuits and for digital circuits of the RTL, DTL and TTL type should be chosen from the following list:

1.3* V; 1.5* V; 3.0 V; 4.0 V; 4.5* V; 5.0 V; 6.0 V; 9.0 V; 12 V; 15 V; 18* V; 24 V; 30 V; 48 V; 100 V.

VI-3.1.1 Tolerances on voltages

The following values of positive and negative tolerances, applicable to all types of integrated circuits, are recommended:

- 5%;
- 10%;
- 20%.

The tolerances above and below the nominal value, i.e. the positive and the negative tolerances, need not necessarily be the same.

* The values marked with an asterisk are applicable to integrated circuits operated from batteries.

VI-3.2 Liste des températures préférentielles

Les températures utilisées pour indiquer les valeurs limites pour les circuits intégrés analogiques et digitaux doivent être choisies dans la liste suivante:

–65°C; –55°C; –40°C; –25°C; –10°C; 0°C; 25°C; 55°C; 70°C; 75°C; 85°C; 100°C; 125°C; 150°C; 175°C; 200°C.

Notes 1. — Les valeurs –65°C, 150°C, 175°C et 200°C s'appliquent seulement à la température de stockage.

2. — Pour des modèles futurs, la valeur de 70°C est préférée à celle de 75°C.

SECTION A — CIRCUITS INTÉGRÉS DIGITAUX

VI A-1. Définitions

Note explicative (valable pour les termes VI A-1.1 et VI A-1.2):

Une variable est une représentation physique de l'information. Une variable digitale est le comportement ou la variation temporelle d'une grandeur physique avec un nombre fini de gammes de valeurs, non enchevêtrées. Une variable digitale peut être utilisée pour la transmission d'informations. Pour tenir compte de l'usage courant, on a choisi ci-dessous des définitions simplifiées. Pour ce qui est des circuits digitaux, cela ne produira en général ni ambiguïté, ni confusion.

VI A-1.1 Variable digitale

Grandeur physique ayant des valeurs comprises à l'intérieur de gammes disjointes en nombre fini.

Notes 1. — La grandeur physique peut être une tension, un courant, une impédance, etc.

2. — Pour simplifier, chaque gamme de valeurs peut être représentée par une valeur unique, par exemple la valeur nominale.

VI A-1.2 Variable binaire

Variable digitale qui n'a que deux gammes disjointes de valeurs possibles.

Note. — Pour simplifier, chacune des gammes peut être représentée par une seule valeur, par exemple la valeur nominale.

VI A-1.3 Gamme des valeurs basses (d'une variable binaire)

Gamme des niveaux les moins positifs (les plus négatifs) d'une variable binaire.

Note. — Cette gamme est souvent notée «gamme L» et une valeur quelconque dans cette gamme «niveau L».

VI A-1.4 Gamme des valeurs hautes (d'une variable binaire)

Gamme des niveaux les plus positifs (les moins négatifs) d'une variable binaire.

Note. — Cette gamme est souvent notée «gamme H» et une valeur quelconque dans cette gamme «niveau H».

VI-3.2 *List of preferred temperatures*

The temperatures used for stating the ratings for analogue and digital circuits should be chosen from the following list:

–65°C; –55°C; –40°C; –25°C; –10°C; 0°C; 25°C; 55°C; 70°C; 75°C; 85°C; 100°C; 125°C; 150°C; 175°C; 200°C.

Notes 1. — The values –65°C, 150°C, 175°C and 200°C apply only for storage temperature.

2. — For future designs, the value of 70°C is preferred to the 75°C one.

SECTION A — DIGITAL INTEGRATED CIRCUITS

VI A-1. **Definitions**

Explanatory note (valid for terms VI A-1.1 and VI A-1.2):

A signal is a physical representation of information. A digital signal is the time-dependent behaviour or variation of a physical quantity with a finite number of non-overlapping ranges of values. A digital signal can be used for transmission of information or for information processing. Taking into account common practice, simplified definitions have been chosen below. Referring to digital circuits, this will generally produce no ambiguity or misunderstanding.

VI A-1.1 *Digital signal*

A physical quantity having a value within a finite number of non-overlapping ranges of values.

Notes 1. — The physical quantity may be voltage, or current, or impedance, etc.

2. — For convenience, each range of values can be represented by a single value, e.g. the nominal value.

VI A-1.2 *Binary signal*

A digital signal with only two possible ranges of values.

Note. — For convenience, each range of values can be represented by a single value, e.g. the nominal value.

VI A-1.3 *Low range (of a binary signal)*

The range of least positive (most negative) levels of a binary signal.

Note. — This range is often denoted by “L-range” and any level in the range by “L-level”.

VI A-1.4 *High range (of a binary signal)*

The range of most positive (least negative) levels of a binary signal.

Note. — This range is often denoted by “H-range” and any level in the range by “H-level”.

VI A-1.5 *Circuit digital*

Circuit qui est conçu pour fonctionner avec des variables digitales tant en entrée(s) qu'en sortie(s).

Notes 1. — Il est sous-entendu, dans cette définition, que l'alimentation continue n'est ni une entrée, ni une sortie.

2. — Dans certains circuits digitaux, par exemple les circuits astables, les entrées peuvent ne pas exister.

VI A-1.6 *Circuit binaire*

Circuit digital conçu pour fonctionner à l'aide de variables binaires.

Note. — Les paires de gammes de valeurs des variables linéaires peuvent être différentes aux différentes bornes du circuit.

VI A-1.7 *Configuration d'entrée (d'un circuit binaire)*

Combinaison des niveaux L et H aux différentes entrées du circuit à un instant donné.

VI A-1.8 *Configuration de sortie (d'un circuit binaire)*

Combinaison des niveaux L et H aux différentes sorties du circuit à un instant donné.

Note. — Lorsqu'aucune ambiguïté ne peut en découler, une configuration de sortie peut être représentée par le niveau (exprimé par L ou H) de la variable à une sortie du circuit déterminée (la sortie de référence).

VI A-1.9 *Borne d'entrée*

Borne par l'intermédiaire de laquelle une variable appliquée à cette entrée peut modifier la configuration de sortie du circuit :

- soit directement,
- soit indirectement, en changeant les conditions pour lesquelles le circuit réagit aux signaux appliqués aux autres entrées.

VI A-1.10 *Circuit (digital) combinatoire*

Circuit digital pour lequel il existe une, et une seule, combinaison des états de sortie pour chaque combinaison des états des entrées.

VI A-1.11 *Circuit (digital) séquentiel*

Circuit digital pour lequel il existe au moins une combinaison des valeurs des variables d'entrée qui conduisent à plus d'une combinaison des valeurs des variables de sortie.

Note. — Ces combinaisons de sortie sont fonction de l'histoire antérieure du circuit (effet de mémoire interne, retard, etc.).

VI A-1.12 *Circuit combinatoire élémentaire*

Circuit (digital) combinatoire qui n'a qu'une borne de sortie et dans lequel l'état de la variable de sortie est celui qui n'apparaît qu'une fois dans la table de fonctionnement si, et seulement si, les variables d'entrée sont toutes dans l'état H ou toutes dans l'état L.

Notes 1. — Comme l'état de la variable de sortie (qui n'apparaît qu'une seule fois dans la table de fonctionnement) peut être soit l'état H, soit l'état L, il y a quatre types de circuits combinatoires élémentaires. Suivant la relation entre les états L et H des variables et les valeurs binaires 0 et 1 de l'algèbre de Boole, on peut réaliser les opérations logiques suivantes au moyen de quatre circuits combinatoires élémentaires : ET, OU, NON-ET, NON-OU.

2. — On peut réaliser des circuits combinatoires non élémentaires à l'aide de circuits combinatoires élémentaires ou à l'aide de circuits combinatoires élémentaires et d'inverseurs.

VI A-1.5 *Digital circuit*

A circuit which is designed to operate by means of digital signals at the input(s) and at the output(s).

Notes 1. — In this definition, it is understood that “inputs” and “outputs” exclude static power supplies.

2. — In some digital circuits, e.g. certain types of astable circuits, the input(s) need not exist.

VI A-1.6 *Binary circuit*

A digital circuit designed to operate with binary signals.

Note. — The pairs of ranges of values of the binary signals may be different at different terminals.

VI A-1.7 *Input configuration (input pattern) (of a binary circuit)*

A combination of the L-levels and H-levels at the input terminals at a given instant.

VI A-1.8 *Output configuration (output pattern) (of a binary circuit)*

A combination of the L-levels and H-levels at the output terminals at a given instant.

Note. — When there is no possibility of ambiguity, the output configuration (output pattern) may be represented by the level (expressed as L-level or H-level) of the signal at a stated output terminal of the circuit (the reference output terminal).

VI A-1.9 *Input terminal*

A terminal by means of which an applied signal may modify the output configuration (output pattern) of the circuit:

- either directly,
- or indirectly by modifying the ways in which the circuit reacts to signals at other terminals.

VI A-1.10 *Combinatorial (digital) circuit*

A digital circuit in which there exists one, and only one, combination of the digital signals at the outputs for each possible combination of digital signals at the inputs.

VI A-1.11 *Sequential (digital) circuit*

A digital circuit in which there exists at least one combination of the digital signals at the inputs for which there is more than one corresponding combination of the digital signals at the outputs.

Note. — These combinations at the outputs are determined by previous history (as a result of internal memory, delay, etc.).

VI A-1.12 *Elementary combinatorial circuit*

A binary combinatorial (digital) circuit which has only one output terminal, and in which the output signal accepts the value occurring only once in the function if, and only if, the signals applied to all the input terminals are either all in the H-range or all in the L-range.

Notes 1. — Because the output signal value (occurring only once in the function table) can lie either in the H-range or in the L-range, there are four types of elementary combinatorial circuits. According to the assignment of the signal values L and H to the binary values 0 and 1 of Boolean algebra, the following logic operations can be realized by means of the four types of elementary combinatorial circuits: AND, OR, NAND, NOR.

2. — Non-elementary combinatorial circuits can be formed by combining elementary combinatorial circuits or by combining elementary combinatorial circuits with inverters.

VI A-1.13 *Table de fonctionnement*

Représentation des relations nécessaires ou possibles entre les valeurs des variables digitales aux entrées et aux sorties d'un circuit digital, ces valeurs des variables digitales étant indiquées soit en utilisant directement les valeurs électriques, soit en indiquant la signification électrique des symboles (par exemple L et H pour les circuits binaires).

En général :

- chaque colonne indique les valeurs des variables digitales à une entrée ou à une sortie du circuit digital ;
- chaque ligne indique la combinaison des valeurs des variables digitales aux entrées et les valeurs correspondantes des signaux digitaux en sortie ;
- chaque fois que la valeur d'une variable digitale en sortie est indéterminée, elle doit être indiquée par un point d'interrogation ;
- chaque fois que la valeur d'une variable digitale à une entrée n'a pas d'influence, elle doit être indiquée par le symbole L/H ou X.

VI A-1.14 *Table de vérité (pour une relation entre des variables digitales)*

Représentation de la relation logique entre une ou plusieurs variables digitales indépendantes et une ou plusieurs variables dépendantes, au moyen d'une table qui, pour chaque combinaison possible des valeurs des variables indépendantes, donne les valeurs appropriées des variables dépendantes.

Note. — La distinction entre «table de fonctionnement» et «table de vérité» est fondamentalement nécessaire car le même circuit digital peut réaliser plusieurs opérations logiques différentes, selon le choix arbitraire de la relation entre les valeurs des variables digitales et les valeurs des grandeurs électriques digitales.

VI A-1.15 *Facteur de charge d'entrée (d'un circuit digital bipolaire)*

Facteur qui indique le rapport du courant d'entrée d'une borne d'entrée spécifiée au courant d'entrée d'un circuit particulier qui est choisi comme charge de référence.

Note. — On choisira de préférence la charge de référence de telle façon que le facteur de charge d'entrée soit un nombre entier.

VI A-1.16 *Capacité de charge de sortie (d'un circuit digital bipolaire)*

Facteur qui indique le rapport du courant maximal de sortie d'une borne de sortie spécifiée d'un circuit digital au courant d'entrée d'un circuit particulier qui est choisi comme charge de référence.

Note. — On choisira de préférence la charge de référence de telle façon que la capacité de charge de sortie soit un nombre entier.

VI A-1.17 *Excitation*

Configuration, ou changement de configuration, d'entrée qui peut :

- provoquer la modification de configuration de sortie, soit directement, soit eu égard à un état de préparation préalablement existant ;
- ou placer le circuit dans un état de préparation ;
- ou effacer ou modifier un état de préparation déjà existant.

Notes 1. — La répétition, ou la réitération, d'une excitation donnée ne produit pas forcément le même effet.

2. — Dans certains cas, une excitation peut aussi maintenir une configuration de sortie qu'elle pourrait avoir produite.

VI A-1.13 *Function table*

A representation of the necessary or possible relations between the values of the digital signals at the inputs and the outputs of a digital circuit, these values of the digital signals being indicated either by using electrical values directly or by stating the electrical significance of the symbols (e.g. L and H for binary circuits).

Generally:

- every column indicates the values of the digital signals at an input or at an output of the digital circuit;
- every line indicates the combination of values of the digital signals at the input(s) and the resulting values of the digital signals at the output(s);
- whenever the value of the digital signal at an output is not determined, it should be indicated by a question mark;
- whenever the value of a digital signal at an input has no influence, it should be indicated by the symbol L/H or X.

VI A-1.14 *Truth table (for a relation between digital variables)*

A representation of the logic relationship between one or more independent digital variables and one or more dependent digital variables, by means of a table which, for each possible combination of the values of the independent variables, gives the appropriate values of the dependent variables.

Note. — The distinction between “function table” and “truth table” is fundamentally necessary, because the same digital circuit may fulfil several different logic operations, according to the arbitrary choice of the assignment of the values of the digital variables to the values of the digital electrical quantities.

VI A-1.15 *Input loading factor (of a bipolar digital circuit)*

A factor which indicates the ratio of the input current of a specified input terminal of a digital circuit to the input current of a particular circuit which is chosen as a reference load.

Note. — The reference load should preferably be chosen in such a way that the input loading factor becomes an integer.

VI A-1.16 *Output loading capability (of a bipolar digital circuit)*

A factor which indicates the ratio of the maximum output current of a specified output terminal of a digital circuit to the input current of a particular circuit which is chosen as a reference load.

Note. — The reference load should preferably be chosen in such a way that the output loading capability becomes an integer.

VI A-1.17 *Excitation*

An input configuration (input pattern), or change in input configuration (input pattern), that can:

- cause the circuit to change its output configuration (output pattern), either directly, or in conjunction with an already existing state of preparedness;
- or put the circuit in a state of preparedness;
- or either cancel or modify an already existing state of preparedness.

Notes 1. — The repetition, or reiteration, of a given excitation will not necessarily produce the same effect.

2. — In some cases, an excitation can also maintain an output configuration (output pattern) which it could have produced.

VI A-1.18 *Niveau actif (d'une variable digitale d'entrée d'un circuit séquentiel)*

Niveau d'une variable digitale d'entrée susceptible de provoquer une excitation.

VI A-1.19 *Transition active (d'une variable digitale d'entrée d'un circuit séquentiel)*

Transition d'un niveau d'une variable digitale vers un autre niveau, susceptible de produire une excitation.

Note. — Une transition active peut être aussi sujette à des limitations provenant de la pente du signal.

VI A-1.20 *Configuration de sortie stable (d'un circuit séquentiel)*

Configuration de sortie que conserve un circuit après que l'excitation qui l'a produite, ou toute excitation qui pourrait l'avoir maintenue, ait été remplacée par une configuration d'entrée qui ne soit pas une excitation,

ou bien :

configuration de sortie que prend un circuit en l'absence de toute excitation.

Note. — Toute persistance de courte durée de la configuration de sortie, due à des effets indésirables tels que effet capacitif, temps de stockage, temps de propagation, etc., est ignorée.

VI A-1.21 *Configuration de sortie pseudo-stable (d'un circuit séquentiel)*

Configuration de sortie qui ne persiste pas après que l'excitation qui l'a produite, ou toute autre excitation susceptible de la maintenir, ait été remplacée par une configuration d'entrée qui ne soit pas une excitation.

Note. — Toute configuration de sortie de faible durée, due à des effets indésirables tels que effet capacitif, temps de stockage, temps de propagation, etc., est ignorée.

VI A-1.22 *Configuration de sortie méta-stable (d'un circuit séquentiel)*

Configuration de sortie qui ne persiste que pour un temps limité après qu'une excitation appropriée ait été appliquée.

Notes 1. — La durée de cette configuration de sortie dépend des caractéristiques du circuit; elle peut dépendre de la durée de l'excitation qui l'a produite et peut être affectée par une excitation ultérieure.

2. — Toute persistance de courte durée de la configuration de sortie, due à des effets indésirables tels que effet capacitif, temps de stockage, temps de propagation, etc., est ignorée.

VI A-1.23 *Circuit bistable*

Circuit séquentiel qui a deux, et seulement deux, configurations de sortie stables.

Notes 1. — Cette grande classe peut être subdivisée en sous-classes, eu égard au nombre et aux types de configuration de sortie méta-stable ou pseudo-stable du circuit et au nombre d'excitations appropriées nécessaires pour changer de configuration de sortie stable.

2. — Une configuration stable de sortie d'un circuit bistable peut être exprimée par le niveau L ou le niveau H à la borne de sortie prise comme référence.

VI A-1.24 *Circuit monostable*

Circuit séquentiel qui n'a qu'une configuration de sortie stable.

Notes 1. — La définition précédente correspond au sens le plus général du terme. Le sens qui est donné généralement au terme «circuit monostable» suppose qu'en plus de la configuration stable il existe au moins une configuration de sortie méta-stable.

2. — En général, de tels circuits peuvent avoir une ou plusieurs configurations de sortie méta-stable ou pseudo-stable.

VI A-1.18 *Active level (of a digital input signal to a sequential circuit)*

A level of a digital input signal which can produce excitation.

VI A-1.19 *Active transition (of a digital input signal to a sequential circuit)*

A transition from one level of a digital input signal to another level, which can produce excitation.

Note. — An active transition may also be subject to limitations arising from the slope of the signal.

VI A-1.20 *Stable output configuration (output pattern) (of a sequential circuit)*

An output configuration (output pattern), in which the circuit will remain after the excitation that produced it, or any other that could have maintained it, has been replaced by an input configuration (input pattern) which is not an excitation,

or:

an output configuration (output pattern) which the circuit takes up in the absence of excitation.

Note. — Any short persistence of the output configuration (output pattern) due to undesired effects such as capacitance, storage and propagation times, etc., is ignored.

VI A-1.21 *Pseudo-stable output configuration (output pattern) (of a sequential circuit)*

An output configuration (output pattern) which does not persist after the excitation that produced it, or other excitations that have maintained it, have been replaced by an input configuration (input pattern) which is not an excitation.

Note. — Any short persistence of the output configuration (output pattern) due to undesired effects such as capacitance, storage and propagation times, etc., is ignored.

VI A-1.22 *Meta-stable output configuration (output pattern) (of a sequential circuit)*

An output configuration (output pattern) which persists, for a limited duration only, after the appropriate excitation has been applied.

Notes 1. — The duration of the meta-stable output configuration (output pattern) will depend on the design of the circuit, may depend on the duration of the excitation that produced it and may be affected by further excitation.

2. — Any short persistence of the output configuration (output pattern) due to undesired effects such as capacitance, storage and propagation times, etc., is ignored.

VI A-1.23 *Bistable circuit*

A sequential circuit which has two, and only two, stable output configurations (output patterns).

Notes 1. — This broad classification can be divided into sub-classes according to the numbers and kinds of pseudo-stable and meta-stable output configurations (output patterns) available and the number of applications of appropriate excitations required to change from one stable output configuration (output pattern) to the other.

2. — A stable output configuration (output pattern) of a bistable circuit can be expressed by the L-level or the H-level of the reference output terminal.

VI A-1.24 *Monostable circuit*

A sequential circuit which has only one stable output configuration (output pattern).

Notes 1. — The definition above is given in its most general form. In present usage, the term “monostable circuit” implies that there is at least one meta-stable output configuration (output pattern) in addition to the stable output configuration (output pattern).

2. — In general, such circuits may have one or more meta-stable and/or pseudo-stable output configurations (output patterns).

VI A-1.25 *Circuit expasseur*

Circuit auxiliaire que l'on peut modifier pour augmenter le nombre des entrées jouant le même rôle d'un circuit associé, sans modifier la fonction du circuit associé.

VI A-1.26 *Inverseur binaire*

Circuit binaire qui n'a qu'une borne d'entrée et une borne de sortie et pour lequel, à un état L (H) de la variable d'entrée, correspond un état H (L) de la variable de sortie.

VI A-1.27 *Matrice (séquentielle) de fonctionnement*

Table à plusieurs entrées qui donne les configurations possibles de sortie pour chaque configuration d'entrée, et grâce à laquelle on peut connaître, par lecture directe, la (les) configuration(s) de sortie qui résulte(nt) de la transition d'une configuration d'entrée déterminée à une autre configuration d'entrée.

Note. — S'il y a lieu, on pourra compléter une matrice (séquentielle) de fonctionnement par des données ou par des détails supplémentaires relatifs aux conditions de temps (par exemple, temps de transition pour les niveaux d'entrée, temps de délai, durée de la configuration d'entrée avant que l'on puisse obtenir la nouvelle configuration de sortie désirée).

VI A-2. **Exemples**

VI A-2.1 *Circuits combinatoires élémentaires*

1. *Types de circuits combinatoires élémentaires et leur table de fonctionnement*

a) *Circuit ET (état L), OU (état H)*

Entrées	Sortie
A B C	Q
L L L	L
Toutes combinaisons avec H	H

b) *Circuit NON-ET (état L), NON-OU (état H)*

Entrées	Sortie
A B C	Q
L L L	H
Toutes combinaisons avec H	L

c) *Circuit ET (état H), OU (état L)*

Entrées	Sortie
A B C	Q
H H H	H
Toutes combinaisons avec L	L

VI A-1.25 *Expander circuit*

An auxiliary circuit which can be used to expand the number of inputs of equal influence of an associated circuit without modifying the function of the associated circuit.

VI A-1.26 *Binary inverter*

Binary circuit which has only one input terminal and one output terminal, and in which a signal value L (H) at the input produces a signal value H (L) at the output.

VI A-1.27 *Function (sequential) matrix*

A table having several inputs which gives the possible output configurations for each input configuration(s) and from which the output configuration(s) resulting from a transition from each individual input configuration to any other input configuration can be read directly.

Note. — Where appropriate, a function (sequential) matrix may be completed by additional data or details concerning time conditions (e.g. transition times for the input levels, delay time, duration of the input configuration to produce a desired new output configuration).

VI A-2. **Examples**

VI A-2.1 *Elementary combinatorial circuits*

1. *Types of elementary combinatorial circuits and their function tables*

a) *L-AND, H-OR circuit*

Inputs	Output
A B C	Q
L L L L	L
All combinations with H	H

b) *L-NAND, H-NOR circuit*

Inputs	Output
A B C	Q
L L L L	H
All combinations with H	L

c) *H-AND, L-OR circuit*

Inputs	Output
A B C	Q
H H H H	H
All combinations with L	L

d) Circuit NON-ET (état H), NON-OU (état L)

Entrées	Sortie
A B C	Q
H H H H	L
Toutes combinaisons avec L	H

e) Inverseur binaire

Entrée	Sortie
L	H
H	L

2. Réalisation d'opérations logiques au moyen de circuits combinatoires élémentaires
(pour deux relations possibles entre les états L et H des variables et les valeurs binaires 0 et 1 de l'algèbre de Boole)

Circuit		Relations	
Type	Nom	$L \triangleq 1$ $H \triangleq 0$	$L \triangleq 0$ $H \triangleq 1$
a	ET (état L), OU (état H)	ET	OU
b	NON-ET (état L), NON-OU (état H)	NON-ET	NON-OU
c	OU (état L), ET (état H)	OU	ET
d	NON-OU (état L), NON-ET (état H)	NON-OU	NON-ET

VI A-2.2 Principe de caractérisation des circuits bistables et des circuits séquentiels afférents, montré par des exemples et employant la désignation littérale

Avant-propos

Deux modes de représentation des matrices des phases sont indiqués.

1. Préambule

1.1 Si le signal appliqué à une borne d'entrée est actif:

- lorsqu'il occupe le niveau H,
 - ou lors de la transition du niveau L vers le niveau H,
- la lettre qui représente cette entrée est écrite sans barre.

Exemples: R, S, J...

Si le signal appliqué à une borne d'entrée est actif:

- lorsqu'il occupe le niveau L (c'est-à-dire LORSQU'IL N'EST PAS AU NIVEAU H),
- ou lors de la transition du niveau H vers le niveau L (c'est-à-dire LORS DE LA TRANSITION QUI N'EST PAS DU NIVEAU L VERS LE NIVEAU H),

la lettre qui représente cette entrée est surmontée d'une barre.

Exemples: $\bar{R}$, $\bar{S}$, $\bar{J}$...

d) *H-NAND, L-NOR circuit*

Inputs	Output
A B C	Q
H H H H	L
All combinations with L	H

e) *Binary inverter*

Input	Output
L	H
H	L

2. *Realisation of logic operations by means of the elementary combinatorial circuits*
(for two possible assignments of the signal values L and H to the binary values 0 and 1 of Boolean algebra)

Circuit		Assignment	
Type	Name	L $\triangleq$ 1 H $\triangleq$ 0	L $\triangleq$ 0 H $\triangleq$ 1
a	L-AND, H-OR	AND	OR
b	L-NAND, H-NOR	NAND	NOR
c	L-OR, H-AND	OR	AND
d	L-NOR, H-NAND	NOR	NAND

VI A-2.2 *Principle of characterizing bistable circuits and related sequential digital circuits, shown by examples using letter designations*

Foreword

Two different ways of presenting the phase matrices are quoted.

1. **Preamble**

1.1 If the signal applied to the input terminal concerned is:

- active when it is at the H-level,
 - or active during the transition from the L-level to the H-level,
- then the letter which represents the input is used without a bar.

Example: R, S, J...

If the signal applied to the input terminal concerned is:

- active when it is at the L-level (i.e. NOT AT THE H-LEVEL),
- or active during the transition from the H-level to the L-level (i.e. NOT DURING THE TRANSITION FROM THE L-LEVEL TO THE H-LEVEL),

then the letter which represents the input is used with a bar.

Example: $\bar{R}$, $\bar{S}$, $\bar{J}$...

Dans le cas de circuits fonctionnant en niveau et par transition et lorsque la règle qui précède conduit à une impossibilité, la priorité est donnée à la transition.

1.2 Les bornes de sortie d'un circuit bistable sont habituellement notées Q et Q*; Q est la sortie prise comme référence.

1.3 Normalement, pour les deux configurations de sortie stables d'un circuit bistable, les niveaux aux bornes Q et Q* sont complémentaires.

La configuration de sortie pseudo-stable est indiquée par les lettres H ou L ou leur combinaison, placées entre parenthèses après les lettres RS, quand elle existe.

Si dans la configuration de sortie pseudo-stable, les niveaux de Q et Q* sont complémentaires, les deux lettres H et L sont utilisées, la première lettre désignant le niveau de Q.

Si dans la configuration de sortie pseudo-stable les niveaux de Q et de Q* sont identiques, une seule lettre est utilisée pour désigner ces niveaux.

Exemples: RS(H), RS(L), RS(HL), RS(LH).

Si ce n'est pas exigé, les parenthèses et les lettres à l'intérieur peuvent être omises.

1.4 Tous les autres types de bascules RS, R_GS_G, JK, J_TK_T, etc., peuvent être décrits d'une manière analogue aux exemples qui suivent.

2. Circuits

2.1 Circuit RS (L)

Circuit dont les deux entrées R et S sont des entrées à fonctionnement en niveau. L'une quelconque des entrées ne peut être active que pour le niveau H seulement.

La configuration d'entrée (R, S) = (L, H) conduit à la configuration de sortie (Q, Q*) = (H, L). Le retour au niveau L de l'entrée S est sans effet.

La configuration d'entrée (R, S) = (H, L) conduit à la configuration de sortie (Q, Q*) = (L, H). Le retour au niveau L de l'entrée R est sans effet.

La configuration d'entrée (R, S) = (H, H) conduit à la configuration de sortie pseudo-stable (Q, Q*) = (L, L). Le retour simultané des deux entrées du niveau H vers le niveau L conduit à une configuration de sortie stable imprévisible.

Note: — Pour des raisons techniques, dans certains cas, la configuration d'entrée (R, S) = (H, H) peut être interdite.

Matrices des phases:

R	L		H			
S	L	H	L	H	Q	Q*
	①	①	3	2	H	L
	②	1	3	②	L	H
	?	1	③	2	L	L

R	L		H			
S	L	H	L	H	Q	Q*
					H	L
					L	H
	?				L	L

In cases of level/transition-operated circuits where the above gives rise to contrary indications, priority is given to the transition.

1.2 The output terminals of a bistable circuit are denoted by Q and Q^* , where Q is the reference-output terminal.

1.3 Normally, in the two stable output configurations (output patterns) of a bistable circuit, the levels at the terminals Q and Q^* are complementary.

The pseudo-stable output configuration (output pattern) is stated by the letters H or L or combinations thereof, to be put in brackets following the letters RS, when it occurs.

If, in the pseudo-stable output configuration (output pattern), the levels at Q and Q^* are complementary, both the letters H and L are used, the first letter designating the level at Q .

If, in the pseudo-stable output configuration (output pattern), the levels at Q and Q^* are the same, only one letter is used to designate these levels.

Examples: RS(H), RS(L), RS(HL), RS(LH).

If not required, the brackets and letters between them can be omitted.

1.4 All other types of RS, $R_G S_G$, JK, $J_T K_T$ circuits, etc., can be described in a manner analogous to the examples that follow.

2. Circuits

2.1 RS (L) circuit

A circuit having two level-operated input terminals R and S. Either input signal can be active in the H-level only.

The input configuration (input pattern) $(R, S) = (L, H)$ produces the output configuration (output pattern) $(Q, Q^*) = (H, L)$. The return of the input signal at the S terminal to the L-level produces no action.

The input configuration (input pattern) $(R, S) = (H, L)$ produces the output configuration (output pattern) $(Q, Q^*) = (L, H)$. The return of the input signal at the R terminal to the L-level produces no action.

The input configuration (input pattern) $(R, S) = (H, H)$ produces the pseudo-stable output configuration (output pattern) $(Q, Q^*) = (L, L)$. The simultaneous return of both input signals from the H-level to the L-level produces a non-foreseeable stable output configuration (output pattern).

Note. — In some cases, the input configuration (input pattern) $(R, S) = (H, H)$ may not be permitted due to technical reasons.

Phase matrices:

R	L		H			
S	L	H	L		Q	Q*
	1	1	3	2	H	L
	2	1	3	2	L	H
	?	1	3	2	L	L

R	L		H			
S	L	H	L		Q	Q*
					H	L
					L	H
					L	L

Diagramme des temps:

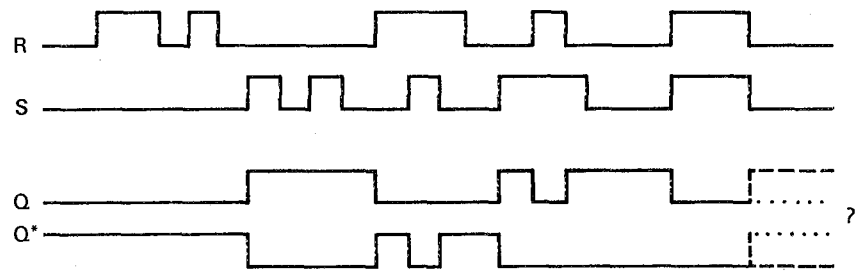


FIGURE 1

075/74

2.2

Circuit $\overline{R}\overline{S}$ (H)

Circuit dont les deux entrées $\overline{R}$, $\overline{S}$ sont des entrées à fonctionnement en niveau. L'une quelconque des entrées ne peut être active que pour le niveau L seulement.

La configuration d'entrée $(\overline{R}, \overline{S}) = (H, L)$ conduit à la configuration de sortie $(Q, Q^*) = (H, L)$. Le retour au niveau H de l'entrée S est sans effet.

La configuration d'entrée $(\overline{R}, \overline{S}) = (L, H)$ conduit à la configuration de sortie $(Q, Q^*) = (L, H)$. Le retour au niveau H de l'entrée R est sans effet.

La configuration d'entrée $(\overline{R}, \overline{S}) = (L, L)$ conduit à la configuration de sortie pseudo-stable $(Q, Q^*) = (H, H)$. Le retour simultané des deux entrées du niveau L vers le niveau H conduit à une configuration de sortie stable imprévisible.

Note. — Pour des raisons techniques, dans certains cas la configuration d'entrée $(\overline{R}, \overline{S}) = (L, L)$ peut être interdite.

Matrices des phases:

$\overline{R}$	L	H			
$\overline{S}$	L	H	L	Q	Q*
	3	2	(1)	H	L
	3	(2)	(2)	L	H
	(3)	2	?	H	H

$\overline{R}$	L	H			
$\overline{S}$	L	H	L	Q	Q*
				H	L
				L	H
			?	H	H

Diagramme des temps:

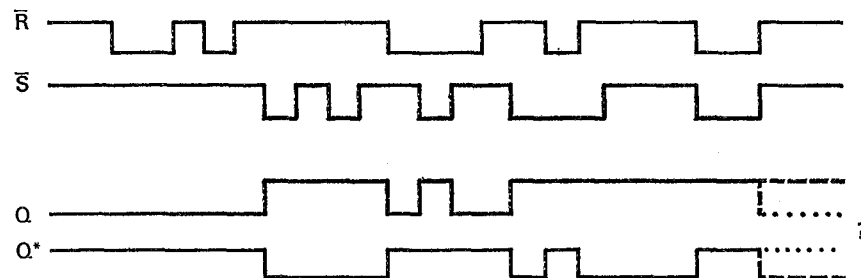


FIGURE 2

076/74

Timing diagram:

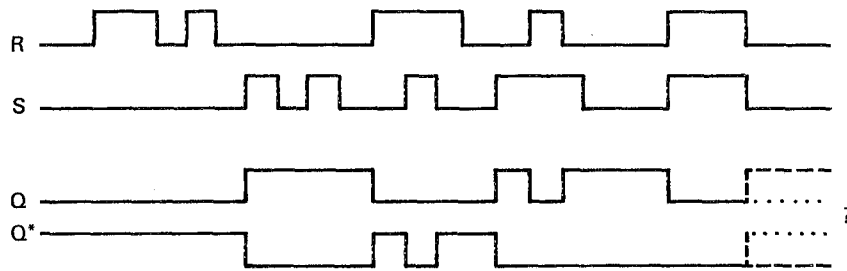


FIGURE 1

075174

2.2

$\overline{RS}$ (H) circuit

A circuit having two level-operated input terminals $\overline{R}$ and $\overline{S}$. Either input signal can be active in the L-level only.

The input configuration (input pattern) $(\overline{R}, \overline{S}) = (H, L)$ produces the output configuration (output pattern) $(Q, Q^*) = (H, L)$. The return of the input signal at the S terminal to the H-level produces no action.

The input configuration (input pattern) $(\overline{R}, \overline{S}) = (L, H)$ produces the output configuration (output pattern) $(Q, Q^*) = (L, H)$. The return of the input signal at the R terminal to the H-level produces no action.

The input configuration (input pattern) $(\overline{R}, \overline{S}) = (L, L)$ produces the pseudo-stable output configuration (output pattern) $(Q, Q^*) = (H, H)$. The simultaneous return of both input signals from the L-level to the H-level produces a non-foreseeable stable output configuration (output pattern).

Note. — In some cases, the input configuration (input pattern) $(\overline{R}, \overline{S}) = (L, L)$ may not be permitted due to technical reasons.

Phase matrices:

$\overline{R}$	L		H			
$\overline{S}$	L	H	L	H	Q	Q*
	3	2	(1)	(1)	H	L
	3	(2)	(2)	1	L	H
	(3)	2	?	1	H	H

$\overline{R}$	L		H			
$\overline{S}$	L	H	L	H	Q	Q*
					H	L
					L	H
					H	H

Timing diagram:

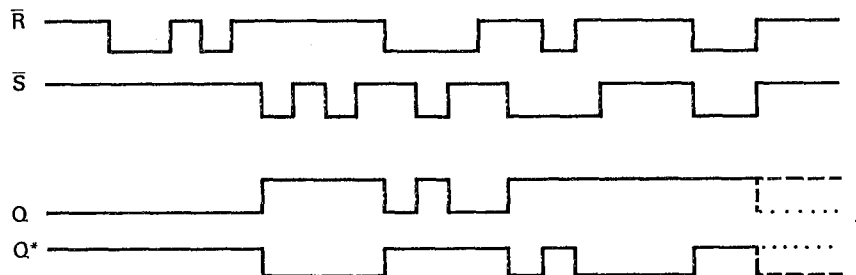


FIGURE 2

076174

2.3

Circuit T

Circuit dont l'entrée T est à fonctionnement par transition.

Le passage du niveau L au niveau H de la variable, appliquée sur cette entrée, provoque le changement de la configuration de sortie.

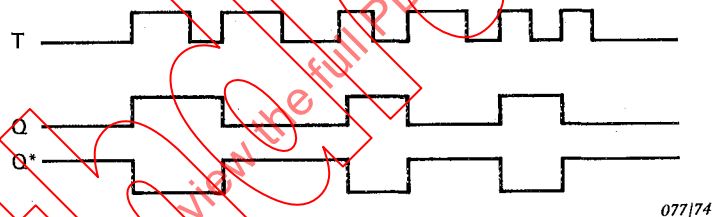
Le retour de la variable d'entrée du niveau H vers le niveau L est sans effet.

Matrices des phases:

T	L	H	Q	Q*
	①	2	L	H
	3	②	H	L
	③	4	H	L
	1	④	L	H

T	L	H	Q	Q*
			L	H
			H	L
			H	L
			L	H

Diagramme des temps:



077/74

FIGURE 3

2.4

Circuit $\bar{T}$

Circuit dont l'entrée $\bar{T}$ est du type à fonctionnement par transition.

Le passage du niveau H au niveau L de la variable, appliquée à cette entrée, provoque le changement de la configuration de sortie.

Le retour de la variable d'entrée du niveau L vers le niveau H est sans effet.

Matrices des phases:

$\bar{T}$	L	H	Q	Q*
	2	①	L	H
	②	3	H	L
	4	③	H	L
	④	1	L	H

$\bar{T}$	L	H	Q	Q*
			L	H
			H	L
			H	L
			L	H

2.3

T circuit

A circuit having one input terminal, T , which is transition-operated.

When the signal applied to the input terminal changes from the L-level to the H-level, it produces changeover of the output configuration (output pattern).

The return of the input signal from the H-level to the L-level produces no action.

Phase matrices:

T	L	H	Q	Q*
	①	2	L	H
	3	②	H	L
	③	4	H	L
	1	④	L	H

T	L	H	Q	Q*
			L	H
			H	L
			H	L
			L	H

Timing diagram:

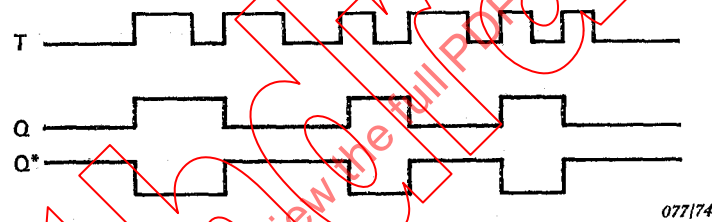


FIGURE 3

2.4

$\bar{T}$ circuit

A circuit having one input terminal, $\bar{T}$, which is transition-operated.

When the signal applied to the input terminal $\bar{T}$ changes from the H-level to the L-level, it produces changeover of the output configuration (output pattern).

The return of the input signal from the L-level to the H-level produces no action.

Phase matrices:

$\bar{T}$	L	H	Q	Q*
	2	①	L	H
	②	3	H	L
	4	③	H	L
	④	1	L	H

$\bar{T}$	L	H	Q	Q*
			L	H
			H	L
			H	L
			L	H

Diagramme des temps:

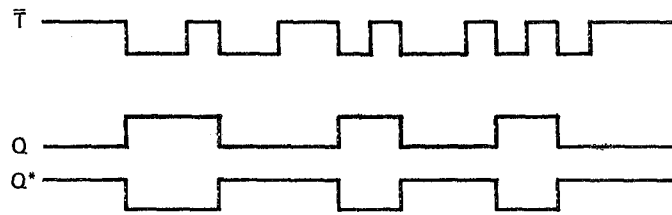


FIGURE 4

078/74

2.5

Circuit T_G (définition générale)

Circuit dont l'entrée T est du type à fonctionnement par transition et l'entrée G du type à fonctionnement en niveau.

Lorsque l'entrée G est portée au niveau H, le circuit fonctionne comme un circuit T.

Lorsque l'entrée G est portée au niveau L, la variable d'entrée T n'a plus aucune action sur la configuration de sortie.

La configuration de sortie atteinte après une transition simultanée des variables aux deux entrées est imprévisible lorsque la variable appliquée à l'entrée T passe du niveau L au niveau H, quelle que soit la transition à l'entrée G.

Matrices des phases:

G	L		H			
T	L	H	L	H	Q	Q*
	①	3	?	2	L	H
	1	?	4	②	L	H
	1	③	③	2	L	H
	6	④	④	5	H	L
	6	?	3	⑤	H	L
	⑥	4	?	5	H	L

G	L		H			
T	L	H	L	H	Q	Q*
	?	?	?	?	L	H
	?	?	?	?	L	H
	?	?	?	?	L	H
	?	?	?	?	H	L
	?	?	?	?	H	L
	?	?	?	?	H	L

Diagramme des temps:

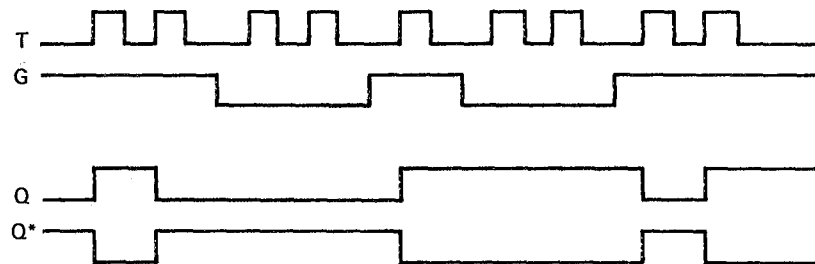


FIGURE 5

079/74

Timing diagram:

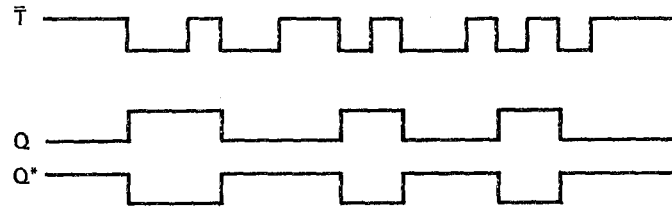


FIGURE 4

078/74

2.5

General T_G circuit

A circuit having one transition-operated input terminal, T, and one level-operated input terminal, G.

While the G input signal has the H-level, the circuit functions like a T circuit.

While the G input signal has the L-level, the T input signal has no effect on the output configuration (output pattern).

The simultaneous change of both input signals produces a non-foreseeable output configuration (output pattern) if the T input signal changes from the L-level to the H-level and the G input signal changes, either from the L-level to the H-level, or from the H-level to the L-level.

Phase matrices:

G	L	H				
T	L	H	L	Q	Q*	
	①	3	?	2	L	H
	1	?	4	②	L	H
	1	③	③	2	L	H
	6	④	④	5	H	L
	6	?	3	⑤	H	L
	⑥	4	?	5	H	L

G	L	H				
T	L	H	L	Q	Q*	
	?	?	?	L	H	
	?	?	?	L	H	
	?	?	?	L	H	
	?	?	?	H	L	
	?	?	?	H	L	
	?	?	?	H	L	

Timing diagram:

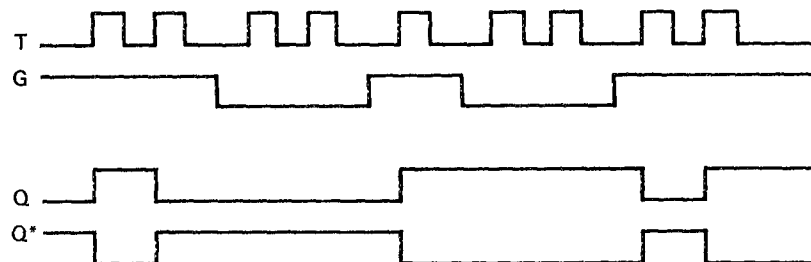


FIGURE 5

079/74

Diagramme des temps d'un circuit général T_G (suite):

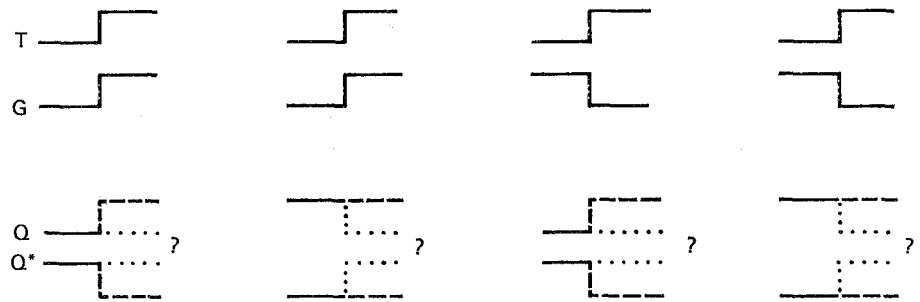


FIGURE 6

080174

Matrices des phases du circuit T_G (cas où T est retardé par rapport à G):

G	L	H	L/H		
T	H			L	H
	2	3	(1)	L	H
	(2)	(2)	1	L	H
	(3)	(3)	4	H	L
	3	2	(4)	H	L

G	L	H	L/H		
T	H			L	H
				L	H
				L	H
				H	L
				H	L

Matrices des phases du circuit T_G (cas où G est retardé par rapport à T):

G	L	L/H	H		
T	L	H	L	L	H
	(1)	(1)	2	L	H
	1	3	(2)	L	H
	(3)	(3)	4	H	L
	3	1	(4)	H	L

G	L	L/H	H		
T	L	H	L	L	H
				L	H
				L	H
				H	L
				H	L

Timing diagram of general T_G circuit (continued):

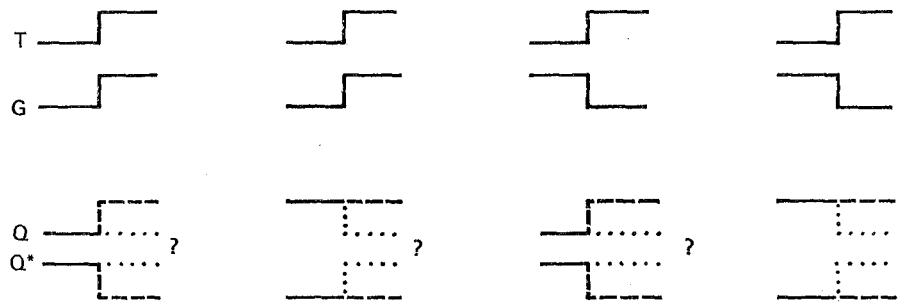


FIGURE 6

080/74

Phase matrices of the T_G circuit with T delayed with respect to G :

G	L	H	L/H		
T		H	L	Q	Q*
	2	3	(1)	L	H
	(2)	(2)	1	L	H
	(3)	(3)	4	H	L
	3	2	(4)	H	L

G	L	H	L/H		
T		H	L	Q	Q*

Phase matrices of the T_G circuit with G delayed with respect to T :

G	L	L/H	H		
T	L	H	L	Q	Q*
	(1)	(1)	2	L	H
	1	3	(2)	L	H
	(3)	(3)	4	H	L
	3	1	(4)	H	L

G	L	L/H	H		
T	L	H	L	Q	Q*

2.6

Circuit JK (fonctionnement par transition)

Circuit dont les deux entrées J et K sont du type à fonctionnement par transition et dont les transitions actives sont celles du niveau L vers le niveau H.

Lorsque la variable appliquée à la borne d'entrée J passe du niveau L au niveau H, elle conduit à la configuration de sortie $(Q, Q^*) = (H, L)$. Le retour de la variable d'entrée sur la borne J vers le niveau L est sans effet.

Lorsque la variable appliquée à la borne d'entrée K passe du niveau L au niveau H, elle conduit à la configuration de sortie $(Q, Q^*) = (L, H)$. Le retour de la variable d'entrée sur la borne K vers le niveau L est sans effet.

Le passage simultané des variables appliquées sur les deux entrées du niveau L au niveau H modifie la configuration de sortie.

Le retour de la variable appliquée sur l'une ou l'autre ou sur les deux entrées vers le niveau L est sans effet.

Matrices des phases :

K	L		H		Q	Q*
J	L	H	L	H		
	①	4	3	①	L	H
	1	②	②	1	L	H
	4	4	③	③	H	L
	④	④	2	1	H	L

K	L		H		Q	Q*
J	L	H	L	H		
					L	H
					L	H
					H	L
					H	L

Diagramme des temps :

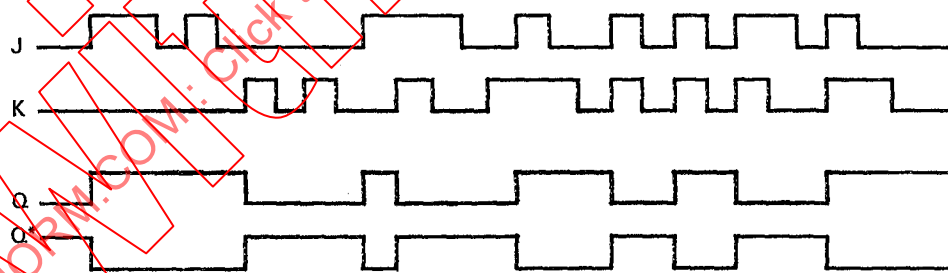


FIGURE 7

081/74

2.7

Circuit $\bar{J}\bar{K}$ (fonctionnement par transition)

Description analogue à la précédente (2.6), mais en considérant les transitions de H vers L comme actives.

2.8

Circuit D_G

Circuit dont l'entrée D et l'entrée G sont du type à fonctionnement en niveau.

Aussi longtemps que l'entrée G est portée au niveau H, la sortie de référence Q occupe le même niveau que l'entrée D.

2.6 (Transition-operated) JK circuit

A circuit having two transition-operated input terminals, J and K, for which the input signals are active during the change from the L-level to the H-level.

When the signal applied to the K input terminal changes from the L-level to the H-level, it produces the output configuration (output pattern) $(Q, Q^*) = (H, L)$. The return of the input signal at the J terminal to the L-level produces no action.

When the signal applied to the K input terminal changes from the L-level to the H-level, it produces the output configuration (output pattern) $(Q, Q^*) = (L, H)$. The return of the input signal at the K terminal to the L-level produces no action.

The simultaneous change of both input signals from the L-level to the H-level produces changeover of the output configuration (output pattern).

The return of either, or both, input signals to the L-level produces no action.

Phase matrices:

K	L		H			
J	L	H	L	H	Q	Q*
	①	4	3	①	L	H
	1	②	②	1	L	H
	4	4	③	③	H	L
	④	④	2	1	H	L

K	L	H	L	H	Q	Q*
J	L	H	L	H	L	H
	L	H	L	H	L	H
	L	H	L	H	L	H
	L	H	L	H	H	L
	L	H	L	H	H	L

Timing diagram:

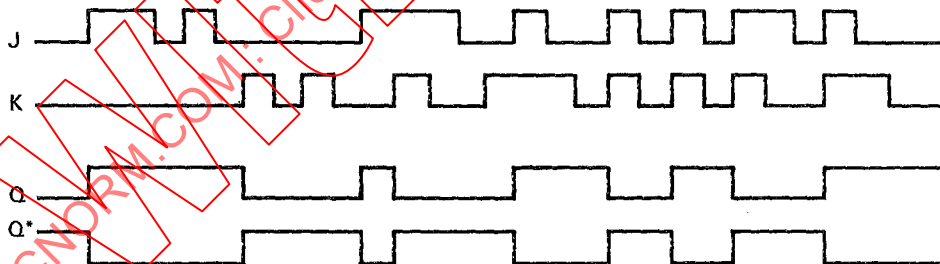


FIGURE 7

081/74

2.7 (Transition-operated) $\overline{J}\overline{K}$ circuit

Description analogous to 2.6, but where the input signals are active during the change from H-level to L-level.

2.8 D_G circuit

A circuit having two level-operated input terminals D and G.

While the G input signal has the H-level, the level at the reference output terminal Q is the same as the level of the D input signal.

Au moment de la transition du niveau H vers le niveau L de l'entrée G, la configuration de sortie est maintenue.

Aussi longtemps que le niveau L restera maintenu en G, la variable d'entrée appliquée sur D est sans effet.

La transition simultanée des variables appliquées sur les deux entrées conduit à une configuration de sortie imprévisible, si la variable appliquée sur G passe du niveau H au niveau L et la variable appliquée sur D passe soit du niveau L au niveau H, soit du niveau H au niveau L.

Matrices des phases (ces matrices des phases ne s'appliquent que dans le cas où D est retardé par rapport à G):

G	L	H		
D	L/H	H	L	
	①	2	①	L H
	②	②	1	H L

G	L	H		
D	L/H	H	L	
	①	2	①	L H
	②	②	1	H L

Diagramme des temps:

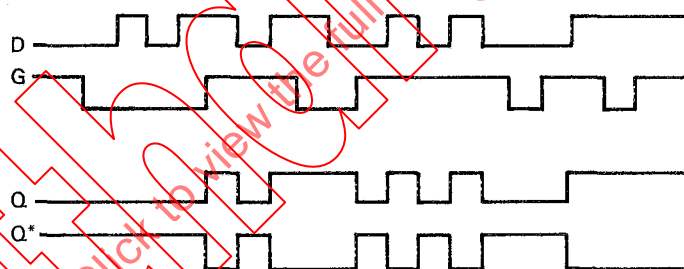


FIGURE 8

082/74

2.9

Circuit $D\bar{G}$

Circuit dont les deux entrées D et $\bar{G}$ sont du type à fonctionnement en niveau.

Aussi longtemps que l'entrée $\bar{G}$ est portée au niveau L, la sortie Q occupe le même niveau que l'entrée D.

Au moment de la transition du niveau L vers le niveau H de l'entrée $\bar{G}$, la configuration de sortie est maintenue.

Aussi longtemps que le niveau H restera maintenu en $\bar{G}$, la variable d'entrée appliquée sur D est sans effet.

La transition simultanée des variables appliquées sur les deux entrées conduit à une configuration de sortie imprévisible, si la variable appliquée sur $\bar{G}$ passe du niveau L au niveau H et la variable appliquée sur D passe soit du niveau L au niveau H, soit du niveau H au niveau L.

When the G input signal changes from the H-level to the L-level, the output configuration (output pattern) is maintained.

While the G input signal has the L-level, the D input signal has no effect.

The simultaneous change of both input signals produces a non-foreseeable output configuration (output pattern) if the G input signal changes from the H-level to the L-level and the D input signal changes either from the L-level to the H-level, or from the H-level to the L-level.

Phase matrices (these phase matrices apply only for the case where D is delayed with respect to G):

G	L	H			
D	L/H	H	L	Q	Q*
	①	2	①	L	H
	②	②	1	H	L

G	L	H			
D	L/H	H	L	Q	Q*
				L	H
				H	L

Timing diagram:

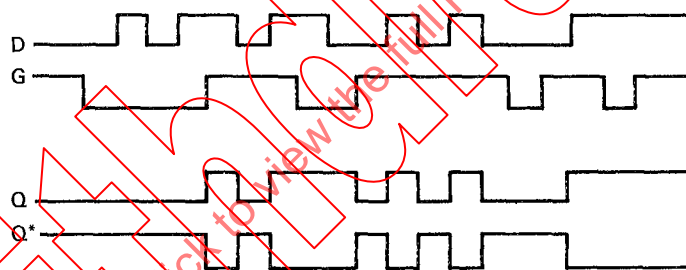


FIGURE 8

082/74

2.9

D_G circuit

A circuit having two level-operated input terminals, D and $\overline{G}$.

While the $\overline{G}$ input signal has the L-level, the level at the reference output terminal Q is the same as the level of the D input signal.

When the $\overline{G}$ input signal changes from the L-level to the H-level, the output configuration (output pattern) is maintained.

While the $\overline{G}$ input signal has the H-level, the D input signal has no effect.

The simultaneous change of both input signals produces a non-foreseeable output configuration (output pattern) if the $\overline{G}$ input signal changes from the L-level to the H-level and the D input signal changes either from the L-level to the H-level, or from the H-level to the L-level.

Matrices des phases (ces matrices des phases ne s'appliquent que dans le cas où D est retardé par rapport à $\bar{G}$):

$\bar{G}$	L		H		
D	L	H	L/H	Q	Q*
	(1)	2	(1)	L	H
	1	(2)	(2)	H	L

$\bar{G}$	L		H		
D	L	H	L/H	Q	Q*
				L	H
				H	L

Diagramme des temps:

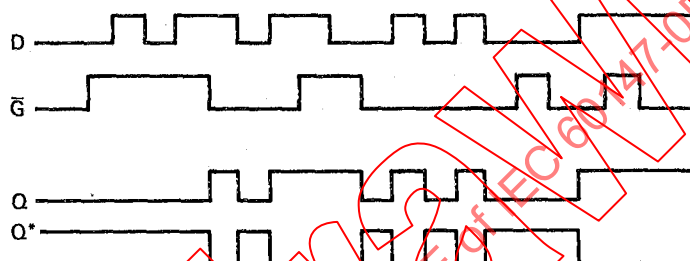


FIGURE 9

083174

2.10

Circuit D_T

Circuit dont l'entrée D est du type à fonctionnement en niveau et l'entrée T du type à fonctionnement par transition.

Une transition, sur l'entrée T, du niveau L vers le niveau H amène la sortie Q de référence à prendre le même niveau que l'entrée D.

Une transition sur l'entrée T du niveau H vers le niveau L conduit à maintenir la configuration de sortie.

Aussi longtemps que l'entrée T est maintenue au niveau H ou au niveau L, la variable appliquée sur D est sans effet.

Matrices des phases (les matrices des phases suivantes ne s'appliquent que dans le cas où D est retardé par rapport à T):

T	L		H		
D	L	H	L/H	Q	Q*
	(1)	2	(1)	L	H
	1	(2)	3	L	H
	4	(3)	(3)	H	L
	(4)	3	1	H	L

T	L		H		
D	L	H	L/H	Q	Q*
				L	H
				L	H
				H	L
				H	L

Phase matrices (these phase matrices apply only for the case where D is delayed with respect to $\bar{G}$):

$\bar{G}$	L		H		
D	L	H	L/H	Q	Q*
	(1)	2	(1)	L	H
	1	(2)	(2)	H	L

$\bar{G}$	L		H		
D	L	H	L/H	Q	Q*
				L	H
				H	L

Timing diagram:

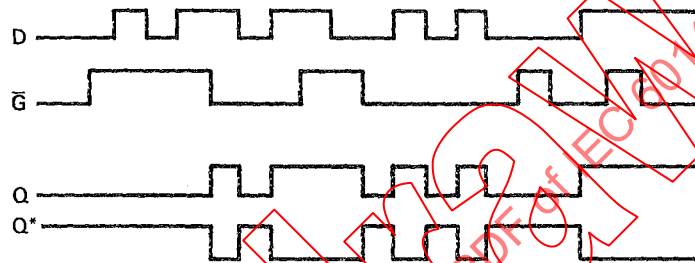


FIGURE 9

083/74

2.10

D_T circuit

A circuit having one level-operated input terminal, D, and one transition-operated input terminal, T.

The change of the T input signal from the L-level to the H-level produces at the reference output terminal Q a level which is the same as the level of the D input signal.

When the T input signal changes from the H-level to the L-level, the output configuration (output pattern) is maintained.

While the T input signal has either the L-level or the H-level, the D input signal has no effect.

Phase matrices (the following phase matrices apply only for the case where D is delayed with respect to T):

T	L		H		
D	L	H	L/H	Q	Q*
	(1)	2	(1)	L	H
	1	(2)	3	L	H
	4	(3)	(3)	H	L
	(4)	3	1	H	L

T	L		H		
D	L	H	L/H	Q	Q*
				L	H
				L	H
				H	L
				H	L

Diagramme des temps:

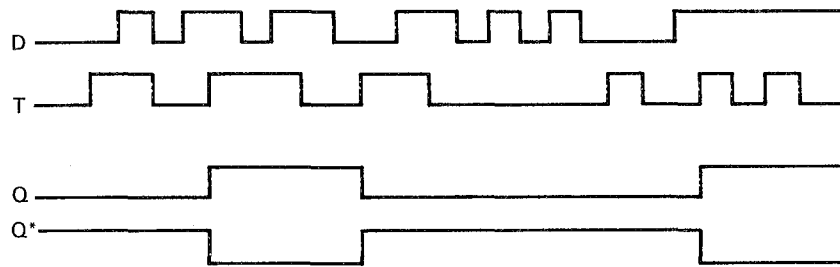


FIGURE 10

084/74

2.11

Circuit $D\bar{T}$

Circuit dont l'entrée D est du type à fonctionnement en niveau et l'entrée $\bar{T}$ du type à fonctionnement par transition.

Une transition, sur l'entrée $\bar{T}$, du niveau H vers le niveau L amène la sortie de référence Q à prendre le même niveau que l'entrée D.

Une transition, sur l'entrée $\bar{T}$, du niveau L vers le niveau H conduit au maintien de la configuration de sortie.

Aussi longtemps que l'entrée $\bar{T}$ est maintenue au niveau L ou au niveau H, la variable appliquée sur D est sans effet.

Matrices des phases (les matrices des phases suivantes s'appliquent dans le cas où D est retardé par rapport à $\bar{T}$):

$\bar{T}$	L	H		
D	L/H	H	L	L
1	2	1	L	H
3	2	1	L	H
3	3	4	H	L
1	3	4	H	L

$\bar{T}$	L	H		
D	L/H	H	L	L
			L	H
			L	H
			H	L
			H	L

Diagramme des temps:

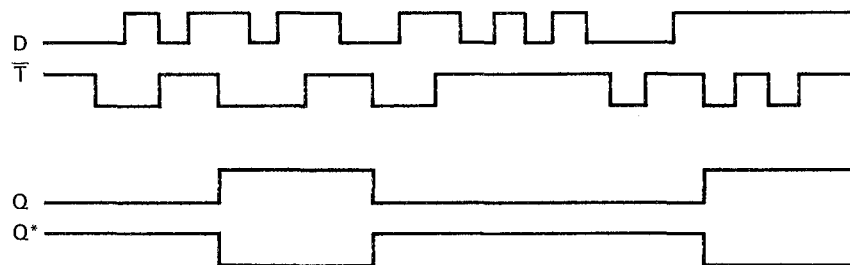


FIGURE 11

085/74

Timing diagram:

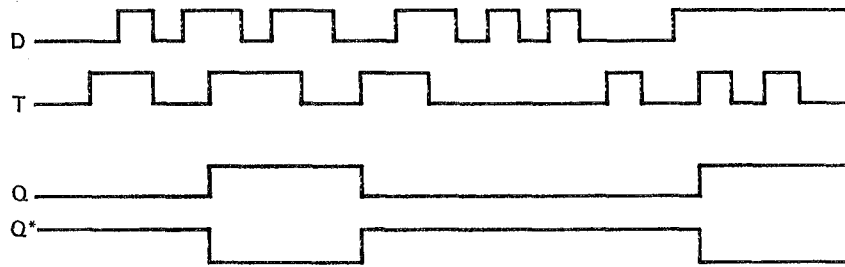


FIGURE 10

084/74

2.11

$D\bar{T}$ circuit

A circuit having one level-operated input terminal, D, and one transition-operated input terminal, $\bar{T}$.

The change of the $\bar{T}$ input signal from the H-level to the L-level produces at the reference output terminal Q a level which is the same as the level of the D input signal.

When the $\bar{T}$ input signal changes from the L-level to the H-level, the output configuration (output pattern) is maintained.

While the $\bar{T}$ input signal has either the H-level or the L-level, the D input signal has no effect.

Phase matrices (the following phase matrices apply for the case where D is delayed with respect to $\bar{T}$):

$\bar{T}$	L	H		
D	L/H	H	L	
	(1)	2	(1)	L H
	3	(2)	1	L H
	(3)	(3)	4	H L
	1	3	(4)	H L

$\bar{T}$	L	H		
D	L/H	H	L	
				L H
				L H
				H L
				H L

Timing diagram:

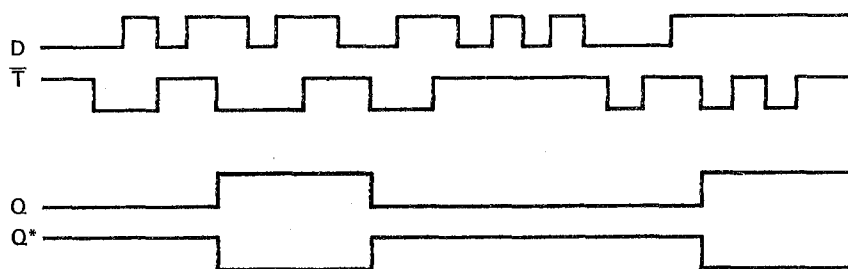


FIGURE 11

085/74

2.12

Circuit $R_G S_G (L)$

Circuit dont les trois entrées R, S et G sont du type à fonctionnement en niveau et pour lesquelles le niveau actif est le niveau H.

Aussi longtemps que l'entrée G est maintenue au niveau H, le circuit fonctionne comme un circuit RS (L).

La transition du niveau H vers le niveau L, sur l'entrée G, conduit à maintenir la configuration de sortie, pour autant qu'elle ne soit pas pseudo-stable.

Si la configuration de sortie est pseudo-stable, c'est-à-dire si $(Q, Q^*) = (L, L)$, le passage de la variable appliquée sur G du niveau H vers le niveau L conduit à une configuration de sortie imprévisible.

Aussi longtemps que le niveau L est maintenu sur l'entrée G, la variable appliquée sur R et S est sans effet.

Matrices des phases:

G	L			H					
R	L		H		L				
S	L	H	L	H	L		Q	Q*	
	①	2	2	①	①	5	4	①	L H
	1	②	②	1	1	5	4	?	L H
	4	4	③	③	1	5	4	?	H L
	④	④	3	3	1	5	④	④	H L
	?	?	?	?	1	⑤	4	?	L L

G	L			H					
R	L		H		L				
S	L	H	L	H	L		Q	Q*	
	⊗	⊗	⊗	⊗	⊗	⊗	⊗	⊗	L H
	⊗	⊗	⊗	⊗	⊗	⊗	⊗	?	L H
	⊗	⊗	⊗	⊗	⊗	⊗	⊗	?	H L
	⊗	⊗	⊗	⊗	⊗	⊗	⊗	⊗	H L
	?	?	?	?	⊗	⊗	⊗	?	L L

2.12

$R_G S_G (L)$ circuit

A circuit having three level-operated input terminals R, S and G for which H is the active level.

While the G input signal has the H-level, the circuit functions as a RS (L) circuit.

When the G input signal changes from the H-level to the L-level, the output configuration (output pattern) is maintained, provided that it is not pseudo-stable.

When the output configuration (output pattern) is pseudo-stable, i.e. $(Q, Q^*) = (L, L)$, the change of the G input signal from the H-level to the L-level produces a non-foreseeable output configuration (output pattern).

While the G input signal has the L-level, the R and S input signals have no effect.

Phase matrices:

G	L			H						
R	L		H			L				
S	L	H		L	H	L	Q	Q*		
	①	2	2	①	①	5	4	①	L	H
	1	②	②	1	1	5	4	?	L	H
	4	4	③	③	1	5	4	?	H	L
	④	④	3	3	1	5	④	④	H	L
	?	?	?	?	1	⑤	4	?	L	L

G	L			H						
R	L		H			L				
S	L	H		L		H		L	Q	Q*
									L	H
								?	L	H
								?	H	L
									H	L
	?	?	?	?				?	L	L

Diagramme des temps:

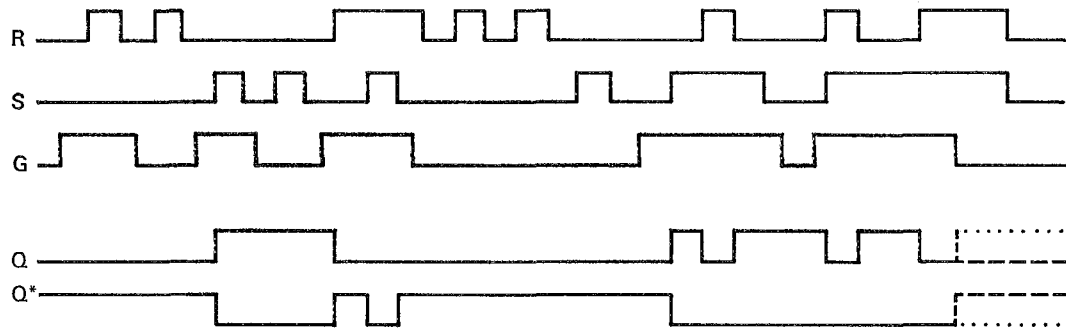


FIGURE 12

086/74

- 2.13 Circuits $R_G\bar{S}_G(L)$, $\bar{R}_G\bar{S}_G(H)$, $\bar{R}_G\bar{S}_G(H)$
Descriptions analogues à la précédente (2.12).

- 2.14 Circuit J_TK_T

Circuit dont les entrées J et K sont du type à fonctionnement par niveau et l'entrée T du type à fonctionnement par transition.

Lorsque la variable appliquée sur l'entrée T passe du niveau L vers le niveau H, les niveaux appliqués sur les entrées J et K conduisent aux configurations de sortie suivantes:

Pour la configuration d'entrée (J, K) = (L, H),
la configuration de sortie (Q, Q*) = (L, H).

Pour la configuration d'entrée (J, K) = (H, L),
la configuration de sortie (Q, Q*) = (H, L).

Pour la configuration d'entrée (J, K) = (H, H), changement de
la configuration de sortie.

Pour la configuration d'entrée (J, K) = (L, L), pas de changement de
la configuration de sortie.

Le retour de la variable sur l'entrée T du niveau H vers le niveau L est sans effet.
Si la variable appliquée sur l'entrée T est soit au niveau H, soit au niveau L, les variables
appliquées sur les entrées J et K sont sans effet.

Matrices des phases (ces matrices ne s'appliquent qu'au cas où J et K sont retardés par
rapport à T):

T	L				H		
K	L		H		L/H	Q	Q*
	L	H	L	L/H			
J	L	H	L	L/H			
	(1)	2	2	(1)	(1)	L	H
	1	(2)	(2)	1	4	L	H
	4	4	(3)	(3)	1	H	L
	(4)	(4)	3	3	(4)	H	L

T	L				H		
K	L		H		L/H	Q	Q*
	L	H	L	L/H			
J	L	H	L	L/H			
	•	•	•	•	•	L	H
	•	•	•	•	•	L	H
	•	•	•	•	•	H	L
	•	•	•	•	•	H	L

Timing diagram:

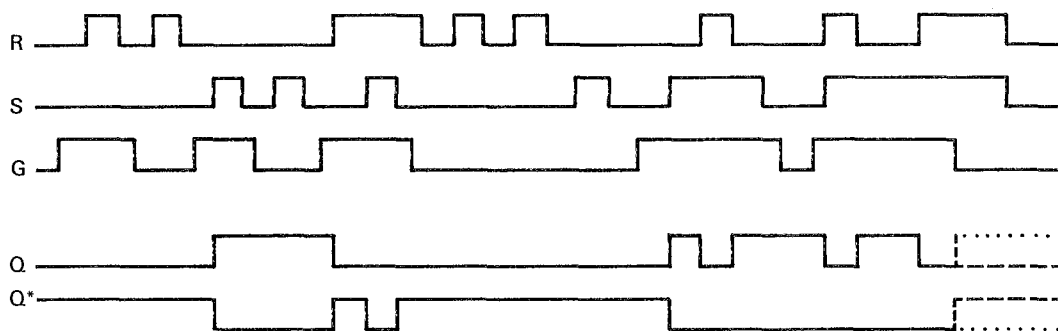


FIGURE 12

086/74

- 2.13 $R\bar{G}S\bar{G}$ (L), $\bar{R}\bar{G}S\bar{G}$ (H) and $\bar{R}\bar{G}\bar{S}\bar{G}$ (H) circuits
Descriptions analogous to 2.12.

- 2.14 $J_T K_T$ circuit

A circuit having two level-operated input terminals, J and K, and one transition-operated input terminal, T.

When the T input signal changes from the L-level to the H-level, an output configuration (output pattern) corresponding to the levels of the J and K input signals is produced as follows:

For the input configuration (input pattern) (J, K) = (L, H),
the output configuration (output pattern) (Q, Q*) = (L, H).

For the input configuration (input pattern) (J, K) = (H, L),
the output configuration (output pattern) (Q, Q*) = (H, L).

For the input configuration (input pattern) (J, K) = (H, H), change of
the output configuration (output pattern).

For the input configuration (input pattern) (J, K) = (L, L),
the output configuration (output pattern) is maintained.

The return for the T input signal from the H-level to the L-level has no effect. When the T input signal has either the H-level or the L-level, the J and K input signals have no effect.

Phase matrices (the following phase matrices apply only for the case where J and K are delayed with respect to T):

T	L		H		Q	Q*
K	L	H	L	H		
J	L	H	L	H		
	①	2	2	①	L	H
	1	②	②	1	L	H
	4	4	③	③	H	L
	④	④	3	3	H	L

T	L		H		Q	Q*
K	L	H	L	H		
J	L	H	L	H		
	⊗	⊗	⊗	⊗	L	H
	⊗	⊗	⊗	⊗	L	H
	⊗	⊗	⊗	⊗	H	L
	⊗	⊗	⊗	⊗	H	L

Diagramme des temps:

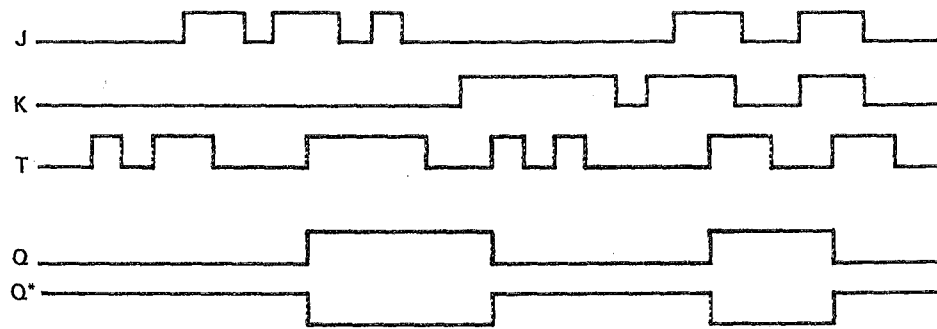


FIGURE 13

087/74

Note. — Les définitions pour les autres classes de circuits $J_T K_T$ sont encore à l'étude.

- 2.15 Circuits $J_T K_T$, $\bar{J}_T \bar{K}_T$ et $\bar{J}_T \bar{K}_T$
Descriptions analogues à 2.14.

SECTION B — CIRCUITS INTÉGRÉS ANALOGIQUES

VI B-1. Amplificateurs linéaires

VI B-1.1 Amplification en tension en mode différentiel (d'un amplificateur linéaire à entrées différentielles)

Rapport de la variation d'amplitude de la tension de sortie à la variation d'amplitude de la tension d'entrée différentielle, dans des conditions spécifiées.

VI B-1.2 Amplification en tension en mode commun (d'un amplificateur linéaire à entrées différentielles)

Rapport de la variation d'amplitude de la tension de sortie à la variation d'amplitude de la tension d'entrée, celle-ci étant appliquée également et en phase sur chaque borne d'entrée, dans des conditions spécifiées.

VI B-1.3 Taux de réjection en mode commun (d'un amplificateur linéaire à entrées différentielles)

Rapport de l'amplification en tension en mode différentiel à l'amplification en tension en mode commun, dans les mêmes conditions spécifiées.

VI B-1.4 Tension de décalage à l'entrée

Tension continue à appliquer entre les bornes d'entrée d'un amplificateur différentiel ayant des circuits d'entrée et de sortie spécifiés pour que la tension de sortie atteigne un niveau spécifié, généralement zéro.

Note. — Lorsque l'amplificateur a des sorties équilibrées, la tension de sortie spécifiée correspond à la différence de tension entre ces sorties.

VI B-1.5 Courant de décalage à l'entrée

Courant continu dont la valeur est égale à la différence des courants dans les deux entrées, qui engendre une tension de sortie atteignant un niveau spécifié, généralement zéro. Les conditions de fonctionnement, en particulier le circuit de sortie, doivent être spécifiées.

Note. — Lorsque l'amplificateur a des sorties équilibrées, la tension de sortie spécifiée correspond à la différence de tension entre ces sorties.