

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Discrete semiconductor devices –
Part 15: Isolated power semiconductor devices**

**Dispositifs discrets à semiconducteurs –
Partie 15: Dispositifs de puissance à semiconducteurs isolés**



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2003 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.

If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur.

Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
Fax: +41 22 919 03 00
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

Useful links:

IEC publications search - www.iec.ch/searchpub

The advanced search enables you to find IEC publications by a variety of criteria (reference number, text, technical committee,...).

It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available on-line and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 30 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary (IEV) on-line.

Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: csc@iec.ch.

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Liens utiles:

Recherche de publications CEI - www.iec.ch/searchpub

La recherche avancée vous permet de trouver des publications CEI en utilisant différents critères (numéro de référence, texte, comité d'études,...).

Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

Just Published CEI - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications de la CEI. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 30 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (VEI) en ligne.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: csc@iec.ch.

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Discrete semiconductor devices –
Part 15: Isolated power semiconductor devices**

**Dispositifs discrets à semiconducteurs –
Partie 15: Dispositifs de puissance à semiconducteurs isolés**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

PRICE CODE
CODE PRIX



ICS 31.080.99

ISBN 978-2-83220-704-8

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	4
1 Scope.....	6
2 Normative references	6
3 Terms and definitions	8
4 Letter symbols	13
4.1 General	13
4.2 Additional subscripts/symbols	13
4.3 List letter symbols	13
5 Essential ratings (limiting values) and characteristics	15
5.1 General	15
5.2 Ratings (limiting values)	15
5.3 Characteristics	18
6 Verification of ratings (limiting values)	27
6.1 Isolation voltage between terminals and base plate (V_{iso})	27
6.2 Peak case non-rupture current	29
6.3 Maximum terminal current ($I_{\text{T(RMS)}}$)	29
6.4 Surge (non-repetitive) current test (I_{FSM} , I_{TSM})	29
7 Methods of measurement of characteristics	29
7.1 Rated partial discharge inception and extinction voltages (V_i) (V_e)	29
7.2 Parasitic stray inductance between main terminals (L_P)	30
7.3 Parasitic stray capacitance of functional circuit elements to case (C_P)	33
7.4 Measuring methods for thermal characteristics	34
7.5 Measuring methods of mechanical characteristics	35
8 Acceptance and reliability	36
8.1 General requirements	36
8.2 List of endurance tests	37
8.3 Type tests and routine tests of isolated power devices	39
Annex A (informative) Test method for peak case non-rupture current	41
Annex B (informative) Measuring method of the thickness of thermal compound paste	44
Annex C (informative) Climatic parameters and characteristics	45
Annex D (informative) Internal circuit configurations	46
Bibliography.....	47
Figure 1 – Explanation of parasitic inductance L_P	21
Figure 2 – Examples for distributed parasitic stray inductances L_P	21
Figure 3a – Example of a cross-section of an isolated power device mounted on a heat sink, with the temperatures T_{vj} ,... T_a	23
Figure 3b – Model of thermal resistances of circuit elements $R_{th(j-c)}$, $R_{th(c-s)}$, $R_{th(s-a)}$, resp. $Z_{th(j-c)}$, $Z_{th(j-s)}$ and $Z_{th(j-a)}$, schematically	23
Figure 4 – Reference points for measuring the temperatures T_{vj} , T_c , T_{cl} , T_{cD} T_s to be specified for an isolated power device, seen from above.....	25

Figure 5 – Transient thermal impedance $Z_{th(j-c)} = f(t_p)$ of an isolated power semiconductor device as a function of the pulse duration time t_p , elapsed after a step change of applied power dissipation	26
Figure 6 – Basic circuit diagram for isolation breakdown withstand voltage test (“high pot test”) with V_{isol}	27
Figure 7 – Isolation levels of an isolated power device with integrated driver and protection functions	28
Figure 8a – Circuit diagram for measurement of parasitic stray inductances (L_p)	31
Figure 8b – Wave forms	32
Figure 9 – Circuit for the measurement of parasitic stray capacitance C_p of the functional circuit elements to base plate (ground)	33
Figure 10 – Example for reference points for the measurement of T_{cref} and T_{sref} for the thermal resistance of an isolated power semiconductor devices (dual-switch, 62 mm wide) ..	35
Figure 11 – Power cycling (load) capability $N_{f,p}$ versus temperature rise of the junction temperature T_{vj} per load pulse	37
Figure A.1 – Circuit diagram for test of peak case non-rupture current I_{CNR}	41
Figure B.1– Example of a measuring gauge for a layer of thermal compound paste of a thickness between 5 μm and 150 μm	44
Figure D.1 – Converter circuits containing diodes and/or thyristors	46
Figure D.2 – Inverter circuits containing diodes and/or transistors shown as IGBT	47
Table 1 – Environmental testing	38
Table 2 – Minimum type and routine tests for isolated power semiconductor devices	39
Table C.1 – Classification of climatic environmental conditions, e.g. Class 3K3 and 3K4 (extract, not complete)	45

INTERNATIONAL ELECTROTECHNICAL COMMISSION

DISCRETE SEMICONDUCTOR DEVICES –

Part 15: Isolated power semiconductor devices

FOREWORD

- 1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.
- 3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical specifications, technical reports or guides and they are accepted by the National Committees in that sense.
- 4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
- 5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
- 6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60747-15 has been prepared by subcommittee 47E, Discrete semiconductor devices of IEC technical committee 47: Semiconductor devices.

This bilingual version (2013-05) corresponds to the monolingual English version, published in 2003-06.

The text of this standard is based on the following documents:

FDIS	Report on voting
47E/236/FDIS	47E/238/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

The French version of this standard has not been voted upon.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

The committee has decided that the contents of this publication will remain unchanged until 2006. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

IECNORM.COM: Click to view the full PDF of IEC 60747-15:2003

Withdrawn

DISCRETE SEMICONDUCTOR DEVICES –

Part 15: Isolated power semiconductor devices

1 Scope

This part of IEC 60747 gives the product specific standards, requirements and test methods for isolated power semiconductor devices. These requirements are added to those given in other parts of IEC 60747, IEC 60748 and IEC 60749 for the corresponding non-isolated power devices.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60068-2-6, *Environmental testing – Part 2-6: Tests – Test Fc: Vibration (sinusoidal)*

IEC 60068-2-7, *Environmental testing – Part 2-7: Tests – Test Ga and guidance: Acceleration, steady state*

IEC 60068-2-14, *Environmental testing – Part 2-14: Tests – Test N: Change of temperature*

IEC 60068-2-20, *Environmental testing – Part 2-20: Tests – Test T: Soldering*

IEC 60068-2-27, *Environmental testing – Part 2-27: Tests – Test Ea and guidance: Shock*

IEC 60068-2-47, *Environmental testing – Part 2-47: Test methods – Mounting of components, equipment and other articles for vibration, impact and other similar dynamic tests*

IEC 60068-2-48, *Environmental testing – Part 2-48: Test methods – Guidance on the application of the tests of IEC 60068 to simulate the effects of storage*

IEC 60068-3-4, *Environmental testing – Part 3-4: Supporting documentation and guidance – Damp heat tests*

IEC 60191-4:1999, *Mechanical standardization of semiconductor devices – Part 4: Coding system and classification into forms of package outlines for semiconductor device packages*

IEC 60270:2000, *High voltage test techniques – Partial discharge measurements*

IEC 60319, *Presentation and specification of reliability data for electronic components*

IEC 60664-1:1992, *Insulation coordination for equipment within low-voltage systems – Principles, requirements and tests*

IEC 60721-3-3:1994, *Classification of environmental conditions – Part 3-3: Classification of groups of environmental parameters and their severities – Stationary use at weather-protected locations*

IEC 60747-1:1983, *Semiconductor devices – Discrete devices and integrated circuits – Part 1: General*
Amendment 1 (1991)
Amendment 3 (1996)

IEC 60747-2:2000, *Semiconductor devices – Discrete devices and integrated circuits – Part 2: Rectifier diodes*

IEC 60747-6:2000, *Semiconductor devices – Part 6: Thyristors*

IEC 60747-7:2000, *Semiconductor devices – Part 7: Bipolar transistors*

IEC 60747-8:2000, *Semiconductor devices – Part 8: Field effect transistors*

IEC 60747-9:1998, *Semiconductor devices – Discrete devices – Part 9: Insulated-gate bipolar transistors (IGBTs)*

IEC 60749-5: *Semiconductor devices – Mechanical and climatic test methods – Part 5: Steady-state temperature humidity bias life test*

IEC 60749-6: *Semiconductor devices – Mechanical and climatic test methods – Part 6: Storage at high temperature*

IEC 60749-10: *Semiconductor devices – Mechanical and climatic test methods – Part 10: Mechanical shock*

IEC 60749-12: *Semiconductor devices – Mechanical and climatic test methods – Part 12: Vibration, variable frequency*

IEC 60749-14: *Semiconductor devices – Mechanical and climatic test methods – Part 14: Robustness of terminations (lead integrity)¹*

IEC 60749-15: *Semiconductor devices – Mechanical and climatic test methods – Part 15: Resistance to soldering temperature for through-hole mounted devices¹*

IEC 60749-21: *Semiconductor devices – Mechanical and climatic test methods – Part 21: Solderability¹*

IEC 60749-25: *Semiconductor devices – Mechanical and climatic test methods – Part 25: Rapid change of temperature (air, air)¹*

IEC 60749-26: *Semiconductor devices – Mechanical and climatic test methods – Part 26: Rapid change of temperature (air, air)¹*

IEC 60749-36: *Semiconductor devices – Mechanical and climatic test methods – Part 36: Acceleration, steady-state*

IEC 61287-1:1995, *Power convertors installed on board rolling stock – Part 1: Characteristics and test methods²*

ISO 1302:2002, *Geometrical Product Specifications (GPS) – Indication of surface texture in technical product documentation*

ISO 2768-2:1989, *General tolerances – Part 2: Geometrical tolerances for features without individual tolerance indications*

¹ In preparation.

² A new edition is being prepared.

3 Terms and definitions

For the purposes of this part of IEC 60747, the following definitions apply.

3.1

isolated power semiconductor device

semiconductor device that contains an integral electrical insulator between cooling surface or base plate (envelope) and any isolated circuit elements

NOTE 1 Included are solid-state relays (SSRs) incorporating opto-isolated driving units (see IEC 60747-5-1, IEC 60745-5-2 and IEC 60745-5-3), monolithically integrated ICs with power stages and isolated cooling surface, i.e. intelligent power devices and isolated discrete plastic encapsulated packages that have an isolated cooling surface.

NOTE 2 The surface of the package transferring the heat to a heat sink or ambient is referred to as "base plate". The surface of the package not transferring the heat is referred to as "envelope".

3.2

constituent parts of the isolated power semiconductor device

3.2.1

circuit element

any constituent part of a circuit that contributes directly to its operation and performs a definable function

NOTE Examples include rectifier diodes, thyristors, bipolar transistors, MOSFETs, IGBTs affixed on metallized isolator substrates and integrated driver and protection circuits.

3.2.2

interconnection

internal connection between circuit elements and between circuit elements and terminals (see subclause 3.7.2 of IEC 60747-1)

NOTE They are considered to be parts of their associated circuit elements.

3.2.3

base plate

metallic or metallized cooling surface part of the package that transfers the heat from inside to a heat sink outside

3.2.4

terminals

externally available points of connection, isolated from base plate

3.2.4.1

main terminals

terminals having the high potential of the power circuit and carrying the main current

3.2.4.2

control terminals

terminals having only low current capability for the purpose of control function to which the external control signals are applied or from which sensing parameters are taken

3.2.4.3

high-voltage control terminals

terminals having the high potential of the power circuit, but carrying only low current for control function

NOTE Examples include current shunts and collector sense terminals having the high potential of the main terminals.

3.2.4.4

low-voltage control terminals

terminals at a low potential against base plate having a control function, and isolated from the “main terminals” as well as from high voltage control terminals

NOTE Examples include the terminals of isolated temperature sensors and isolated gate driver inputs, etc.

3.3

classification of categories of isolated power devices

isolated power semiconductor devices are classified as follows:

3.3.1

chip content: types according to their main functional circuit elements

3.3.1.1

thyristor module

isolated power semiconductor device containing thyristor chips

3.3.1.2

diode module

isolated power semiconductor device containing diode chips

3.3.1.3

bipolar transistor module

isolated power semiconductor device containing bipolar transistor chips and their inverse diode chips

3.3.1.4

IGBT module

isolated power semiconductor device containing isolated gate bipolar transistor (IGBT) chips and their inverse diode chips

3.3.1.5

MOSFET module

isolated power semiconductor device containing MOSFET chips

3.3.2

circuit configuration: types according to their main functional circuit

3.3.2.1

single switch

one functional circuit element, the “semiconductor switch”, in one case (as the most simple functional device) (see Annex D, Figure D.2a)

NOTE 1 Examples include epoxy isolated discrete semiconductors with metallic cooling surface.

NOTE 2 “Switch” is here a commonly used synonym for “functional circuit elements”.

3.3.2.2

dual switch

two switches in one case, series connected, forming a “half bridge” circuit, a phase leg of a single-phase bridge or three-phase bridge circuit arrangement (see Annex D, Figure D.2b)

NOTE Examples include “brake chopper” circuit with a high side switch or a low side switch and the freewheeling diode on the other position, see Annex D, Figure D.2c and D.2d.

3.3.2.3

H – bridge

four switches in one case, two half bridges forming a “full bridge”, a single-phase bridge (see Annex D, Figure D.2e)

3.3.2.4

sixpack

six switches in one case, three half bridges forming a “three-phase bridge” (see Annex D, Figure D.2f)

3.3.2.5

sevenpack

seven switches in one case, three half bridges forming a three-phase bridge circuit and in addition a brake chopper circuit (see Annex D, Figures D.2g and D.2h)

NOTE Above circuit configurations are mainly used for transistor inverter circuits producing a.c. output of fixed or variable frequency from d.c. input voltage, using pulse width modulation (PWM), see Annex D, Figure D.2i (CIB-converter-inverter-brake chopper devices).

3.3.2.6

bridge rectifier

single-phase bridge converter circuit of 4 diodes in one case (see Annex D, Figure D.1: circuit B2U, two pulse bridge uncontrolled)

3.3.2.7

half controlled bridge rectifier

single-phase bridge converter circuit of 2 diodes and 2 thyristors in one case (see Annex D, Figure D.1: B2HK)

3.3.2.8

fully controlled bridge rectifier

single-phase bridge converter circuit of 4 thyristors in one case (see Annex D, Figure D.1: B2C, two pulse bridge controlled)

3.3.2.9

three phase bridge rectifier

three-phase bridge converter circuit of 6 diodes in one case (see Annex D, Figure D.1: B6U, six pulse bridge uncontrolled)

3.3.2.10

half controlled three phase bridge rectifier

three-phase bridge converter circuit of 3 diodes and 3 thyristors in one case (see Annex D, Figure D.1: B6HK)

3.3.2.11

fully controlled three phase rectifier

three-phase bridge converter circuit of 6 thyristors in one case (see Annex D, Figure D.1: B6C, six pulse bridge controlled)

3.3.2.12

a.c. controller

single-phase (or three-phase) proportional controller of two (or six) inverse-parallel connected thyristors producing a proportional a.c. output voltage from a.c. input voltage using phase angle control (see Annex D, Figure D.1: W1C or W3C)

NOTE 1 Above rectifier (or respectively controller) circuits are mainly used as input converters producing a fixed or – if thyristor controlled – proportional d.c. (or respectively a.c.) output voltage from a.c. input voltage, using phase-angle control. (See also JESD 14.)

NOTE 2 IEC 60971 provides details. Examples include circuits designated “B2U”,..... “B6C”,..... “W1C”, “W3C”.

3.3.3

other circuit configurations and combinations

for other circuit configurations and combinations for the above circuits, see Annex D

3.4

functionality: types according to additional functions

such as for measurement, protection and control, including SSRs:

circuits as in 3.2.3, but with enhanced functionality by:

- current shunts or sensors
- temperature sensors
- overcurrent or overvoltage protection
- driver with or without integrated power supply
- further control circuitry
- opto-coupler and auxiliary circuits
- other functions

NOTE Such devices are called intelligent power modules (IPM) on the market. IPM and SMART power devices are specific names of such specific products.

3.5

solid-state relays

SSRs

isolated power semiconductor devices that incorporate an opto-isolated electronic driving unit using an input section, fully isolated from the power output side and the metallic or metallized isolated cooling surface or base plate, performing a switch-on/switch-off function as an electronic relay producing a non-proportional output

NOTE For SSRs, IEC 60747-5-1, IEC 60747-5-2 and IEC 60747-5-3 also apply.

3.6

isolation voltage

V_{isol}

isolation breakdown withstand voltage between terminals and base plate (or external heat sink) over a specified time

NOTE Subclause 1.3.9.1 of IEC 60664-1 defines 'rated insulation voltage' as r.m.s. withstand voltage value assigned by the manufacturer to the equipment or to a part of it, characterizing the specified isolation voltage withstand capability of its insulation.

3.7

partial discharge inception voltage

V_i

voltage between main terminals and base plate at which partial discharges occur when the applied voltage is gradually increased from a lower value

NOTE 1 IEC 60270 defines inception voltage as greater than the extinction voltage.

NOTE 2 Subclause 1.3.18.4 of IEC 60664-1 defines 'partial discharge inception voltage', U_i , as the lowest peak value of the test voltage at which the apparent charge becomes greater than the specified discharge magnitude when the test voltage is increased above a low value for which no discharge occurs.

3.8

partial discharge extinction voltage

V_e

voltage between main terminals and base plate at which partial discharges disappear when the applied voltage is gradually decreased from a higher value

NOTE 1 IEC 60270 defines the extinction voltage as lower than the inception voltage.

NOTE 2 Subclause 1.3.18.5 of IEC 60664-1 defines 'partial discharge extinction voltage', U_e , as the lowest peak value of the test voltage at which the apparent charge becomes less than the specified discharge magnitude when the test voltage is reduced below a high level where such discharges have occurred.

3.9

creepage distance along surface

d_s

shortest distance along the surface of the insulating material between two conductive parts at different potentials

NOTE See subclause 1.3.3 of IEC 60664-1 (IEV 151-15-50).

3.10

clearance distance in air

d_a

shortest distance in air between two conductive parts at different potentials

NOTE See 1.3.2 of IEC 60664-1.

3.11

peak case non-rupture current

peak current that will not lead to a rupture of the package, ejecting plasma and massive particles under specified conditions

NOTE The value indicated depends on the type of the device, e.g. thyristor, diode, IGBT, and the packaging technology, e.g. whether wire bonded.

3.11.1

peak case non-rupture current for diodes and thyristors

I_{RSMC}

peak reverse current of a half sine wave, when the device has lost its reverse blocking capability, that should not be exceeded in order to avoid bursting of the case or emission of a plasma beam or massive particles under specified conditions

NOTE Specified in IEC 60747-2 for diode devices, respectively IEC 60747-6 for thyristor devices.

3.11.2

peak case non-rupture current for bipolar transistors, IGBT and MOSFETs

I_{CNR}

peak collector current that should not be exceeded in order to avoid bursting of the case or emission of a plasma beam or ejection of massive particles under specified conditions

3.12

parasitic stray inductance between main terminals

L_P

inner wiring stray inductance, effective in the main current path between the main terminals

NOTE 1 L_P of a half-bridge module (dual switch) is the effective parasitic stray inductance L_{CE} between the power terminal (+) (top collector) and power terminal (–) (bottom emitter).

NOTE 2 Parasitic stray inductance L_P will cause a voltage spike at switch-off (above the continuous d.c. voltage V_{CC}) on chip level, higher than the voltage, measured between the terminals.

3.13

parasitic stray capacitance between switching circuit elements and case

C_P

coupling capacitance between all terminals connected together and the base plate (or heat-sink surface)

NOTE This capacitance can serve as a bypass for parasitic high frequency currents that can cause electro-magnetic interference (EMI).

3.14

power cycling (load) capability

$N_{f,p}$

number of power cycles $N_{f,p}$ until failure of the cumulative percentage p (=percentile) of a device population

NOTE Subclause 7.4.6 of IEC 60747-2 (diodes) and 9.4.6 of IEC 60747-6 (thyristors) define “power cycling load test”. Subclause 10.1.3.3 of Amendment 1 to IEC 60747-9 (IGBT) defines “intermittent operating life tests”.

4 Letter symbols

4.1 General

IEC 60747-1 applies.

4.2 Additional subscripts/symbols

p = parasitic

ref = reference point (for measuring temperatures)

s = heat sink (subscript of heat-sink temperature T_s)

t = time (parameter) used for currents, voltages as function of time: in brackets: (t)

t = terminal (subscript of mounting torque to terminal M_t)

1 = primary side (of a transformer or control input)

2 = secondary side (power output side)

4.3 List letter symbols

4.3.1 Voltages and currents (see also IEC 60747-1)

Terminal current

I_{tRMS}

Isolation voltage

V_{isol}

Partial discharge inception voltage

V_i

Partial discharge extinction voltage

V_e

Isolation leakage current

I_{isol}

Peak case non-rupture current (for diode and thyristor devices)

I_{RSMC}

Peak case non-rupture current (for IGBT and MOSFET devices)

I_{CNR}

4.3.2 Mechanical terms

Mounting torque for screws to heat sink

M_s

see Note 1

Mounting torque for terminal screws

M_t

see Note 1

Mounting force for pressure mounted devices

F

Maximum acceleration in all 3 axis (x, y, z)

a

Mass

m

Flatness of the case (base-plate, cooling surface)

e_c

see Note 2

Flatness of the cooling surface (heat sink)

e_s

Roughness of the case (base plate)

R_{Zc}

see Note 3

Roughness of the cooling surface (heat sink)

R_{Zs}

see Note 3

Thickness of thermal compound grease (case – sink)

$D_{(c-s)}$

see Annex B

NOTE 1 Under given mounting instructions. In respect of thermal compound properties see mounting instructions.

NOTE 2 See for instance IEC 60191-2:1995, outline 191-IEC-080B (34 mm wide module) and 191-IEC-081B (62 mm wide module) deviation from flatness 100 μ m – see Note 4.

NOTE 3 In USA: “ R_a ” is used instead, (R_z = about 3* R_a). There is no fixed factor between those two.

NOTE 4 Example: Seating plane. Deviation from flatness shall be $<20\text{ }\mu\text{m}$ concave and $<100\text{ }\mu\text{m}$ convex, the roughness $<10\text{ }\mu\text{m}$. Flatness and roughness are to be specified as, for instance, defined in the related publication IEC 60191-2.

IECNORM.COM: Click to view the full PDF of IEC 60747-15:2003

4.3.3 Other terms

Total max. power dissipation per functional circuit element at $T_c = 25\text{ °C}$	P_{tot}
Parasitic inductance, effective between terminals x and y or between terminals and chips (to be specified)	L_{Pxy}
Parasitic capacitance between all terminals connected together and cooling surface (case, base plate, ground)	C_P
Ohmic lead resistance between terminal x and related functional circuit element x'	$R_{\text{xx'}}$
Terminal temperature	T_t
Sensor temperature	T_{sen}
Significant temperature of the temperature sensor No.1 (to be specified)	T_{sen1}
Significant case temperature at the reference point (to be specified)	T_{cref}
Number of power load cycles until failure of a percentage p of a population of devices	$N_{\text{f,p}}$

5 Essential ratings (limiting values) and characteristics

5.1 General

Isolated power semiconductor devices should be specified as case rated or heat-sink rated devices.

NOTE Actual values regarding isolation voltage, partial discharge voltage, creepage and clearance distance are not described in this standard. The values shall be based on each standard, which will be applied to any equipment using the isolated power semiconductor devices.

5.1.1 Temperatures

The ratings and characteristics should be quoted at a temperature of 25 °C or another specified elevated temperature chosen from Amendment 3 (1996) to IEC 60747-1.

NOTE $T_{\text{stg}} = -40\text{ °C}$ is specified in IEC 60749-25.

5.1.2 Climatic characteristics

Limiting values of environmental parameters for the final application are as follows:

- ambient temperature;
- humidity;
- speed and pressure of air;
- irradiation by sun and other heat sources;
- mechanical active substances;
- chemically active substances;
- biological issues.

These shall be described by class, as specified in Table 1 and Annex C of IEC 60721-3-3.

5.2 Ratings (limiting values)

Unless otherwise stated, all limiting ratings apply at a temperature of 25 °C or another elevated temperature specified from the list in IEC 60747-1. The following ratings shall be valid for the whole range of operating conditions as stated for the particular device.

5.2.1 Isolation voltage, V_{iso}

Maximum r.m.s. or d.c. value between the isolated terminals and the base plate, applied between the high potential terminals, all connected with each other, and the ground potential of the base plate (or heat sink underneath) for a specified time at the final test procedure of the device and of the final equipment to assure the capability to isolate the electrical system from ground potential.

NOTE 1 Details for the dielectric isolation voltage test for solid insulation shall be secured following 2.2.2.2, 4.1.2, 4.1.2.1 and 4.1.2.3.1 of IEC 60664-1 (for low voltage equipment), respectively IEC 61287 (for rolling stock) depending on the overvoltage category (application), the applied maximum working voltage, etc.

NOTE 2 Specified values are under discussion. The future IEC 62103 (=EN 50178) proposes reduced isolation voltages in comparison to before.

5.2.2 Peak case non-rupture current (where appropriate)

Maximum surge current that does not cause the bursting of the case or emission of plasma and particles.

5.2.2.1 Peak case non-rupture current (I_{RSMC}) of isolated diode and thyristor modules

Maximum peak reverse current of a half sine wave (e.g. 10 ms), when the device has lost its reverse blocking capability, that should not be exceeded in order to avoid bursting of the case or emission of a plasma beam or massive particles.

NOTE Specified in IEC 60747-2 for diode devices and in IEC 60747-6 for thyristors devices.

5.2.2.2 Peak case non-rupture current (I_{CNR}) of bipolar transistors, IGBTs and MOSFETs modules

Maximum peak collector current during a short-circuit that should not be exceeded in order to avoid bursting of the case or emission of a plasma beam or ejection of massive particles under specified conditions, i.e. of specified duration $t_{\text{p(SC)}}$ and wave shape, at a driving d.c. voltage V_{CC} (e.g. two-thirds V_{CES}), driving conditions and a maximum stored energy E_{C} of the feeding d.c. line capacitor, C , and specified short-circuit inductance L_{SC} (see Note 4 below and Annex A).

NOTE 1 If an isolated device suffers a short-circuit, then most of the energy stored in the system is discharged into the device. The prime source of such energy is the DC line capacitor. Due to the very low parasitic inductance (between 5 nH and 100 nH) in the circuit with isolated IGBT devices, the characteristic time for the discharge of energy is only 30 μs to 100 μs . Other parts of the system may have larger stored energies (e.g. transformers, motors, etc.), but their characteristic time for discharge is considerably longer.

NOTE 2 For wire bonded isolated IGBT devices, the minimum limit for material ejection (explosion of the device) is at a stored capacitive energy of about 10 kJ. Therefore it is necessary in some applications to verify the reliability of the isolated device in a test and measurement procedure.

NOTE 3 Still to be specified for IGBTs in IEC 60747-9.

NOTE 4 $L_{\text{SC}} = L_{\text{LSC}} + L_{\text{CSC}} + L_{\text{P}}$

where

L_{SC} is the inductance of the complete short-circuit between plus and minus;

L_{LSC} is the inductance of the load short-circuited;

L_{CSC} is the parasitic inductance of the capacitor bank;

L_{P} is the internal parasitic (stray) inductance of the module between collector and emitter terminal respectively between plus and minus bus bar.

5.2.3 Maximum terminal current (I_{tRMS}) (where appropriate)

Maximum r.m.s. value of the current through the main terminal under specified conditions as minimum mounting torque, M_t and maximum allowed terminal temperature ($T_{\text{tmax}} = T_{\text{stg}}$ or $T_{\text{tmax}} = < T_{\text{vjmax}}$).

NOTE 1 Examples include the common terminal of devices containing multiple isolated functional circuit elements, all feeding into one terminal, i.e. of a sixpack etc.

NOTE 2 It should not be necessary to derate this current with junction temperature, as dissipation caused in the terminal is not in the semiconductor junction and should be removed over the connections.

5.2.4 Total power dissipation (P_{tot})

Maximum value per functional circuit element at $T_c = 25^\circ\text{C}$ (or $T_s = 25^\circ\text{C}$), when $T_{\text{vj}} = T_{\text{vjmax}}$, at d.c. load, not regarding any power dissipation caused by switching and any lead resistances of internal connections.

$$P_{\text{tot}} = V \cdot I - (R_{\text{cc}} + R_{\text{ee}}) I^2 \quad (1)$$

where

V is the measured forward voltage between the related main terminals;

I is the maximum allowable average current;

$(R_{\text{cc}} + R_{\text{ee}})$ is the lead resistance to terminals.

$$P_{\text{tot}} = (T_{\text{vjmax}} - T_c) / R_{\text{th(j-c)}} \quad (2)$$

for case rated devices, respectively

$$P_{\text{tot}} = (T_{\text{vjmax}} - T_s) / R_{\text{th(j-s)}} \quad (3)$$

for heat sink rated devices.

5.2.5 Minimum and maximum temperatures of isolated devices (T_{stg} , T_c , T_{vj} , T_{sold})

Maximum allowed solder temperature T_{sold} during solder process over a specified solder processing time t_{sold} . For other temperatures see Amendment 3 to IEC 60747-1.

NOTE This is essential for solderable terminals for printed circuit board (PCB) mounting, important especially for lead-free soldering, see also IEC 60068-2-58.

5.2.6 Mechanically limiting ratings

Allowed limiting values that do not cause any mechanical damage or failure but secure mechanical function over the life time of the device and are necessary to meet the data sheet values:

- minimum and maximum mounting torque M_s for screws (to be specified) to heat sink (see Note 1);
- minimum and maximum mounting torque M_t for terminal screws (to be specified) (see Note 1);
- minimum and maximum mounting force F for pressure mounted devices (see Note 1);
- maximum pulling force F_t for terminals (robustness) (see IEC 60749-14);
- maximum acceleration, a , in all three axes (x, y, z) (see IEC 60749-36, IEC 60068-2-7 and IEC 60068-2-47);
- flatness e_c of the case (base plate) (see Note 2 and IEC 60191-2);
- roughness R_{zc} of the case (base plate) (see Note 3 and IEC 60191-2);

- flatness e_s of the heat sink surface necessary (see manufacturer's mounting instructions).

NOTE 1 Under given mounting instructions. For thermal compound properties, see mounting instructions and Annex B.

NOTE 2 For example IEC 60191-2:1995, outline 191-IEC-108 B (34 mm wide transistor module) and 191-IEC-108 B (62 mm wide transistor module) describe maximum deviation from flatness to be 100 μm (see Note 4).

NOTE 3 In the USA: " R_a " is used instead, (R_z = about $3 \cdot R_a$). There is no fix factor between those two.

NOTE 4 For example, the seating plane deviation from flatness shall be $<20 \mu\text{m}$ (concave) and $<100 \mu\text{m}$ (convex), the roughness $R_{zc} < 10 \mu\text{m}$. If thermal compound is used, $R_{zc} < 64 \mu\text{m}$ may also be suitable (see manufacturer's instructions). Flatness and roughness are defined in the related publication IEC 60191-2. If the case outline is IEC standardized, see Annex B.

5.2.6.1 Minimum mounting torque of screws to heat sink (M_s)

Minimum mounting torque that shall be applied to the fixing screws to the heat sink that is necessary to guarantee the data sheet values of thermal resistance, using the mounting instructions of the manufacturer.

5.2.6.2 Minimum mounting torque of screws to terminals (M_t)

Minimum mounting torque that shall be applied to screwed main terminals that is necessary to guarantee the data sheet values of their current carrying capability, based on mounting instructions.

5.2.6.3 Minimum mounting force (F)

Minimum mounting force for pressure-mounted devices, fixed by clips, that shall be applied to the isolated pressure contact device that is necessary to guarantee the data sheet values of thermal resistance and current-carrying capability.

NOTE Such devices include isolated discrete devices with a metallic cooling surface (with outlines as for IEC 60191-2 / 191IEC I-73a – known also as case outline JEDEC TO-220 or similar case outlines).

5.2.6.4 Maximum allowed terminal pull-out force (F_t)

Maximum allowed value of the force that is not enough to pull the terminal out of its position and that does not damage the case of the device, respectively the proper electrical contact.

NOTE 1 Pulling leads and/or mechanical vibrations should be avoided.

NOTE 2 In some cases, no pulling force on terminals are acceptable at all: $F_t = 0$.

5.3 Characteristics

5.3.1 Distances

5.3.1.1 Creepage distance along surface (d_s)

Minimum value of distance along surface of the insulating material of the device between terminals of different potential and to base plate.

NOTE 1 IEC 60112 and 2.7 and 3.2 of IEC 60664-1, together with Figure D.1 apply.

NOTE 2 Subclause 4.2 of IEC 60664-1 shows typical examples of various shapes of creepage distances, while 2.5 shows pollution degrees and Table 2 shows minimum clearances.

NOTE 3 Air gaps between plastic surface and grounded metal or between terminals of opposite polarity smaller than 1,0 mm (for pollution degree 2), or 1,5 mm (pollution degree 3) shorten the countable creepage distance considerably (for details see the examples in IEC 60664-1). This is essential, if dust, moisture or dirt starts to cover the surface and increases the leakage current over the surface, which might start burning the plastic encapsulation material.

5.3.1.2 Clearance distance in air (d_a)

Minimum value of distance through air between terminals of different potential of the isolated device and of the base plate.

NOTE For details see 2.5 of IEC 60664-1 (pollution degree), as well as 3.1, Tables 1 and 2. See also 4.2 of IEC 60664-1 showing typical examples of various shapes of clearance distances.

5.3.2 Parasitic stray inductance (L_p)

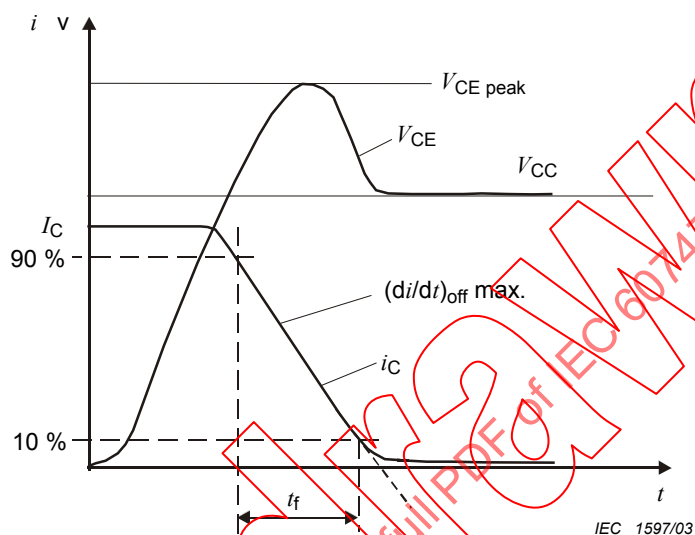
Maximum or typical value of the inner wiring stray inductance of the circuit element, effective in the main current path between the main terminals.

NOTE 1 The voltage spike at switch-off can be higher than the continuous d.c. voltage V_{CC} on chip level, and higher than the voltage measured between the terminals.

IECNORM.COM: Click to view the full PDF of IEC 60747-15:2003

NOTE 2 The value of the parasitic inner wiring inductances L_P shall be indicated as follows:

- for single switches between the main terminals in the main current path, for example L_{CE} between collector and emitter terminal of an IGBT single switch;
- for dual switches, half bridge phase legs, sixpacks, choppers, etc. between the main terminals in the main current path to be connected to the d.c. link, e.g. L_{CE} between collector C1 of the upper IGBT, to be connected to plus of a d.c. link, and emitter E2 of the lower IGBT, to be connected to minus of the d.c. link;
- for others: between the main terminal x and the related chip x' (to be specified):



$$(di/dt)_{off} = \max di/dt \text{ (read on oscilloscope)} = \text{about } 0,8 \cdot I_C / t_f \quad (4)$$

$$V_{CE\text{peak}} - V_{CC} = -L_P \cdot (di/dt)_{off} \quad (5)$$

Figure 1a – Parasitic inductance L_P creates an overvoltage spike at a $(di/dt)_{off}$ at chip level

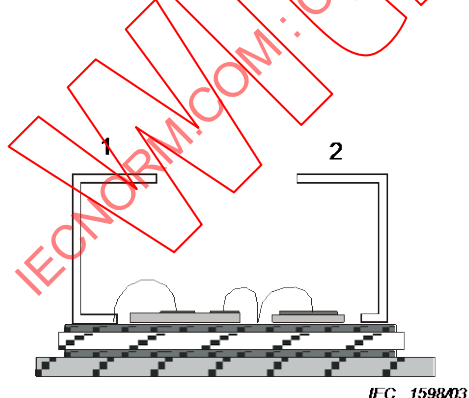


Figure 1b – Basic mechanical arrangement inside

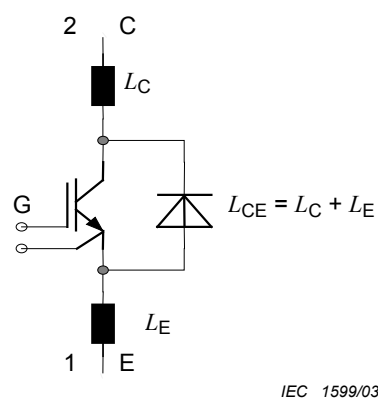


Figure 1c – Parasitic inductances inside a single switch

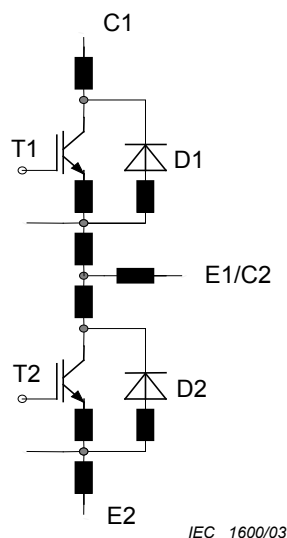


Figure 1d – Parasitic inductance network (L_p) inside a dual switch device

Figure 1 – Explanation of parasitic inductance L_p

For a definition of parasitic stray inductance L_p of inner wiring between the power terminals of the device and the circuit elements, see 3.12 above. Where appropriate, an equivalent circuit diagram of all the parasitic elements should be given, which is especially useful for simulations. See Figure 2, as follows here below.

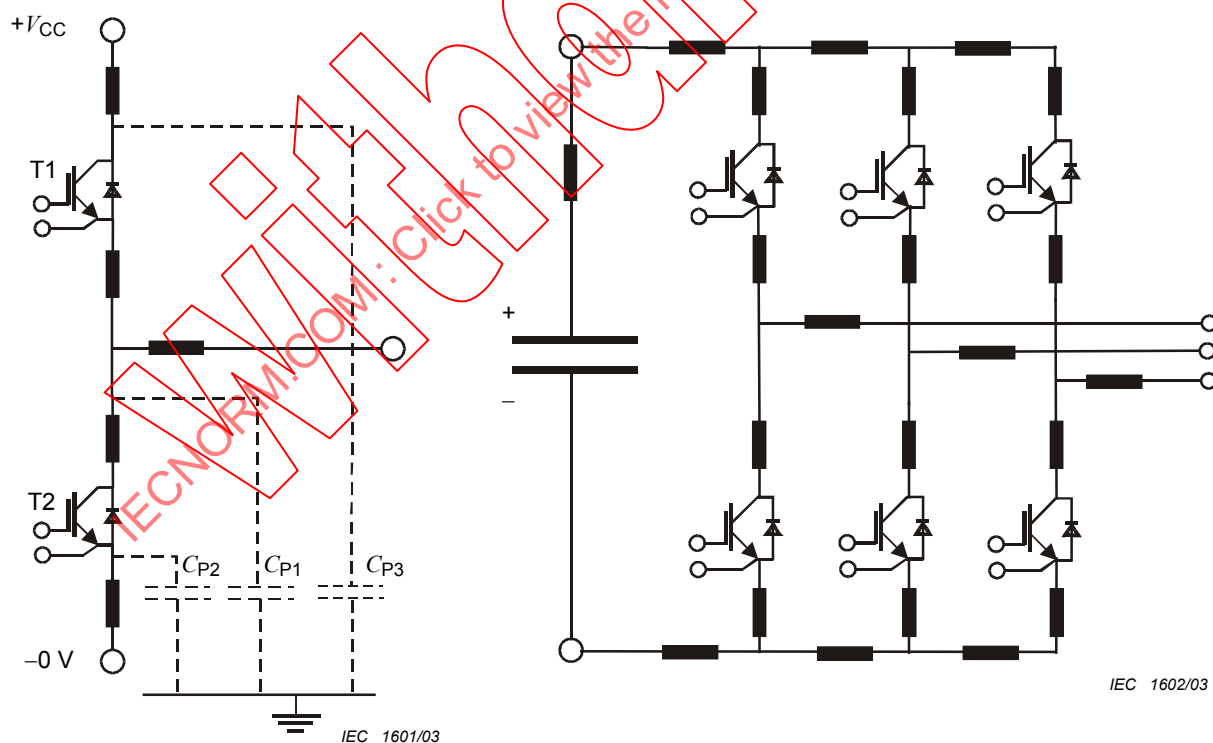


Figure 2a – L_p and parasitic stray capacitances C_p of a dual IGBT module

Figure 2b – L_p of a three-phase inverter bridge IGBT module

Figure 2 – Examples for distributed parasitic stray inductances L_p

5.3.3 Parasitic stray capacitance between switching circuit elements and case (C_p)

Maximum value of parasitic stray capacitance of the metal parts on the isolating layer between all terminals, connected to each other, and the cooling surface, i.e. base plate of the case, connected to ground.

5.3.4 Partial discharge inception voltage (V_{iM} or $V_{i(RMS)}$) (where appropriate)

Minimum peak value V_{iM} or r.m.s. value $V_{i(RMS)}$ between the isolated terminals and the base plate, at which such discharges are observed (for details see IEC 60270).

NOTE In practice, for tests on component level, the inception voltage V_i is the lowest voltage at which the partial discharge magnitude exceeds a charge of 10 pC.

5.3.5 Partial discharge extinction voltage (V_{eM} or $V_{e(RMS)}$) (where appropriate)

Minimum peak value V_{eM} or r.m.s. value $V_{e(RMS)}$ value between the isolated terminals and the base plate, at which such discharges are observed (for measurement details see IEC 60270).

NOTE In practice, for tests on component level, the extinction voltage V_e is the lowest voltage at which the partial discharge magnitude becomes less than 10 pC.

5.3.6 Thermal resistances ($R_{th(....)}$; $R_{th(j-c)}$; $R_{th(c-s)}$; $R_{th(j-s)}$; $R_{th(j-a)}$)

Maximum or typical value of thermal resistance $R_{th(j-c)}$ between the junction (j) and case (c) (= base plate) etc. using a specified external reference point T_{c-ref} on the base plate.

NOTE 1 The basic document for $R_{th(....)}$ is IEC 60747-1.

NOTE 2 $R_{th(j-c)}$ should be indicated to determine the virtual junction temperature of each chip depending on the reference point temperature and the power dissipation in the chip.

The thermal resistance

$R_{th(j-c)}$ is the value between junction and case (base plate with reference point temperature T_{c-ref}),

$R_{th(c-s)}$ is the value between case and heat sink (reference point temperature T_{s-ref}),

$R_{th(j-s)}$ is the value between junction and heat sink (for heat sink rated devices),

$R_{th(j-a)} = R_{th(j-c)} + R_{th(c-s)} + R_{th(s-a)}$ is the sum between junction and ambient temperature T_a .

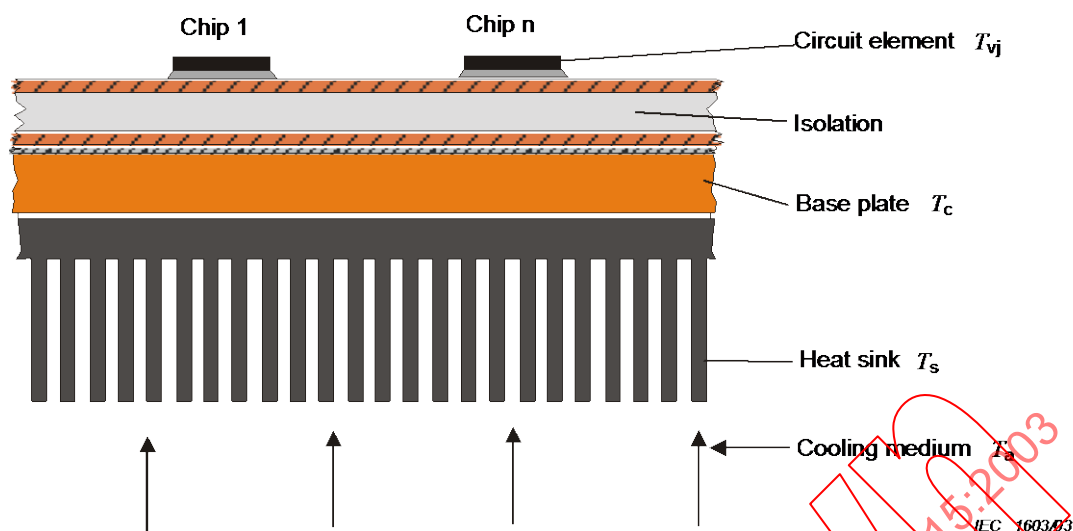
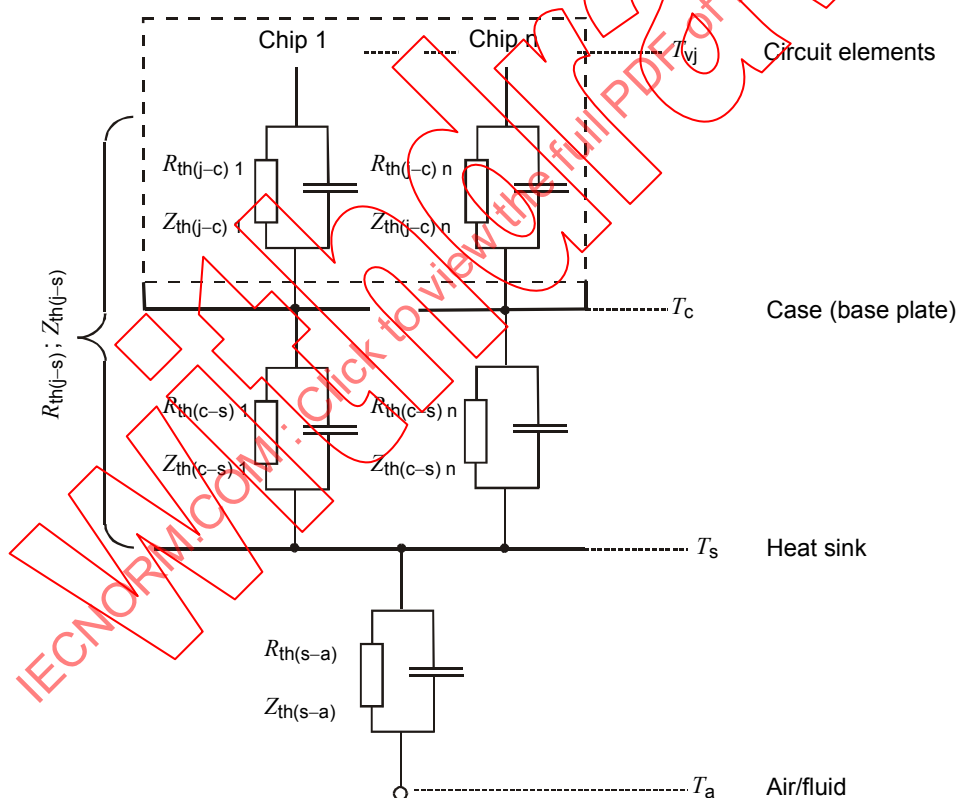


Figure 3a – Example of a cross-section of an isolated power device mounted on a heat sink, with the temperatures T_{vj} , ..., T_a



IEC 1604/03

Figure 3b – Model of thermal resistances of circuit elements $R_{th(j-c)}$, $R_{th(c-s)}$, $R_{th(s-a)}$, resp. $Z_{th(j-c)}$, $Z_{th(j-s)}$ and $Z_{th(j-a)}$, schematically

$$R_{th(j-a)} = R_{th(j-c)} + R_{th(c-s)} + R_{th(s-a)} \quad (6)$$

$$Z_{th(j-a)} = Z_{th(j-c)} + Z_{th(c-s)} + Z_{th(s-a)} \quad (7)$$

5.3.6.1 Thermal resistance junction to case ($R_{th(j-c)}$)

The maximum value of thermal resistance junction to case per circuit element for case rated devices is specified as

$$R_{th(j-c)} = (T_{vj} - T_c) / P_{tot} \quad (8)$$

where

T_{vj} is the virtual junction temperature of the functional circuit element (chip);

T_c is the measured temperature of the case (base plate);

P_{tot} is the dissipation of the functional circuit element.

5.3.6.2 Thermal resistance case to heat sink ($R_{th(c-s)}$)

Maximum or typical value of thermal resistance case to heat sink of the isolated case rated devices ("module"), when the case is mounted according to 5.2.6 Note 1.

5.3.6.3 Thermal resistance case to heat sink per circuit element ($R_{th(c-s)}(X)$) (where appropriate)

Maximum or typical value of thermal resistance case to heat sink of the respective functional circuit element "X" (for example of the diode (D), thyristor (T), IGBT (I) or MOSFET (M)) of the isolated case rated devices ("module"), when the case is mounted according to 5.2.6 Note 1.

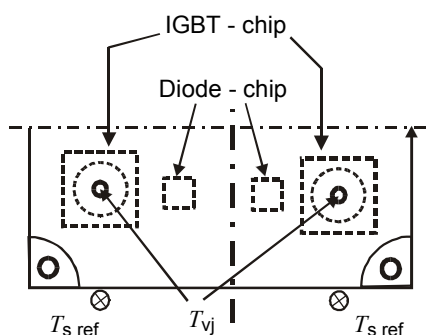
$$R_{th(c-s)}(X) = (T_{vj} - T_s) / P_{tot}(X) \quad (9)$$

where $P_{tot}(X)$ is the total power dissipation of the respective functional circuit element "X" (for example of the diode (D), thyristor (T), IGBT (I) or MOSFET (M) at the specified load, transferred under the chip from the base plate (cooling surface of the case) to the heat sink.

5.3.6.4 Thermal resistance junction to heat sink ($R_{th(j-s)}$)

Maximum or typical value of thermal resistance junction to heat sink (for heat sink rated isolated devices) when the device is mounted according to clause 5.2.6 Note 1.

$$R_{th(j-s)} = (T_{vj} - T_s) / P_{tot} \quad (10)$$



IEC 1605/03

NOTE The recommended reference point $T_{s \text{ ref}}$ for T_s is as near to the chip as possible along the long side of the module on the heat sink measured from above, because this is generally easier to access than from underneath through the heat-sink. The thermal resistance $R_{th(c-s)}$ depends on several mechanical parameters such as type and thickness of the used thermal compound grease (which should be specified in manufacturer's mounting instructions, for example 30 μm to 50 μm), the maximum deviation of flatness of the cooling surface of the device's base plate and of the heat sink and the mounting torque of the fixing screws, as per specified mounting instructions.

Figure 4a – Case rated, seen from above

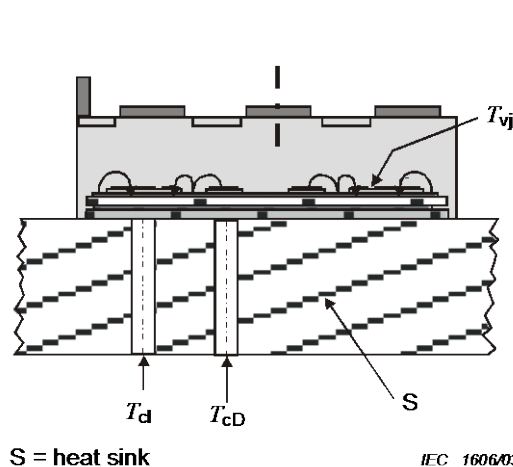


Figure 4b – Case-rated, cross section

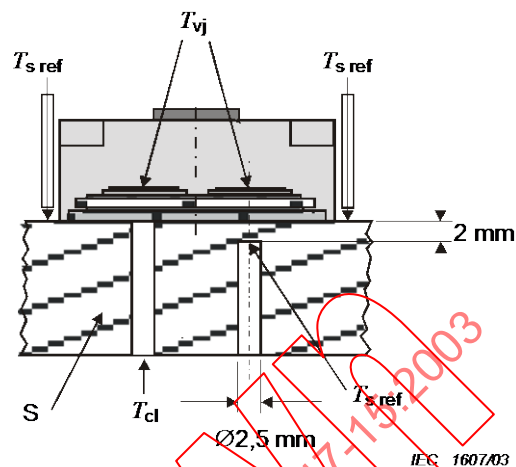


Figure 4c – Heat-sink rated, cross section

Figure 4 – Reference points for measuring the temperatures T_{vj} , T_c , T_{cl} , T_{cd} , T_s to be specified for an isolated power device, seen from above

In Figure 4a, T_s is taken from above at hottest accessible point, nearest to the circuit element (chip) (see note below).

In Figure 4b, the isolated device is seen as a cross-section from the front. $T_c = T_{cl}$, (under IGBT-chip) respectively T_{cd} (under a diode chip) are taken from below.

In Figure 4c, the isolated device is without base plate (or not accessible base plate): T_s is taken from underneath through a specified sack hole of 2,5 mm diameter ending at 2 (± 1) mm below the heat sink surface (to be specified, type test feature).

5.3.6.5 Transient thermal impedance Z_{th}

Thermal resistance as a function of time t of the pulse duration t_p elapsed after step change of power dissipation as $Z_{th(j-c)}$ or $Z_{th(j-s)}$ and shall be specified in one of the following ways:

- A thermal resistance elements $R_{th1} \dots R_{thn}$ and thermal capacities $C_{th1} \dots C_{thn}$ of a thermal RC network; or
- B thermal resistance elements $R(i)$ and thermal time constants $\tau(i)$ with $i = 1$ to n of the resulting equivalent thermal RC network – for thermal calculation and simulation of $T_{vj} = f(t)$, derived from a Fourier-analysis of $Z_{th}(t)$ by measuring $T_{vj} = f(t)$ (preferred).
- C $Z_{th(j-c)}(t)$ curve for single pulse operation, starting at a time interval of an application-typical pulse width – for example 10 ms for a thyristor, 10 μ s for an IGBT – and ending at steady state $R_{th(j-c)}$ (see Figure 5).

A curve should be given (see Figure 5) showing the maximum transient thermal impedance Z_{th} as a function of time t_p , elapsed after a step change of power dissipation, extending from steady state value $R_{th(j-c)}$ at times > 1 s down to 1 ms or less (10 μ s for IGBT and MOSFET modules) or, alternatively, a mathematical elements relation ($R(i)$ and $\tau(i)$) shall be specified.

NOTE 1 $\tau(i)$ is the time constant of the $R(i)$ portions of the Fourier analysis for calculation and simulation using a computer.

NOTE 2 Annex A of IEC 60747-2 (rectifier diodes) and Annex A of IEC 60747-6 (thyristors) apply.

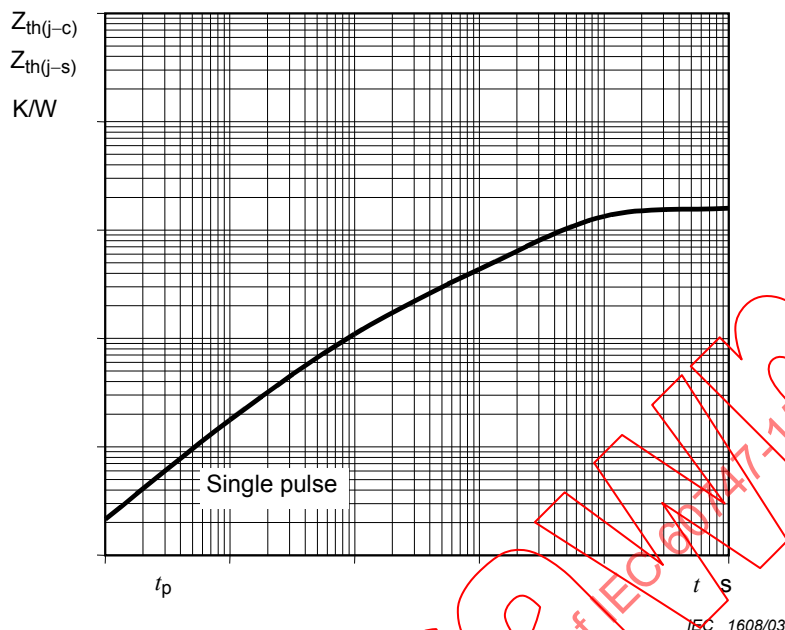


Figure 5 – Transient thermal impedance $Z_{th(j-c)} = f(t_p)$ of an isolated power semiconductor device as a function of the pulse duration time t_p , elapsed after a step change of applied power dissipation

5.3.7 Mechanical characteristics

For mechanical characteristics, see IEC 60747-1, Chapter VI, Clause 7.

5.3.7.1 Outline drawing, indication of pin-out and circuit diagram

Dimensions with tolerances shall be specified, where appropriate, as well as identification of terminals and a reference to a standard IEC outline drawing and base drawing, where appropriate (see IEC 60191-2). Outline tolerances should be based on the tolerance classes specified in ISO 2768-2.

5.3.7.2 Mass (m) of the device

Quantity mass shall be given without accessories (mounting hardware).

5.3.7.3 Marking

The devices shall be clearly and indelibly marked as follows:

- manufacturer's name or identification (logo);
- manufacturer's or supplier's type no. or designation;
- date code, (preferred structure: YYWW, for "year, year, week, week")
- identification of the terminals, where appropriate (see pin #1-marking rules IEC 60191-4).

NOTE 1 A bar code may be applied in addition, if the space is sufficient, otherwise on the smallest packing unit.

NOTE 2 The permanence of marking should be secured (see IEC 60749-9).

5.3.7.4 Electrostatic discharge (ESD) sensitive devices (where appropriate)

IGBTs, MOSFETs, intelligent power semiconductor devices (IPMs) and also some diodes or other should be marked with the relevant sign (Figure 5 of IEC 60747-1), at least on their smallest packing unit. IEC 60749-26 or IEC 60749-27 apply.

5.3.7.5 Method of intended attachment

The method of intended attachment is to the electrical circuit of application (i.e. soldering, FASTON, screwing, wrapping of termination, pressure contacting) should be indicated, together with mounting instructions.

5.3.8 Climatic characteristics

NOTE Table 1 of IEC 60721-3-3 and Annex C of this standard refer.

6 Verification of ratings (limiting values)

6.1 Isolation voltage between terminals and base plate (V_{isol})

Specified in point b) of 4.1.2, IEC 60664-1 and 2.4.6.17 of IEC 61287-1 ($t = 10$ s).

a) Purpose

The purpose of this test is to prove the ability of the isolated power device to withstand the rated isolation voltage.

b) Circuit diagram

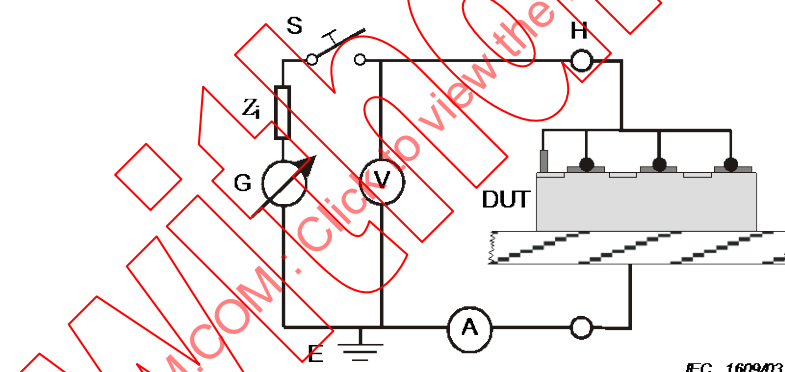


Figure 6 – Basic circuit diagram for isolation breakdown withstand voltage test (“high pot test”) with V_{isol}

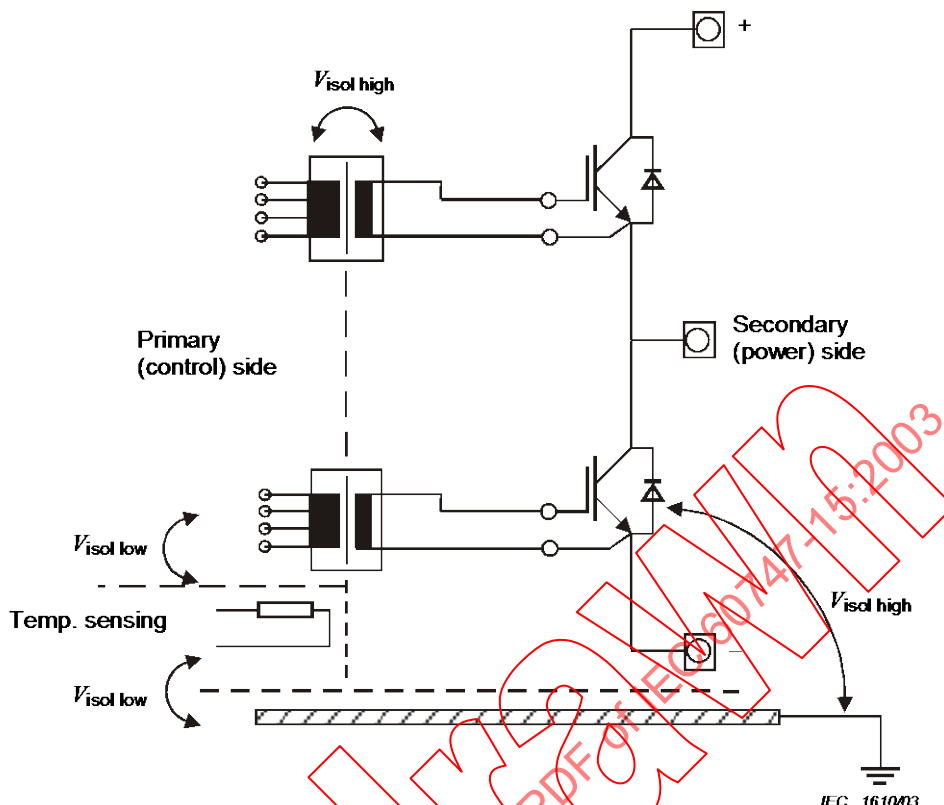


Figure 7 – Isolation levels of an isolated power device with integrated driver and protection functions

Full isolation voltage between high potential main terminals connected together and both grounded base plate with low voltage control terminals, both connected together.

Reduced isolation voltage is applied between low-voltage control (temperature-sensing) terminals and base plate.

c) Circuit description and requirements (see Figure 6)

G = voltage source with high impedance Z_i , capable to supply V_{isol}

S = main switch

V = voltmeter for V_{isol}

A = milli-ampere meter or current probe for I_{isol}

E = earth/ground potential

H = high potential terminal

d) Test procedure

The voltage source, G, is capable of supplying the isolation voltage V_{isol} as a.c. or d.c. voltage with a high internal impedance Z_i to limit the possible break-through current in case of breakdown of the device under test (DUT). All main terminals and high-voltage control terminals are connected together and connected to the high potential output terminal, H, of the voltage source G. The base plate of the DUT, respectively its metallized cooling surface and all low-voltage terminals, are connected to ground potential E. An ampere meter or current probe A is applied to measure the isolation leakage current.

NOTE Any low-voltage control terminal shall be grounded with the base plate.

Then the switch S is closed and the voltage gradually increased from about zero to 50 % of the V_{isol} rated and then slowly to full rated value V_{isol} maintaining it for 1 min for type

test or for 1,2 times that value for 1 s in a 100 % production test, with the leakage current below the specified value for passed devices. For details see 4.1.2.3 of IEC 60664-1.

e) **Specified conditions**

- ambient or case temperature;
- V_{isol} ;
- I_{isol} as max test limit;
- test time t , if less than 60 s.

6.2 Peak case non-rupture current

6.2.1 Peak case non-rupture current (I_{RSMC}) of isolated diode and thyristor devices

NOTE The test method is specified in 7.3.4 of IEC 60747-2 for diodes and 9.3.6 of IEC 60747-6 for thyristors.

6.2.2 Peak case non-rupture current (I_{CNR}) of bipolar transistors, IGBTs and MOSFETs

NOTE This test method is still under discussion. For a definition, see 3.10.2. For details, see 5.2.2.2 and for the proposed test methods see Annex A.

6.3 Maximum terminal current (I_{trms})

The purpose of this test is to prove the ability of all main terminals of the isolated power device to withstand the rated maximum terminal current without exceeding its maximum allowable temperature T_{t} (to be specified, see 5.2.3 above).

NOTE The relevant part of IEC 60747 concerning the relevant functional circuit elements applies for the value of the rated (absolute maximum) current.

6.4 Surge (non-repetitive) current test (I_{FSM} ; I_{TSM})

NOTE For wire bonded devices such as diode, thyristor, IGBT and MOSFET modules, which can be used also as input rectifiers, the robustness of the bonds can be tested by the surge (non-repetitive) current test (I_{FSM}). See IEC 60747-2, which applies for the diode part of the device and IEC 60747-6, which applies for the thyristor part of the device.

7 Methods of measurement of characteristics

Purpose

The purpose of this measurement is to confirm that the characteristic values are maintained.

7.1 Rated partial discharge inception and extinction voltages (V_{i}) (V_{e})

7.1.1 Rated partial discharge inception voltage (V_{i})

Between high potential terminals and base plate (where appropriate).

7.1.2 Rated partial discharge extinction voltage (V_{e})

Between high potential terminals and base plate (where appropriate).

NOTE Measurement procedures apply as described in IEC 60270, in 4.1.2.4 of IEC 60664-1 and in 2.4.6.18 of IEC 61287-1.

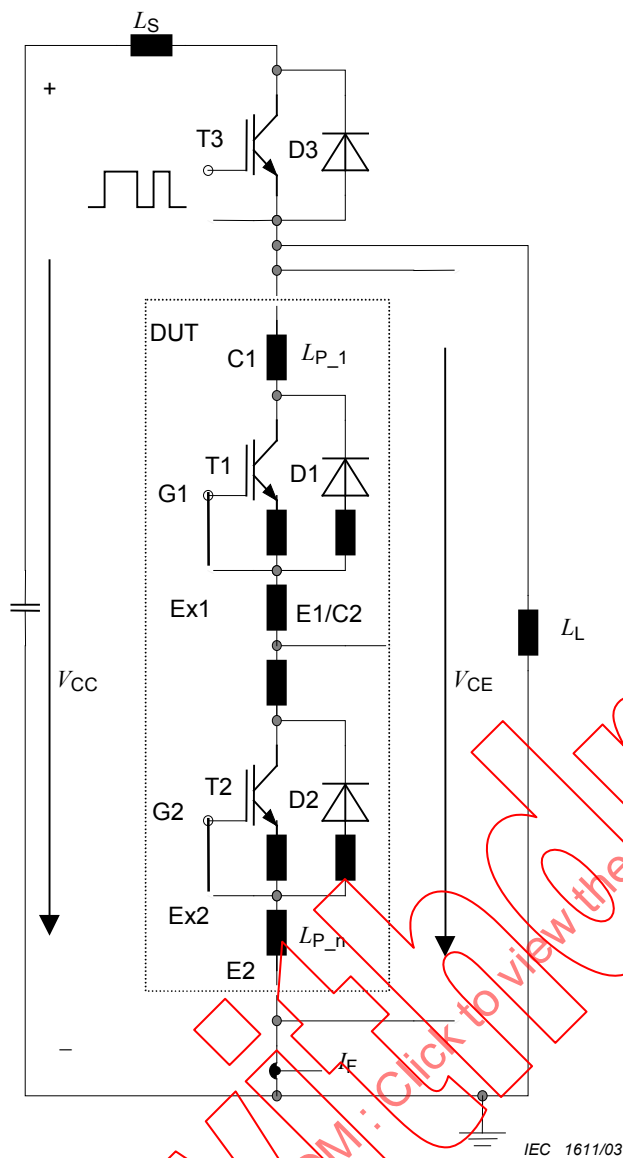
7.2 Parasitic stray inductance between main terminals (L_P)

See also 3.12, 5.3.2 and Figure 2.

This measuring method uses reduced voltage V_{CC} and the di/dt of diodes incorporated in the device at switch-off, sensing the voltage at outside main terminals. This is usable for single switch devices as well as for half bridge circuit devices (DUAL modules), and half bridge branches of sixpack inverter devices.

a) Purpose

To measure the voltage step dV caused by the internal parasitic stray inductance at current decline and $(di_F/dt)_{off}$ of a diode path at switch-off to calculate the parasitic inductance L_P of the main current path from the main current-in-terminal via the switching functional circuit element to the main current-out-terminal of an isolated power semiconductor device under specified conditions. $L_P = -dV / (di_F/dt)$



DUT = device under test T1+T2, e.g. IGBT (single or dual – shown – or branch of a three-phase arrangement), fast diode or MOSFET device

C = main capacitor bank as reservoir

L_L = load inductance

L_s = inductance of the external circuit

$L_{P_1} \dots L_{P_n}$ = portions of parasitic inductance L_P

I_F = current probe

T1 = DUT, top functional circuit element (shown as IGBT)

T2 = DUT, bottom functional circuit element (shown as IGBT), optional

T3 = auxiliary IGBT switch

Figure 8a – Circuit diagram for measurement of parasitic stray inductances (L_P)

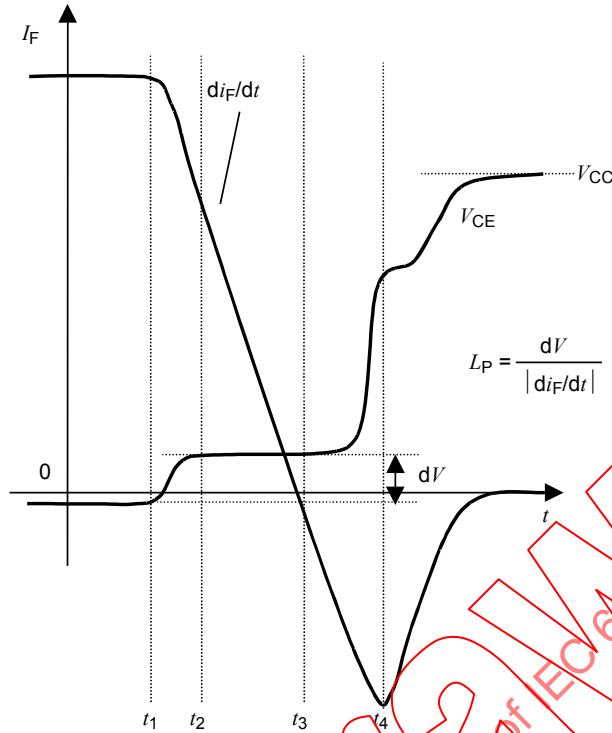


Figure 8b – Waveforms

b) Circuit description and requirements

The circuit of Figure 8a is used for the measurement set-up. It consists of a d.c. supply for the charge reservoir C, T3 is an auxiliary switch, a gate drive unit for T3, the DUT inserted into the test set-up with the gate control terminals shorted, a dual channel oscilloscope, which senses the voltage V_{CE} between main terminals C1 and E2, a current probe, which senses the current I_F through the diode path of the DUT, connected to the dual channel oscilloscope.

c) Measurement procedure

Auxiliary transistor T3, an IGBT single switch, is switched at a suitable frequency, switching the load current I_L on and off. At its off-state the current I_L freewheels via the diodes of the device under test. During the time of the almost linear current decline di_F/dt , the voltage V_{CE} forms at step of dV an almost horizontal level (see Figure 8b ($t_2 - t_3$)). From these values of step voltage dV and di_F/dt , one can calculate

$$L_P = dV / (di_F/dt)_{off} \quad (11)$$

where $(di_F/dt)_{off}$ is taken from the rate of decline of diode current at its switch-off, when the auxiliary switch T3 switches on, and the step voltage dV is taken from oscilloscope during the linear decline time t_2 to t_3 of the diode current for DUT = single switch.

$$dV = V_{CEstep} - V_F \quad (12)$$

respectively for DUT = halfbridge device (DUAL switch)

$$dV = V_{CEstep} - 2V_F \quad (13)$$

NOTE 1 Use low inductance (sheeted) bus barring and low inductance current probe.

NOTE 2 Same applies for $L_P = L_{DS}$ of MOSFET devices in the analogous way.

NOTE 3 The $L_P = L_{AK}$ of isolated diode and thyristor devices is not as important, as they are normally used as switch-on devices and not as switch-off devices. Therefore in these cases L_P is negligible.

7.3 Parasitic stray capacitance of functional circuit elements to case (C_P)

See 3.12, 5.3.3 and Figure 2a.

a) Purpose

To measure the parasitic stray capacitance C_P between the isolated circuit elements connected together and the case (base plate) of an isolated power device at specified conditions using a capacitance meter.

NOTE This is necessary to simulate the parasitic high-frequency currents to ground which, during fast switching of the functional circuit elements, create electromagnetic noise in the circuit. This can cause electromagnetic interference (EMI). See the IEC 61000 series.

b) Circuit diagram

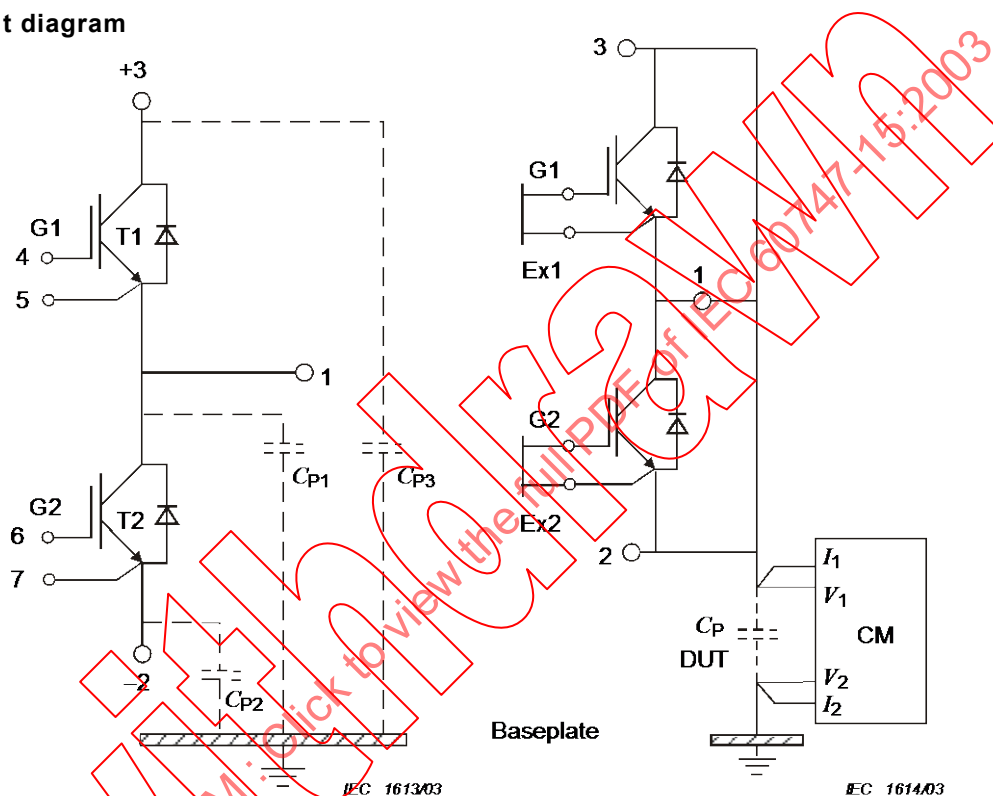


Figure 9a – Situation of parasitic capacitances

Figure 9b – Circuit for measurement

$$C_P = C_{P1} + C_{P2} + C_{P3} \quad (14)$$

Figure 9 – Circuit for the measurement of parasitic stray capacitance C_P of the functional circuit elements to base plate (ground)

c) Description and requirements

CM is a capacitance meter with current-feeding and voltage-sensing terminals connected as shown in Figure 9b.

d) Measurement procedure

Connect all main terminals to each other and short all gate terminals to their auxiliary emitter terminals. Connect the current source connector I_1 of the capacitance meter CM to the terminals of the device under test connected together and connector I_2 to ground, connected with the base plate of the device under test. Connect the voltage-sensing connector of the capacitance meter to test points " V_1 " and " V_2 " to ground. CM is set to the specified frequency. The capacitance C_P can be read on CM.

e) Specified conditions

Measurement frequency f of the CM

7.4 Measuring methods for thermal characteristics

The same methods should be used as for the corresponding non-isolated device.

Thermal resistance and impedance are measured in the same way as described for diodes (7.2 of IEC 60747-2), thyristors (9.2 of IEC 60747-6) and IGBTs (6.2.7 and 7.2.7 of IEC 60747-9).

The reference points for case temperature T_{cref} and heat sink temperature T_{sref} are as indicated in 5.3.6.4 and Figures 4b or 4c.

NOTE If the reference point for the heat sink temperature T_{sref} is chosen to be the hottest point on the heat sink underneath the device next to the hottest point of the base-plate with case temperature T_{c} , this leads to lowest temperature difference to the case temperature T_{c} and the lowest value of $R_{\text{th(c-s)}}$, which may not be realistic.

7.4.1 Thermal resistance junction to case ($R_{\text{th(j-c)}}$)

The thermal resistance junction to case of a functional circuit element (semiconductor switch) is

$$R_{\text{th(j-c)}} = (T_{\text{vj}} - T_{\text{c}}) / P_{\text{tot}} \quad (15)$$

where

T_{vj} is the virtual junction temperature of the circuit element taken electronically from electrical characteristics, for instance for an IGBT of V_{CE} at a specified small percentage of the nominal current I_{c} after a power pulse with a specified strong current I_{c} , which is temperature dependent.

T_{c} is the temperature of the case (base plate) taken at the hottest point (i.e. the reference point specified) of the case (base plate) under the circuit element, measured by a temperature measuring instrument from underneath through a small hole through the heat sink underneath the circuit element.

P_{tot} is the power dissipation of the functional circuit element at a specified test current.

7.4.2 Thermal resistance case to heat sink $R_{\text{th(c-s)}} (x)$ (per functional circuit element “x”)

$$R_{\text{th(c-s)}} (x) = (T_{\text{c}} - T_{\text{s}}) / P_{\text{tot}} (x) \quad (16)$$

where

$x = \text{D (Diode), I (IGBT), M (MOSFET), Mod (Module)}$ – to be specified;

T_{c} is the temperature of the case (base plate) taken at the hottest point of the case (as above) i.e. under the chip – to be specified;

T_{s} is the temperature of the heat sink, taken at the reference point for testing T_{sref} specified;

$P_{\text{tot}} (x)$ is the complete power dissipation of the whole module (i.e. sum of all n functional circuit elements of the isolated device at specified load).

$$P_{\text{tot}}(x) = n * P_{\text{tot}} \quad (17)$$

Specified conditions

These shall be according to the mounting instructions, specified by the manufacturer of the isolated device.

NOTE 1 Recommended reference point T_{sref} is (as shown in Figure 10) the place at the long side of the module on the heat sink next to the circuit elements at the edge of the device measured from above, because this usually is more easily accessible than from underneath through the heat sink. The thermal resistance $R_{\text{th(c-s)}}$ depends on type and thickness of the used grease (see Annex B).

NOTE 2 Examples include the thickness and type or thermal conductivity “lambda” of the thermal compound grease, the necessary flatness of the heat sink and the mounting torque of the fixing screws.

7.4.3 Thermal resistance junction to heat sink $R_{th(j-s)}$ (for heat sink rated devices)

per 1 functional circuit element (semiconductor switch)

$$R_{th(j-s)} = (T_{vj} - T_{sref})/P_{tot} \quad (18)$$

where

T_{vj} is taken as described in 7.4.1 electronically;

T_{sref} is taken as described in 7.4.2 at the reference point specified (see also Figures 10 and 4);

P_{tot} taken as described above in 7.4.2.

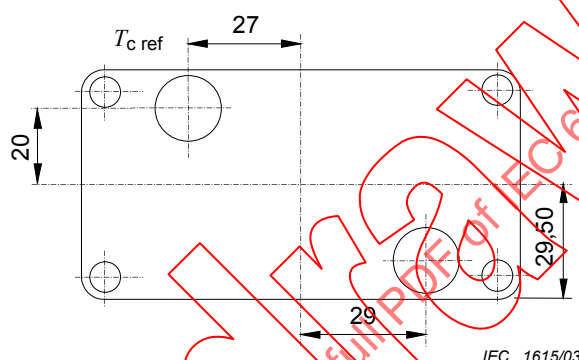


Figure 10 – Example for reference points for the measurement of T_{cref} and T_{sref} for the thermal resistance of an isolated power semiconductor devices (dual-switch, 62 mm wide)

NOTE 1 Reference points for measuring the temperatures T_{cref} (taken from underneath through a hole through the heat sink), T_{sref} (taken from above on the heat sink as near to the device as possible), see 5.3.6.4 and Figure 4.

NOTE 2 The specification of the necessary thermally conductive compound paste should be given in the data sheet as a condition of $R_{th(c-s)}$ as well as the mounting instructions.

NOTE 3 For measurement methods for thermal resistance, see the basic IEC standard of the functional circuit element in the relevant part of IEC 60747.

NOTE 4 Isolated devices should be mounted on a heat sink using a thermal conductive compound paste. This should be a paste which can withstand the maximum temperatures of the base plate and the maximum expected heat sink temperature without increasing thermal resistance in the course of time. This paste should fill the possible air gap between the metal surface of the device's base plate and the metal surface of the heat sink so as to keep the air out over the life time of the device, respectively the equipment. The thickness of the thermal compound layer should meet the requirements set by the manufacturer (see Annex B).

7.5 Measuring methods of mechanical characteristics

7.5.1 Specified mounting torque (M_s)

Screws fixed to a heat sink shall be measured by a torque spanner with a torque reading scale.

7.5.2 Specified terminal torque (M_t)

Connections fixed to terminal screws shall also be measured by a torque spanner with a torque reading scale.

7.5.3 Mounting forces (F)

Pressure fixed devices applied by a clip (to assure specified thermal contact and fixation of the case (by means of a pressure spring) shall be measured by a force-measuring meter.

NOTE Examples include dynamometer and spring balance, affixed to the clip end and pulled against the pressing force until the device gets movable.

7.5.4 Pulling force (F_t)

(Control) terminals shall be measured by a force-measuring meter, affixed to the terminal until the terminal moves or the case splits.

7.5.5 Flatness of base plate (e_c)

The flatness of the cooling surfaces (base plate) of the device, as well as of the heat sink, can be made apparent and measured by means of a "straight edge" watching the light gap between the straight edge as a gauge and the surface to be analysed. It shall be measured by means of a mechanical surface tester with an electronic scriber.

NOTE 1 When watching the light gap between the straight edge and the surface of the device or heat sink, one can detect a concave (which should be avoided) or convex surface and estimate the thickness of the gap (in the magnitude of the thickness of a hair (30 μm to 80 μm)).

NOTE 2 The flatness of the surface of the base plate and the heat sink should be produced by milling or grinding. It should be specified in the manufacturer's mounting instructions and should be in the range of 30 μm maximum over the length of the device, e.g. 100 mm. For values of flatness, see the respective notes specified in Annex B to IEC 60191-2.

7.5.6 Roughness of base plate (R_{Zc})

The roughness of the milled or ground cooling surface (base plate) of the device, as well as of the heat sink, shall be $R_z < 10 \mu\text{m}$ (for details see ISO 1302). It shall be measured by a suitable surface-measuring equipment with an electronic scriber.

NOTE 1 When a suitable thermal compound grease is used, $R_z < 64 \mu\text{m}$ may also be acceptable.

NOTE 2 In USA the expression " R_a " is used as "averaged roughness", ($R_z = \text{about } 3 \cdot R_a$) but no fixed factor exists between those two.

7.5.7 Mass (m)

The mass shall be measured on a set of scales indicating the weight in grams.

8 Acceptance and reliability

8.1 General requirements

8.1.1 Failure-defining characteristics and failure criteria for acceptance tests

The failure criteria of the functional circuit elements apply as given in the relevant part of IEC 60747.

Specific failure criteria for isolated devices are under consideration.

8.1.2 Procedure in case of a testing error

When a device has failed as a result of a testing error (such as a test equipment fault), this shall be noted in a data record with an explanation of the cause.

8.2 List of endurance tests

Table 1 applies.

8.2.1 High temperature reverse bias (HTRB)

8.2.2 High humidity high temperature reverse bias (H³TRB)

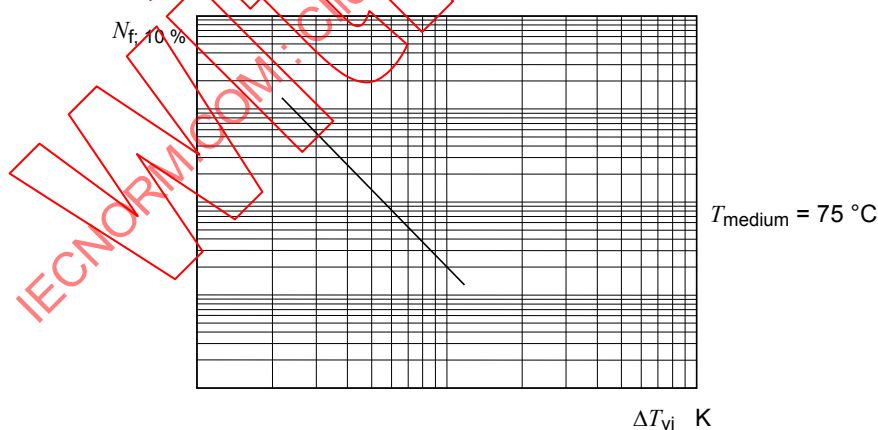
8.2.3 Power cycling (load) capability ($N_{f,p}$)

This shall be the minimum number of power cycles $N_{f,p}$ until failure of the accumulative percentage p (= percentile) of a device population (see 3.14 above) under specified conditions as the starting temperature level T_{low} and the temperature rise ΔT_{vj} per load current pulse using the manufacturer's mounting instructions.

NOTE 1 The power cycling capability $N_{f,p}$ is a statistical quantity that shall be derived from the measurement data by adopting Weibull or log-normal failure statistics (see IEC 60319).

NOTE 2 See 7.4.6 of IEC 60747-2 (diodes) and 9.4.6 of IEC 60747-6 (thyristors) "power cycling load test". Subclause 10.1.3.3 of Amendment 1 to IEC 60747-9 (IGBT) specifies "intermittent operating life tests".

A diagram $N_{f,p}(\Delta T_{vj})$ shall be provided for a specified failure percentile p , with 1 % and 10 % being preferred values of p , e.g. Figure 11 below. The power cycling capability depends on the starting temperature T_{low} , the cooling conditions, the load current and the cycle duration t_c as well. For the diagram $N_{f,p}(\Delta T_{vj})$, T_{low} shall be chosen such that $T_{medium} = T_{low} + \Delta T_{vj}/2$ is $75\text{ °C} \pm 10\text{ °C}$ (for industrial applications). For automotive applications, higher values apply. The load current shall be kept constant, preferably at the nominal current of the device. For information, the cooling conditions, the cycle duration and the parameters from the Weibull or log-normal failure statistics shall be provided for each data point. The individual data points from the power cycling experiment shall be displayed in the diagram. Each data point shall be generated by driving at least three components into failure. Each data point shall be given with error bars resulting from using 80 % confidence levels when adopting the Weibull (see IEC 60319) or log-normal failure statistics. If a curve is fitted to the displayed data points, an appropriate relationship shall be chosen (e.g. Coffin-Manson, see Bibliography).



IEC 1616/03

Figure 11 – Power cycling (load) capability $N_{f,p}$ versus temperature rise of the junction temperature T_{vj} per load pulse

NOTE 1 $N_{f,p}$ is given for the failure percentile $p = 0,1$ (i.e. until 10 % of a component population has failed) to determine the power cycling load capability, $T_{medium} = T_{low} + \Delta T_{vj}/2$ which should be kept constant at 75 °C during the experiments.

NOTE 2 IEC 60747-2 (rectifier diodes) and IEC 60747-6 (thyristors) apply.

NOTE 3 Slow power cycling (load) tests with load pulse periods in the range of 1 min stress more the solder layer between isolating ceramic and the base plate. Whereas the fast power cycling test with load pulse times in seconds

(0,5 s to 10 s) stresses more the bond connections (of wire bonded devices such as some diodes, thyristors, bipolar transistors, IGBTs and MOSFETs) on the chips (dies) and the metallized ceramic parts.

8.2.4 High temperature storage (HTS)

Vacant.

8.2.5 Low temperature storage (LTS)

Vacant.

8.2.6 Thermal cycling (TC)

Vacant.

8.2.7 Resistance to solder heat

Vacant.

8.2.8 Solderability

Vacant.

8.2.9 Mechanical shock

Vacant

8.2.10 Vibration (variable frequency)

Vacant

8.2.11 Climatic characteristic classification

NOTE IEC 60721-3-3 applies, as well as 5.3.8 and Annex C of this standard.

Table 1 – Environmental testing

Clause	Environmental testing – Designation	Short form	IEC standard	
			Basic standard	Semiconductor standard
8.2.1	High temperature reverse bias	HTRB		60749-5
8.2.2	High humidity high temperature reverse bias	H ³ TRB	60068-3-4	60749-5
8.2.3	Power cycling (load) capability			
	– Diode devices		60747-2	
	– Thyristor devices		60747-6	
	– Bipolar transistor devices		60747-7	
	– MOSFET devices		60747-8	
	– IGBT devices		60747-9	
8.2.4	High temperature storage	HTS		60749-6
8.2.5	Low temperature storage	LTS	60068-2-48	
8.2.6	Thermal cycling	TC	60068-2-14, IVa	60749-25
8.2.7	Resistance to solder heat		60068-2-20, Tb	60749-15
8.2.8	Solderability		60068-2-20, Ta	60749-21
8.2.9	Mechanical shock		60068-2-27	60749-10
8.2.10	Vibration (variable frequency)		60068-2-6, Fc	60749-12

8.2.11	Climatic characteristics classification		60721-3-3, Tables 1 to 7	
--------	---	--	-----------------------------	--

8.3 Type tests and routine tests of isolated power devices

8.3.1 Type tests

The experience, which has been obtained with other isolated power semiconductor devices, using the same or similar components such as circuit elements or packages, should be considered when deciding which tests are mandatory.

Type tests are carried out on new products on a sample basis, in order to determine the electrical and thermal and mechanical and climatic ratings (limiting values) characteristics to be given in the data sheet and to establish the test limits for future routine tests. Some or all of the tests should be repeated from time to time on samples drawn from current production or deliveries so as to confirm that the quality of the product continuously meets the requirements.

The minimum type tests to be carried out are as follows:

New isolated power semiconductor devices should undergo the type tests, listed in Table 2, marked with "X" (X = mandatory). Some of the type tests are destructive.

Table 2 – Minimum type and routine tests for isolated power semiconductor devices

Clause		Type test	Routine test
	Verification of ratings (limiting values)		
6.1	Isolation voltage test V_{isol}	X	X
6.2	Peak case non-rupture current I_{RSMC} ; I_{CNR}	X ^a	
	Measurements of characteristics		
5.3.1	Outline dimensions, creepage, clearance	X	
7.5.5	Flatness of base-plate or of cooling surface	X	X ^b
5.3.7	Marking, terminals, visual check	X	
7.4	Thermal resistances R_{th}	X	
7.4	Transient thermal impedance Z_{th}	X	
7.2	Parasitic stray inductance L_{p}	X ^a	
7.3	Parasitic stray capacitance C_{p}	X ^a	
7.1	Partial discharge voltages test	X ^a	X ^b
7.5.4	Robustness of terminations/terminal pull test	X	
	Endurance/acceptance and reliability tests		
8.2.6	Thermal cycling, $T_{\text{C}} = T_{\text{STG min}}$ to $T_{\text{STG max}}$	X	
8.2.3	Power cycling (load) (PC), $\Delta T_{\text{vj}} = \text{typ. } 80 \text{ K or } 100 \text{ K}$	X	
8.9 / 8.10	Mechanical tests (under mounting instruction conditions)	X	
8.2.11	Climatic characteristics classification	X ^a	

^a Type test only for devices with specified maximum values (where appropriate).

^b Routine test only for devices with specified maximum or minimum values.

NOTE 1 Tests for isolation voltage, partial discharge voltage, creepage and clearance distance should be based on each standard which is applied to any final equipment using the isolated power semiconductor device, e.g. see IEC 60950 (safety information technology) and IEC 61287 (rolling stock) etc.

NOTE 2 The user is responsible to check the standard which is relevant to his final equipment.

8.3.2 Routine tests

Routine tests are carried out on the current production or deliveries normally on a 100 % basis, in order to verify that the ratings (limiting values) and characteristics specified in the data sheets are met by each specimen. Routine tests may comprise a selection of the isolated devices divided into groups. The minimum routine tests to be carried out on isolated devices are listed in Table 2. Other routine tests are carried out as described in the appropriate part of IEC 60747 which applies to the particular functional circuit element in question.

IECNORM.COM: Click to view the full PDF of IEC 60747-15:2003

Withdrawing

Annex A

(informative)

Test method for peak case non-rupture current

A.1 Purpose

The purpose of this test method is to prove the ability of the isolated power device containing bipolar transistors, IGBTs or MOSFETs as functional circuit elements to withstand the rated peak case non-rupture current I_{CNR} , without causing a rupture (i.e. an 'explosion') of the case, or an emission of plasma beam, or an ejection of massive particles. This is a destructive test.

A.2 Circuit diagram

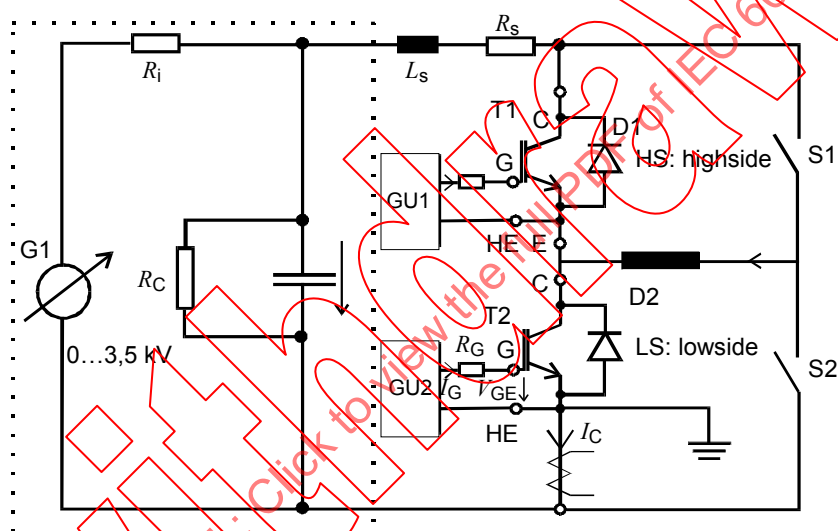


Figure A.1 – Circuit diagram for test of peak case non-rupture current I_{CNR}

A.3 Circuit description and requirements

- | | |
|------------|---|
| C | line capacitor bank, chargeable to full voltage |
| D1 | inverse diode of T1, high side |
| D2 | inverse diode of T2, low side |
| G1 | DC supply voltage source V_{CC} , which can be switched off from mains under all conditions |
| GU1 | gate drive unit of T1 |
| GU2 | gate drive unit of T2 |
| L_{load} | load inductance |
| L_s | parasitic inductance of the circuit (40 nH to 250 nH) |
| R_c | discharge resistor for protection purposes |
| R_G | gate resistor |
| R_i | internal source resistance |
| R_s | fuse resistor, mostly set to zero |

S1	auxiliary switch (IGBT) high side
S2	auxiliary switch (IGBT) low side
T1	high side IGBT switch = device under test (DUT)
T2	low side IGBT switch
I_G	gate current
I_L	load current
V_{GE}	gate voltage
I_C	peak collector current, which can be I_{CNR} , if the case just did not burst, monitored by a current probe having low inductance

The setup consists of a two-quadrant converters with two identical isolated IGBT devices. S1 and S2 are auxiliary switches, for example IGBT devices, used to establish the desired load current and to induce a short-circuit failure. T1 and T2 are identical isolated IGBT devices (SINGLE switch or both in a half bridge circuit as DUAL switch).

A.4 Test procedure

Test A

First close switch S2 and turn on T1. The load current increases as defined by load inductance L_L . After I_L has exceeded the safe operating area (SOA) for turn-off of T1 and an attempt is made to turn off T1. The initial part of the turn-off process takes place, the current in the device is reduced and part of the current is commuted to the diode D2. The device T1 then undergoes a turn-off failure. The diode in the low side device D2 carries substantial current at this instant. The failure of T1 forces the diode D2 to turn off at virtually unlimited di/dt , drawn by L_L . This is outside the diode SOA and the diode D2 also fails.

Test B

T1 is turned on until a substantial load current is reached. At this moment the device T2, which sees the full voltage, is induced to fail. The device T1 then goes into desaturation and also fails. (Top-bottom shoot-through, which creates a short-circuit between plus busbar and minus busbar, discharging the capacitor bank, creates an arc in the devices. This leads to production of gases of the surrounding plastic gel, etc. until the energy of the capacitor bank is used.) In reality, such a failure could be due to cosmic ray or due to thermal overload. Manipulating the device can artificially induce it.

Tests C and further tests

Such tests are executed until a value of stored energy of the capacitor bank and of peak current is found, which is not high enough to rupture or break the case. The values of achieved peak current $I_C = I_{CNR}$, V_{CC} , C_{max} and of $E_C = \frac{1}{2} C V_{CC}^2$ are monitored. The value I_{CNR} is the value of a percentage (10 % = 2/20) of a tested population (min 10 pieces) of devices, at which the case did not burst, or case split, but did not eject internal particles.

A.5 Post-test measurements and criteria

The device under test is subjected to a visual test, to see whether cracks and signs of plasma from arcing inside are visible from outside. There shall be no signs of particles thrown out nor shall there be evidence that the device has externally melted or burst into flames.

NOTE The ejection of particles is unavoidable for energies higher than around 10 kJ. What can be achieved by good design is that no massive parts, which can cause severe consequential damage, are ejected.

A.6 Specified conditions

- case or virtual junction temperature ($T_c = 25\text{ °C}$, $T_{vj} = 25\text{ °C}$ or 125 °C)
- supply voltage V_{CC}
- capacitance of capacitor bank C
- stored energy of capacitor bank E_C
- stray inductance of short circuit L_{SC}
- load current I_L
- gate voltage V_{GEon} and V_{GEoff}
- gate resistance R_{Gon} and R_{Goff}
- percentage of devices not burst versus total number of tested devices

A.7 Reference documents

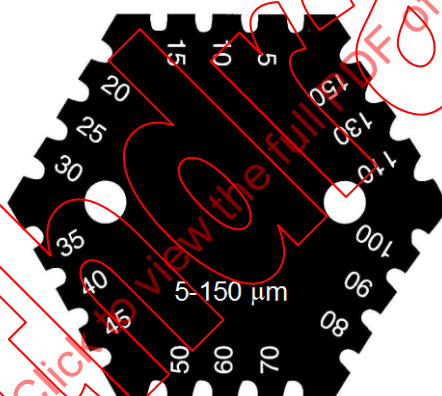
GEKENIDES, S. *et al.* *Explosion Tests on IGBT High voltage Modules*. ISPSD 1999 Toronto.

Annex B (informative)

Measuring method of the thickness of thermal compound paste

B.1 Background information to 7.4.2

The measuring gauge is a comb out of stainless steel or suitable plastic, which is not solvable by the fluid material of the thickness of layer to be tested. The outer teeth of the comb, i.e. those at the edges of the hexagon in Figure B.1, form a base line. The inner teeth, i.e. those between the outer teeth, are progressively shortened, so that a space of distances is achieved between the teeth and the base line. The size of the distance can be read on a scale on the instrument. A typical measuring gauge is shown in Figure B.1.



IEC 1618/03

Figure B.1– Example of a measuring gauge for a layer of thermal compound paste of a thickness between 5 μm and 150 μm

B.2 Measuring method

Immediately after applying the layer, the measuring comb is pressed upon the substrate so that the teeth are vertical to the surface and the measuring comb does not slip. Remove the comb and look at the teeth to ensure that it is the shortest tooth which still touched the fluid layer. The thickness of the layer corresponds to the average mean value of the last touching tooth and the first non-touching tooth. At least two further measurements at different locations on the surface shall be executed in similar fashion in order to obtain representative values for the covered area.

Annex C (informative)

Climatic parameters and characteristics

C.1 Background information to 5.3.8

Climatic parameters and characteristics are described and classified in Table 1 to IEC 60721-3-3.

Table C.1 – Classification of climatic environmental conditions, e.g. Class 3K3 and 3K4 (extract, not complete)

Line	Environmental characteristic	Dimension	Class	Class
			3K3	3K4
a)	Low ambient temperature	°C	5	5
b)	High ambient temperature	°C	40	40
c)	Low relative humidity	%	5	5
d)	High relative humidity	%	85	95
e)	Low absolute humidity	g/m ³	1	1
f)	High absolute humidity	g/m ³	25	29
g)	Speed of temperature change	°C/min	0,5	0,5
h)	Low pressure of air	kPa	70	70
i)	High pressure of air	kPa	106	106
j)	Sun irradiation	W/mm ²	700	700
k)	Thermal radiation			
l)	Air speed	m/s	1	1
m)	Dew; humidity condensation		Excluded	Possible

Tables 2 to 7 of IEC 60721-3-3 include other environmental classifications such as biological, chemical active, mechanical active (sand, dust) and mechanical conditions and combinations of them. Preconditioning of the test samples should follow 4.1.2.1 of IEC 60664-1.

NOTE 1 A simple specification for such a combination is Class IE32, including Class 3K3 above and Class 374 (5 m/s air speed), Class 3B1 (no biologic active particles, i.e. sponge or termites are excluded), Class 3C1 (air containing chemical gasses (SO₂, SH, HCl, NH₄, O₂ etc.) in areas with little industry), Class 3S1 (low dust nuisance (0,01 mg/m³, no sand) in air, Class 3M1 (low mechanical oscillations (1 m/s² 9-200 Hz) and occasional shock (<40 m/s²). For further details, see Tables 1 to 7 in IEC 60721-3-3 (1994).

NOTE 2 Typical environmental tests are specified in the following IEC standards:

IEC 60068-2-2 (dry heat);

IEC 60068-2-78 (damp heat);

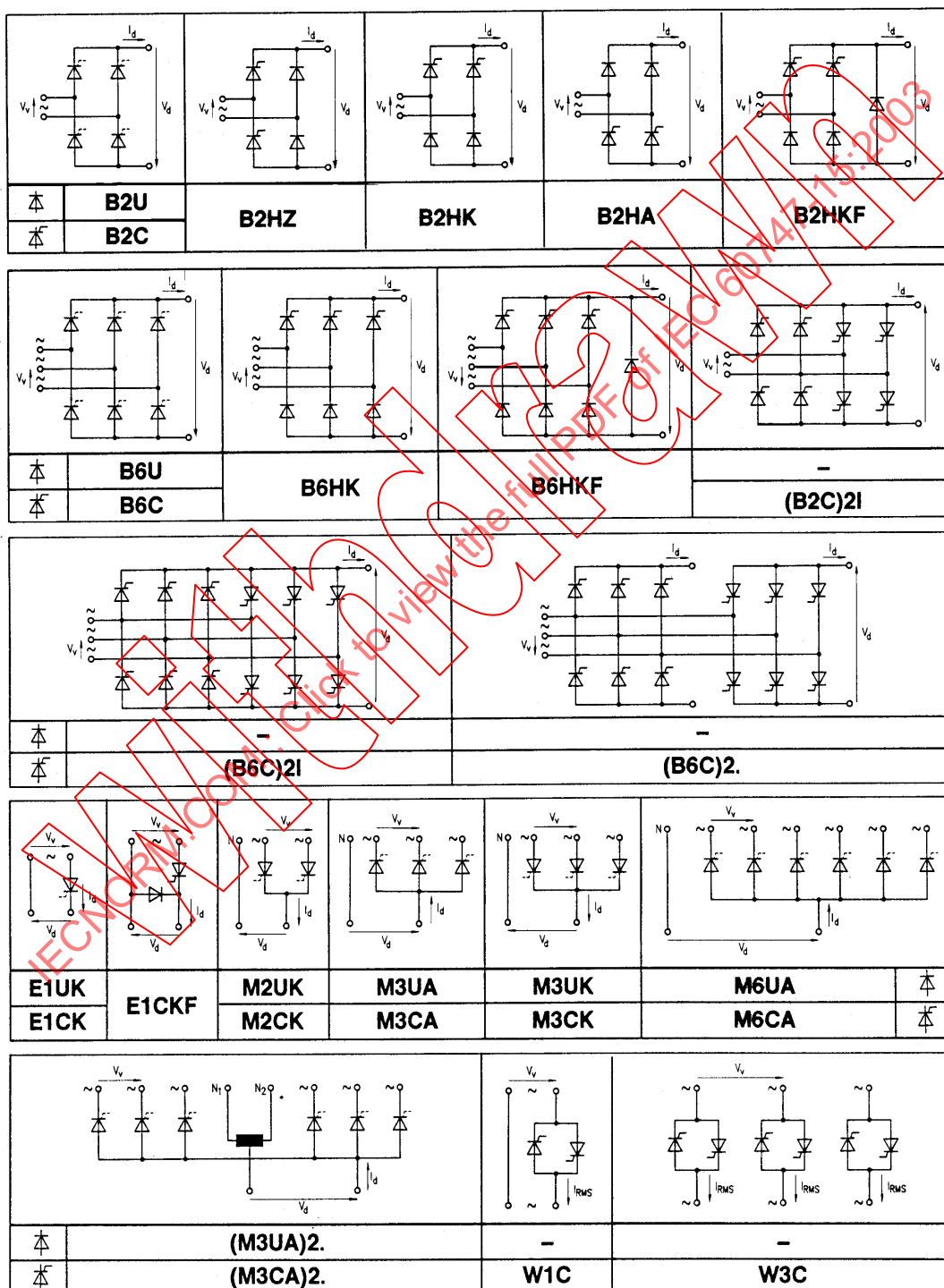
IEC 60068-14 (partial discharge);

IEC 60749-2 to IEC 60749-2-36 (mechanical and climatic test methods for semiconductors) see Annex A.

Annex D (informative)

Internal circuit configurations

NOTE 1 To 3.3.2, Circuit configurations: types according to their main functional circuit.



IEC 1619/03

NOTE 2 See IEC 60971.

Figure D.1 – Converter circuits containing diodes and/or thyristors

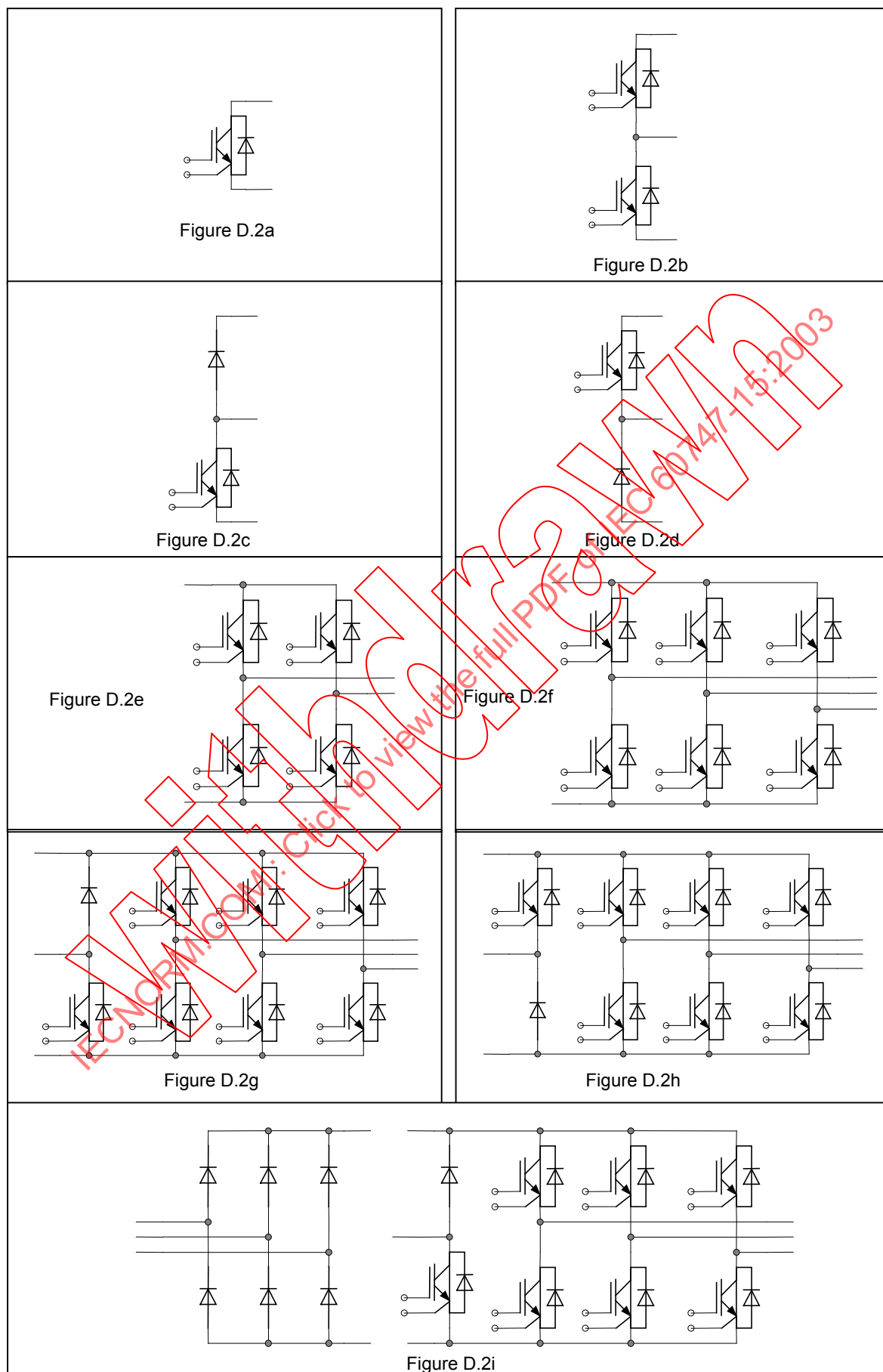


Figure D.2 – Inverter circuits containing diodes and/or transistors shown as IGBT

Bibliography

IEC Catalogue 2002, *Catalogue of IEC Publications 2001 (also available as CD-ROM)*

IEC 60050 (all parts), *International Electrotechnical Vocabulary (IEV)*

IEC 60050-151:2001, *International Electrotechnical Vocabulary (IEV) – Part 151: Electrical and magnetic devices*

IEC 60050-521:1984, *International Electrotechnical Vocabulary (IEV) – Part 521: Semiconductor devices and integrated circuits*

IEC 60050-551:1998, *International Electrotechnical Vocabulary (IEV) – Part 551: Power electronics*

IEC 60068-1, *Environmental testing – Part 1: General and guidance*

IEC 60068-2-1, *Environmental testing – Part 2-1: Tests – Test A: Cold*

IEC 60068-2-2, *Environmental testing – Part 2-2: Tests – Test B: Dry heat*

IEC 60068-2-58, *Environmental testing – Part 2-58: Tests – Test Td: Test methods for solderability, resistance to dissolution of metalization and to soldering heat of surface mounting devices (SMD)*

IEC 60068-2-78, *Environmental testing – Part 2-3: Tests – Test Cab: Damp heat, steady state*

IEC 60112, *Method for the determination of the proof and the comparative tracking indices of solid insulating materials*

IEC 60146-1-1:1991, *Semiconductor converters – General requirements and line commutated converters – Part 1-1: Specifications of basic requirements*

IEC 60146-2:1999, *Semiconductor converters – Part 2: Self-commutated semiconductor converters including direct d.c. converters*

IEC 60191-1:1966, *Mechanical standardization of semiconductor devices – Part 1: Preparation of drawings of semiconductor devices*

IEC 60191-2L (191IEC I-73a), *Outline Transistor (TO-220AB)*

IEC 60191-2M (191IEC I-77A,B):1983, *Outline Thyristor/Diode Modules (20 mm wide, TO-240)*

IEC 60191-2P (191IEC I-77C,E):1988, *Outline Thyristor/Diode Modules (25, 34 mm wide)*

IEC 60191-2R (191IEC I-080B):1995, *Outline Transistor Modules (34 mm wide)*

IEC 60191-2R (191IEC I-081B):1995, *Outline Transistor Modules (62, 42 mm wide)*

IEC 60191-2Q (191IEC I-100B):1990, *Outline Thyristor/Diode Modules (50 mm wide)*

IEC 60191-2P(191IEC I-102B):1988, *Outline isolated Transistors (TO-238)*

IEC 62103, *Power electronic equipment (according to EN 50178)*

IEC 60617-DB-12M:2001, *Graphical symbols for diagrams – 12-month subscription to online database comprising parts 2-11 of IEC 60617*

IEC 60664-2-1:1997, *Insulation coordination for equipment within low-voltage systems – Part 2-1: Application guide – Dimensioning procedure worksheets and dimensioning examples*

IEC 60664-3:1992, *Insulation coordination for equipment within low-voltage systems – Part 3: Use of coatings to achieve insulation coordination of printed board assemblies*

IEC 60747-5-1:1997, *Discrete semiconductor devices and integrated circuits – Part 5-1: Opto-electronic devices – General*

IEC 60747-5-2:1997, *Discrete semiconductor devices and integrated circuits – Part 5-2: Opto-electronic devices – Essential ratings and characteristics*

IEC 60747-5-3:1997, *Discrete semiconductor devices and integrated circuits – Part 5-3: Opto-electronic devices – Measuring methods*

IEC 60749-1:2002, *Semiconductor devices – Mechanical and climatic test methods – Part 1: General*

IEC 60749-2:2002, *Semiconductor devices – Mechanical and climatic test methods – Part 2: Low air pressure*

IEC 60749-3:2002, *Semiconductor devices – Mechanical and climatic test methods – Part 3: External visual examination*

IEC 60749-4:2002, *Semiconductor devices – Mechanical and climatic test methods – Part 4: Damp heat, steady state, highly accelerated stress test (HAST)*

IEC 60749-7:2002, *Semiconductor devices – Mechanical and climatic test methods – Part 7: Internal moisture content measurement and the analysis of other residual gases*

IEC 60749-9:2002, *Semiconductor devices – Mechanical and climatic test methods – Part 9: Permanence of marking*

IEC 60749-11:2002, *Semiconductor devices – Mechanical and climatic test methods – Part 11: Rapid change of temperature – Two fluid-bath method*

IEC 60749-13:2002, *Semiconductor devices – Mechanical and climatic test methods – Part 13: Salt atmosphere*

IEC 60749-16:2003, *Semiconductor devices – Mechanical and climatic test methods – Part 16: Particle impact noise detection (PIND)*

IEC 60749-17, *Semiconductor devices – Mechanical and climatic test methods – Part 17: Neutron irradiation*

IEC 60749-18:2002, *Semiconductor devices – Mechanical and climatic test methods – Part 18: Ionizing radiation (total dose)*

IEC 60749-19, *Semiconductor devices – Mechanical and climatic test methods – Part 19: Die shear strength test*

IEC 60749-27, *Semiconductor devices – Mechanical and climatic test methods – Part 27: Electrostatic discharge (ESD) sensitivity testing – Machine model (MM)³*

³ To be published.

IEC 60749-29, *Semiconductor devices – Mechanical and climatic test methods – Part 29: Latch-up test*⁴

IEC 60947-4-2:1999, *Low-voltage switchgear and controlgear – Part 4-2: Contactors and motor-starters – AC semiconductor motor controllers and starters*

IEC 60947-4-3:1999, *Low-voltage switchgear and controlgear – Part 4-3: Contactors and motor-starters – AC semiconductor controllers and contactors for non-motor loads*

IEC 60950-1:2001, *Information technology equipment – Safety – Part 1: General requirements*

IEC 60971:1989, *Semiconductor convertors – Identification code for convertor connections*

IEC 61000 (all parts), *Electromagnetic compatibility (EMC)*

IEC 61340-2-2:2000, *Electrostatics – Part 2-2: Measurement methods – Measurement of chargeability*

IEC 61340-5-1:1998, *Electrostatics – Part 5-1: Protection of electronic devices from electrostatic phenomena – General requirements*

IEC 61800-1:1997, *Adjustable speed electrical power drive systems – Part 1: General requirements – Rating specifications for low-voltage adjustable speed d.c. power drive systems*

IEC 61800-2:1998, *Adjustable speed electrical power drive systems – Part 2: General requirements – Rating specifications for low-voltage adjustable frequency a.c. power drive systems*

IEC/PAS 62166:2000, *Guidelines for user notification of product/process changes by semiconductor suppliers*

IEC/PAS 62167:2000, *Product discontinuance*

IEC/PAS 62179:2000, *Electrostatic discharge (ESD) sensitivity testing human body model (HBM)*

IEC/PAS 62180:2000, *Electrostatic discharge (ESD) sensitivity testing machine model (MM)*

Coffin Manson relation: COFFIN, L.F. *Fatigue at High Temperature*, *Fatigue at Elevated Temperatures*, ASTM STP 520, American Society for Testing and Materials, 1973, pp.5-34

MANSON, S.S. *Thermal Stress and Low Cycle Fatigue*, McGraw-Hill, New York, 1966

JESD 14:1986, *Semiconductor Power Control Modules*, JEDEC Solid State Technology Association, Arlington, Virginia

⁴ In preparation.

IECNORM.COM: Click to view the full PDF of IEC 60747-15:2003

SOMMAIRE

AVANT-PROPOS	54
1 Domaine d'application	56
2 Références normatives	56
3 Termes et définitions	58
4 Symboles littéraux	63
4.1 Généralités	63
4.2 Symboles et indices supplémentaires	63
4.3 Liste de symboles littéraux	64
5 Valeurs assignées (valeurs limites) et caractéristiques essentielles	65
5.1 Généralités	65
5.2 Valeurs assignées (valeurs limites)	66
5.3 Caractéristiques	69
6 Vérification des valeurs assignées (valeurs limites)	77
6.1 Tension d'isolement entre bornes et embase (V_{isol})	77
6.2 Courant de crête de non rupture de boîtier	79
6.3 Courant maximal aux bornes (I_{TRMS})	79
6.4 Essai aux surintensités (non-répétitif) (I_{FSM} , I_{TSM})	79
7 Méthodes de mesure des caractéristiques	80
7.1 Tensions assignées d'apparition et d'extinction de décharge partielle (V_i) (V_e)	80
7.2 Inductance parasite entre bornes principales (L_P)	80
7.3 Capacité parasite entre des éléments de circuit fonctionnel et le boîtier (C_P)	83
7.4 Méthodes de mesure des caractéristiques thermiques	84
7.5 Méthodes de mesure des caractéristiques mécaniques	86
8 Réception et fiabilité	87
8.1 Exigences générales	87
8.2 Liste des essais d'endurance	87
8.3 Essais de type et essais individuels de série de dispositifs de puissance isolés	89
Annexe A (informative) Méthode d'essai du courant de crête de non rupture de boîtier	91
Annexe B (informative) Méthode de mesure de l'épaisseur d'une pâte thermique	94
Annexe C (informative) Paramètres et caractéristiques climatiques	95
Annexe D (informative) Configurations des circuits internes	96
Bibliographie	98
Figure 1 – Explication des inductances parasites L_P	71
Figure 2 – Exemples d'inductances parasites L_P distribuées	71
Figure 3a – Exemple de coupe transversale d'un dispositif de puissance isolé monté sur un dissipateur thermique, avec les températures T_{vj} , ... T_a	73
Figure 3b – Modèle schématique de résistances thermiques d'éléments de circuit $R_{th(j-c)}$, $R_{th(c-s)}$, $R_{th(s-a)}$, resp. $Z_{th(j-c)}$, $Z_{th(j-s)}$ et $Z_{th(j-a)}$	73

Figure 4 – Points de référence pour la mesure des températures T_{vj} , T_c , T_{cl} , T_{cD} et T_s à spécifier pour un dispositif de puissance isolé, vu de dessus	75
Figure 5 – Impédance thermique transitoire $Z_{th(j-c)} = f(t_p)$ dispositif de puissance à semi-conducteurs isolé en fonction de la durée d'impulsion t_p écoulée après une variation d'échelon de dissipation de puissance appliquée	76
Figure 6 – Schéma du circuit de base pour l'essai de tenue en tension au claquage de l'isolation ("essai d'encapsulation haute tension") avec V_{isol}	78
Figure 7 – Niveaux d'isolement d'un dispositif de puissance avec circuits d'attaque et fonctions de protection intégrés	78
Figure 8a – Schéma de circuit pour la mesure des inductances parasites (L_p)	81
Figure 8b – Formes d'onde	82
Figure 9 – Circuit de mesure de capacité parasite C_p entre les éléments des circuits fonctionnels et l'embase (terre)	83
Figure 10 – Exemple de points de référence pour la mesure de T_{cref} et T_{sref} pour la résistance thermique d'un dispositif de puissance à semi-conducteurs isolé (interrupteur double, 62 mm de large)	85
Figure 11 – Aptitude aux itérations de puissance (charge) M_{fp} en fonction d'une augmentation de la température de jonction T_{vj} par impulsion de charge	88
Figure A.1 – Schéma du circuit pour l'essai du courant de crête de non rupture du boîtier I_{CNR}	91
Figure B.1 – Exemple de calibre de mesure pour couche de pâte thermique d'une épaisseur entre 5 μm et 150 μm	94
Figure D.1 – Circuits convertisseurs contenant des diodes et/ou des thyristors	96
Figure D.2 – Circuits inverseurs contenant des diodes et/ou des transistors représentés comme des IGBT	97
Tableau 1 – Essais d'environnement	89
Tableau 2 – Essais minimum de type et individuels de série pour les dispositifs de puissance à semi-conducteurs isolés	90
Tableau C.1 – Classification des conditions d'environnement, par exemple les classes 3K3 et 3K4 (extrait non exhaustif)	95

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS DISCRETS À SEMICONDUCTEURS –

Partie 15: Dispositifs de puissance à semiconducteurs isolés

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
- 3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, spécifications techniques, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
- 5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
- 6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60747-15 a été établie par le sous-comité 47E de la CEI, Dispositifs discrets à semiconducteurs, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

La présente version bilingue (2013-05) correspond à la version anglaise monolingue publiée en 2003-06.

Le texte anglais de cette norme est issu des documents 47E/236/FDIS et 47E/238/RVD.

Le rapport de vote 47E/238/RVD donne toute information sur le vote ayant abouti à l'approbation de cette norme.

La version française de cette norme n'a pas été soumise au vote.

La présente publication a été rédigée selon les Directives ISO/CEI, partie 2.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant 2006. A cette date, la publication sera

- reconduite;
- supprimée;
- remplacée par une édition révisée, ou
- amendée.

IMPORTANT – Le logo "*colour inside*" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

IECNORM.COM: Click to view the full PDF of IEC 60747-15:2003

DISPOSITIFS DISCRETS À SEMICONDUCTEURS –

Partie 15: Dispositifs de puissance à semiconducteurs isolés

1 Domaine d'application

La présente partie de la CEI 60747 donne les normes spécifiques au produit, les exigences et les méthodes d'essais relatives aux dispositifs de puissance à semiconducteurs isolés. Ces exigences s'ajoutent à celles données dans d'autres parties de la CEI 60747, de la CEI 60748 et de la CEI 60749 pour les dispositifs de puissance non isolés correspondants.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 60068-2-6, *Essais d'environnement – Partie 2-6: Essais – Essai Fc: Vibrations (sinusoïdales)*

CEI 60068-2-7, *Essais d'environnement – Partie 2-7: Essais – Essais Ga et guide: Accélération constante*

CEI 60068-2-14, *Essais d'environnement – Partie 2-14: Essais – Essai N: Variations de température*

CEI 60068-2-20, *Essais d'environnement – Partie 2-20: Essais – Essai T: Brasage*

CEI 60068-2-27, *Essais d'environnement – Partie 2-27: Essais – Essai Ea et guide: Chocs*

CEI 60068-2-47, *Essais d'environnement – Partie 2-47: Méthodes d'essai – Fixation de composants, matériels et autres articles pour essais dynamiques de vibrations, d'impacts et autres essais similaires*

CEI 60068-2-48, *Essais d'environnement – Partie 2-48: Méthodes d'essai – Guide sur l'utilisation des essais de la CEI 60068 pour simuler les effets de stockage*

CEI 60068-3-4, *Essais d'environnement – Partie 3-4: Documentation d'accompagnement et guide – Essais de chaleur humide*

CEI 60191-4:1999, *Normalisation mécanique des dispositifs à semiconducteurs – Partie 4: Système de codification et classification en formes des boîtiers pour dispositifs à semiconducteurs*

CEI 60270:2000, *Techniques des essais à haute tension – Mesures des décharges partielles*

CEI 60319, *Présentations et spécifications des données de fiabilité pour les composants électroniques*

CEI 60664-1:1992, *Coordination de l'isolement des matériels dans les systèmes (réseaux) à basse tension – Partie 1: Principes, exigences et essais*

CEI 60721-3-3:1994, *Classification des conditions d'environnement – Partie 3-3: Classification des groupements des agents d'environnement et de leurs sévérités – Utilisation à poste fixe, protégé contre les intempéries*

CEI 60747-1 :1983, *Dispositifs à semiconducteurs – Dispositifs discrets et circuits intégrés – Partie 1: Généralités*
Amendement 1 (1991)
Amendement 3 (1996)

CEI 60747-2 :2000, *Dispositifs à semiconducteurs – Dispositifs discrets et circuits intégrés – Partie 2: Diodes de redressement*

CEI 60747-6:2000, *Dispositifs à semiconducteurs – Partie 6: Thyristors*

CEI 60747-7:2000, *Dispositifs à semiconducteurs – Partie 7: Transistors bipolaires*

CEI 60747-8:2000, *Dispositifs à semiconducteurs – Partie 8: Transistors à effet de champ*

CEI 60747-9:1998, *Dispositifs à semiconducteurs – Dispositifs discrets – Partie 9: Transistors bipolaires à grille isolée (IGBT)*

CEI 60749-5: *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 5: Essai continu de durée de vie sous température et humidité avec polarisation*

CEI 60749-6: *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 6: Stockage à haute température*

CEI 60749-10: *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 10: Chocs mécaniques*

CEI 60749-12: *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 12: Vibrations, fréquences variables*

CEI 60749-14: *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 14: Robustesse des sorties (intégrité des conducteurs)¹*

CEI 60749-15: *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 15: Résistance à la température de soudage pour dispositifs par trous traversants¹*

CEI 60749-21: *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 21: Brasabilité¹*

CEI 60749-25: *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 25: Variation rapide de température (air, air)¹*

CEI 60749-26: *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 26: Variation rapide de température (air, air)¹*

CEI 60749-36: *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 36: Accélération constante*

¹ En préparation

CEI 61287-1:1995, *Convertisseurs de puissance embarqués sur le matériel roulant – Partie 1: Caractéristiques et méthodes d'essais*²

ISO 1302:2002, *Spécification géométrique des produits (GPS) – Indication des états de surface dans la documentation technique de produits*

ISO 2768-2:1989, *Tolérances générales – Partie 2: Tolérances géométriques pour éléments non affectés de tolérances individuelles*

3 Termes et définitions

Pour les besoins de la présente partie de la CEI 60747, les définitions suivantes s'appliquent.

3.1

dispositif de puissance à semiconducteurs isolé

dispositif à semiconducteurs contenant un isolant électrique intégral entre la surface ou l'embase (enveloppe) de refroidissement et tous les éléments de circuit isolés

NOTE 1 Ces dispositifs incluent des relais statiques (SSR: Solid-State Relay) incorporant des unités d'excitation optiquement isolées (voir CEI 60747-5-1, CEI 60745-5-2 et CEI 60745-5-3), des circuits intégrés de manière monolithique dotés d'étages de puissance et d'une surface de refroidissement isolée, c'est-à-dire des dispositifs de puissance intelligents et des boîtiers plastiques discrets isolés dotés d'une surface de refroidissement isolée.

NOTE 2 On appelle "embase" la surface du boîtier transférant la chaleur à un dissipateur thermique. Et on appelle "enveloppe" la surface du boîtier ne transférant pas de chaleur.

3.2

parties constitutives du dispositif de puissance à semiconducteurs isolé

3.2.1

élément de circuit

tout élément constitutif d'un circuit qui contribue directement à son fonctionnement et réalise une fonction définie

NOTE Des exemples incluent des diodes de redressement, des thyristors, des transistors bipolaires, des transistors MOSFET, des transistors IGBT fixés à des substrats d'isolateurs métallisés et des circuits d'attaque et de protection intégrés.

3.2.2

interconnexion

connexion interne entre des éléments de circuit et entre des éléments de circuit et des bornes (voir 3.7.2 de la CEI 60747-1)

NOTE Les interconnexions sont considérées comme faisant partie des éléments de circuit qui leur sont associés.

3.2.3

embase

surface de refroidissement métallique ou métallisée faisant partie du boîtier qui transfère la chaleur de l'intérieur vers l'extérieur d'un dissipateur thermique

3.2.4

bornes

points de connexion accessibles depuis l'extérieur, isolés de l'embase

3.2.4.1

bornes principales

bornes du circuit de puissance ayant un potentiel élevé et parcourues par le courant principal

² Une nouvelle édition est en cours de préparation.

3.2.4.2

bornes de commande

bornes aptes, en courant faible uniquement, à la fonction de commande et auxquelles sont appliqués des signaux de commande externes ou desquelles proviennent des paramètres de détection

3.2.4.3

bornes de commande haute tension

bornes du circuit de puissance ayant un potentiel élevé, mais parcourues uniquement par un courant faible pour la fonction de commande

NOTE A titre d'exemple, on peut citer les shunts de courant et les bornes d'un capteur comportant le potentiel élevé des bornes principales.

3.2.4.4

bornes de commande basse tension

bornes à faible potentiel par rapport à l'embase, comportant une fonction de commande, et isolées des "bornes principales" et des bornes de commande haute tension

NOTE A titre d'exemple, on peut citer les bornes des capteurs de température isolés, les entrées des circuits d'attaque à grille isolée, etc.

3.3

classification des catégories de dispositifs de puissance isolés

les dispositifs de puissance isolés sont classés de la manière suivante:

3.3.1

contenu des puces: types en fonction des principaux éléments de circuits fonctionnels

3.3.1.1

module à thyristors

dispositif de puissance à semiconducteurs isolé contenant des puces de thyristors

3.3.1.2

module à diodes

dispositif de puissance à semiconducteurs isolé contenant des puces de diodes

3.3.1.3

module à transistors bipolaires

dispositif de puissance à semiconducteurs isolé contenant des puces de transistors bipolaires et leurs puces de diodes inverses

3.3.1.4

module à transistors IGBT

dispositif de puissance à semiconducteurs isolé contenant des puces de transistors bipolaires à grille isolée (IGBT) et leurs puces de diodes inverses

3.3.1.5

module à transistors MOSFET

dispositif de puissance à semiconducteurs isolé contenant des puces de transistors MOSFET

3.3.2

configuration de circuit: types en fonction des principaux circuits fonctionnels

3.3.2.1

interrupteur unique

élément de circuit fonctionnel, "interrupteur à semiconducteurs", dans un boîtier (comme plus simple dispositif fonctionnel) (voir Annexe D, Figure D.2a)

NOTE 1 Des exemples incluent des semiconducteurs discrets isolés en époxy avec une surface de refroidissement métallique.

NOTE 2 On utilise souvent "interrupteur" comme synonyme d'"éléments de circuit fonctionnel".

3.3.2.2

interrupteur double

deux interrupteurs dans un boîtier, connectés en série, formant un circuit en "demi-pont", un bras de phase d'une configuration de circuit en pont monophasé ou de circuit en pont triphasé (voir Annexe D, Figure D.2b)

NOTE Des exemples incluent un circuit "hacheur de freinage" avec un interrupteur côté haut ou un interrupteur côté bas et une diode de roue libre sur l'autre position, voir Annexe D, Figures D.2c et D.2d.

3.3.2.3

pont en H

quatre interrupteurs dans un boîtier, deux demi-ponts formant un pont complet, un pont monophasé (voir Annexe D, Figure D.2e)

3.3.2.4

sixpack

six interrupteurs dans un boîtier, trois demi-ponts formant un pont triphasé (voir Annexe D, Figure D.2f)

3.3.2.5

sevenpack

sept interrupteurs dans un boîtier, trois demi-ponts formant un circuit en pont triphasé et un circuit hacheur de freinage (voir Annexe D, Figures D.2g et D.2h)

NOTE Les configurations de circuit présentées ci-dessus sont principalement utilisées pour des circuits inverseurs à transistors produisant une tension de sortie alternative de fréquence fixe ou variable à partir d'une tension d'entrée continue, utilisant une modulation de largeur d'impulsion (PWM: Pulse Width Modulation), voir Annexe D, Figure D.2i (dispositifs hacheur de freinage à convertisseur inverseur).

3.3.2.6

pont redresseur

circuit convertisseur en pont monophasé constitué de 4 diodes dans un boîtier (voir Annexe D, Figure D.1: circuit B2U, pont, deux impulsions, non commandé)

3.3.2.7

pont redresseur semi commandé

circuit convertisseur en pont monophasé constitué de 2 diodes et 2 thyristors dans un boîtier (voir Annexe D, Figure D.1: B2HK)

3.3.2.8

pont redresseur commandé

circuit convertisseur en pont monophasé constitué de 4 thyristors dans un boîtier (voir Annexe D, Figure D.1: B2C, pont, deux impulsions, commandé)

3.3.2.9

pont redresseur triphasé

circuit convertisseur en pont triphasé constitué de 6 diodes dans un boîtier (voir Annexe D, Figure D.1: B6U, pont, six impulsions, non commandé)

3.3.2.10

pont redresseur triphasé semi commandé

circuit convertisseur en pont triphasé constitué de 3 diodes et 3 thyristors dans un boîtier (voir Annexe D, Figure D.1: B6HK)

3.3.2.11

redresseur triphasé commandé

circuit convertisseur en pont triphasé constitué de 6 thyristors dans un boîtier (voir Annexe D, Figure D.1: B6C, pont, six impulsions, commandé)

3.3.2.12**contrôleur en courant alternatif**

contrôleur proportionnel monophasé (ou triphasé) constitué de deux (ou six) thyristors connectés en parallèle inversés délivrant une tension de sortie alternative proportionnelle à partir d'une tension d'entrée alternative utilisant un contrôle d'angle de phase (voir Annexe D, Figure D.1: W1C ou W3C)

NOTE 1 Les circuits redresseurs (ou respectivement contrôleurs) présentés ci-dessus sont principalement utilisés comme des convertisseurs d'entrée délivrant une tension de sortie continue (ou respectivement alternative) fixe ou proportionnelle (si un thyristor de contrôle est utilisé) à partir d'une tension d'entrée alternative, utilisant un contrôle d'angle de phase. (Voir aussi JESD 14.)

NOTE 2 La CEI 60971 présente des informations détaillées. Des exemples incluent des circuits "B2U", ... "B6C", ... "W1C", "W3C".

3.3.3**autres combinaisons et configurations de circuits**

d'autres combinaisons et configurations des circuits ci-dessus sont présentées à l'Annexe D

3.4**fonctionnalité: types en fonction de fonctionnalités supplémentaires**

par exemple pour les mesures, la protection et les commandes, y compris des relais statiques (SSR)

circuits selon 3.2.3, mais dotés de fonctionnalités améliorées par:

- des capteurs ou des shunts de courant
- des capteurs de température
- une protection contre les surintensités ou les surtensions
- un circuit d'attaque avec ou sans alimentation intégrée
- d'autres circuits de commande
- des circuits auxiliaires et des opto-coupleurs
- d'autres fonctionnalités

NOTE Sur le marché, de tels dispositifs sont appelés modules de puissance intelligents (IPM: Intelligent Power Module). Les dispositifs de puissance IPM et SMART sont des noms spécifiques de tels produits spécifiques.

3.5**relais statiques****SSR (Solid State Relays)**

dispositifs de puissance à semiconducteurs isolés incorporant une unité d'excitation électronique optiquement isolée utilisant une section d'entrée, complètement isolée du côté sortie de puissance et l'embase ou la surface de refroidissement isolée métallique ou métallisée, réalisant une fonction marche/arrêt comme un relais électronique produisant une sortie non proportionnelle

NOTE Pour les SSR, la CEI 60747-5-1, la CEI 60747-5-2 et la CEI 60747-5-3 s'appliquent également.

3.6**tension d'isolement**

V_{isol}

tenue en tension au claquage de l'isolement entre des bornes et l'embase (ou un dissipateur thermique externe) pendant une durée spécifiée

NOTE Le paragraphe 1.3.9.1 de la CEI 60664-1 définit la 'tension d'isolement assignée' comme la valeur efficace de la tension de tenue assignée à l'équipement ou à une partie de l'équipement par le fabricant, caractérisant la capacité de tenue en tension d'isolement spécifiée.

3.7

tension d'apparition de décharges partielles

V_i

tension entre les bornes principales et l'embase à laquelle des décharges partielles apparaissent lorsque la tension appliquée est augmentée progressivement à partir d'une valeur plus petite

NOTE 1 La CEI 60270 définit la tension d'apparition comme supérieure à la tension d'extinction.

NOTE 2 Le paragraphe 1.3.18.4 de la CEI 60664-1 définit la 'tension d'apparition de décharges partielles', U_i , comme la plus petite valeur de crête de la tension d'essai pour laquelle la charge apparente devient supérieure à l'amplitude de décharge spécifiée lorsque la tension d'essai est augmentée au-delà d'une valeur faible pour laquelle aucune décharge n'apparaît.

3.8

tension d'extinction de décharges partielles

V_e

tension entre les bornes principales et l'embase à laquelle les décharges partielles disparaissent lorsque la tension appliquée est diminuée progressivement à partir d'une valeur plus élevée

NOTE 1 La CEI 60270 définit la tension d'extinction comme inférieure à la tension d'apparition.

NOTE 2 Le paragraphe 1.3.18.5 de la CEI 60664-1 définit la 'tension d'extinction de décharges partielles', U_e , comme la plus petite valeur de crête de la tension d'essai pour laquelle la charge apparente devient inférieure à l'amplitude de décharge spécifiée lorsque la tension d'essai est diminuée en-dessous d'un niveau élevé pour lequel de telles décharges sont apparues.

3.9

distance de ligne de fuite sur la surface

d_s

plus courte distance le long de la surface du matériau isolant entre deux parties conductrices à des potentiels différents

NOTE Voir 1.3.3 de la CEI 60664-1 (VEI 151-15-50).

3.10

distance d'isolement dans l'air

d_a

plus courte distance dans l'air entre deux parties conductrices à des potentiels différents

NOTE Voir 1.3.2 de la CEI 60664-1.

3.11

courant de crête de non-rupture de boîtier

courant de crête, ne conduisant pas à une rupture du boîtier, rejetant des particules massives et de plasma dans des conditions spécifiques

NOTE La valeur indiquée dépend du type de dispositif, par exemple un thyristor, une diode, un IGBT, et de la technologie de mise sous boîtier, par exemple avec liaison filaire.

3.11.1

courant de crête de non-rupture de boîtier pour diodes et thyristors

I_{RSMC}

courant de crête inverse d'une onde demi-sinusoïdale, lorsque le dispositif a perdu sa capacité de blocage inverse, qu'il convient de ne pas dépasser pour éviter une rupture du boîtier et le rejet d'un faisceau de plasma ou de particules massives dans des conditions spécifiées

NOTE Ce courant est spécifié dans la CEI 60747-2 pour les dispositifs à diodes, et dans la CEI 60747-6 pour les dispositifs à thyristors.

3.11.2**courant de crête de non-rupture de boîtier pour transistors bipolaires, IGBT et MOSFET** **I_{CNR}**

courant de crête de collecteur qu'il convient de ne pas dépasser pour éviter une rupture du boîtier et le rejet d'un faisceau de plasma ou de particules massives dans des conditions spécifiées

3.12**inductance parasite entre bornes principales** **L_p**

inductance parasite du câblage interne, dans le chemin de courant principal entre les bornes principales

NOTE 1 L'inductance parasite L_p d'un module en demi-pont (interrupteur double) est l'inductance parasite efficace L_{CE} entre la borne de puissance (+) (collecteur supérieur) et la borne de puissance (-) (émetteur inférieur).

NOTE 2 L'inductance parasite L_p provoquera une impulsion de tension au moment de la commutation à l'état bloqué (au-dessus de la tension continue V_{CC}) au niveau de la puce, supérieure à la tension mesurée entre les bornes.

3.13**capacité parasite entre des éléments de circuit de commutation et le boîtier** **C_p**

capacité de couplage entre toutes les bornes connectées ensemble et l'embase (ou la surface du dissipateur thermique)

NOTE Cette capacité peut servir de shuntage pour les courants parasites à haute fréquence qui causent des perturbations électromagnétiques (EMI).

3.14**aptitude aux itérations de puissance (charge)** **$N_{f,p}$**

nombre de cycles de puissance $N_{f,p}$ jusqu'à défaillance, d'un pourcentage cumulatif p (= percentile) d'une population de dispositifs

NOTE Le paragraphe 7.4.6 de la CEI 60747-2 (diodes) et 9.4.6 de la CEI 60747-6 (thyristors) définissent "l'essai d'aptitude aux itérations de puissance en charge". Le paragraphe 10.1.3.3 de l'Amendement 1 de la CEI 60747-9 (IGBT) définit "les essais de durée de vie en fonctionnement intermittent".

4 Symboles littéraux**4.1 Généralités**

La CEI 60747-1 s'applique.

4.2 Symboles et indices supplémentaires

p = parasite

ref = point de référence (pour mesurer des températures)

s = dissipateur thermique (indice de la température du dissipateur thermique T_s)

t = temps (paramètre) utilisé pour les courants et les tensions en fonction du temps: entre parenthèses: (t)

t = borne (indice du couple de serrage à la borne M_t)

1 = côté primaire (d'un transformateur ou d'une entrée de commande)

2 = côté secondaire (côté sortie de puissance)

4.3 Liste de symboles littéraux

4.3.1 Tensions et courants (voir également la CEI 60747-1)

Courant de borne	I_{tRMS}
Tension d'isolement	V_{isol}
Tension d'apparition de décharge partielle	V_i
Tension d'extinction de décharge partielle	V_e
Courant de fuite d'isolement	I_{isol}
Courant de crête de non-rupture de boîtier (pour dispositifs à diode et à thyristor)	I_{RSMC}
Courant de crête de non-rupture de boîtier (pour dispositifs IGBT et MOSFET)	I_{CNR}

4.3.2 Termes mécaniques

Couple de serrage pour des vis du dissipateur thermique	M_s	voir Note 1
Couple de serrage pour des vis des bornes	M_t	voir Note 1
Force de serrage pour les dispositifs montés par pression	F	
Accélération maximale pour chacun des 3 axes (x, y, z)	a	
Masse	m	
Planéité du boîtier (embase, surface de refroidissement)	e_c	voir Note 2
Planéité de la surface de refroidissement (dissipateur thermique)	e_s	
Rugosité du boîtier (embase)	R_{Zc}	voir Note 3
Rugosité de la surface de refroidissement (dissipateur thermique)	R_{Zs}	voir Note 3
Épaisseur de la graisse thermique (boîtier – dissipateur)	$D_{(c-s)}$	voir Annexe B

NOTE 1 Selon des instructions de montage données. Les propriétés des composés thermiques sont présentées dans les instructions de montage.

NOTE 2 Se reporter, par exemple, à la CEI 60191-2:1995, dimension 191-IEC-080B (module de 34 mm de largeur) et dimension 191-IEC-081B (module de 62 mm de largeur), écart de planéité de 100 µm – voir Note 4.

NOTE 3 Aux Etats-Unis, on utilise R_a à la place de R_z , (R_z vaut environ $3 \cdot R_a$). Il n'existe pas de facteur fixe entre ces deux paramètres.

NOTE 4 Exemple: plan de siège. L'écart de planéité doit être <20 µm pour le cas concave et <100 µm pour le cas convexe, la rugosité <10 µm. La planéité et la rugosité doivent être spécifiées, par exemple comme cela est défini dans la CEI 60191-2 associée.

4.3.3 Autres termes

Dissipation de puissance maximale totale par élément de circuit fonctionnel à $T_c = 25\text{ °C}$	P_{tot}
Inductance parasite, effective entre les bornes x et y ou entre les bornes et les puces (à spécifier)	L_{Pxy}
Capacité parasite entre toutes les bornes connectées ensembles et la surface de refroidissement (boîtier, embase, terre)	C_P
Résistance ohmique du fil entre la borne x et l'élément de circuit fonctionnel x' correspondant	$R_{xx'}$
Température des bornes	T_t
Température des capteurs	T_{sen}
Température significative du capteur de température N°1 (à spécifier)	T_{sen1}
Température significative du boîtier au point de référence (à spécifier)	T_{cref}
Nombre de cycles de puissance en charge jusqu'à défaillance d'un pourcentage p d'une population de dispositifs	$N_{f;p}$

5 Valeurs assignées (valeurs limites) et caractéristiques essentielles

5.1 Généralités

Il convient que les dispositifs de puissance à semiconducteurs isolés soient spécifiés comme des dispositifs spécifiés avec boîtier ou avec dissipateur thermique.

NOTE Les valeurs réelles de tension d'isolement, de tension de décharge partielle, de ligne de fuite et de distance d'isolement ne sont pas décrites dans la présente norme. Les valeurs doivent être basées sur chaque norme, qui sera appliquée à n'importe quel équipement utilisant des dispositifs de puissance à semiconducteurs isolés.

5.1.1 Températures

Il convient que les valeurs assignées et les caractéristiques soient établies à une température de 25 °C ou à une température plus élevée spécifiée dans l'Amendement 3 (1996) de la CEI 60747-1.

NOTE $T_{\text{stg}} = -40\text{ °C}$ est spécifiée dans la CEI 60749-25.

5.1.2 Caractéristiques climatiques

Les valeurs limites des paramètres d'environnement pour l'application finale sont les suivantes:

- température ambiante;
- humidité;
- vitesse et pression d'air;
- irradiation du soleil et d'autres sources de chaleur;
- substances actives mécaniques;
- substances actives chimiques;
- problèmes biologiques.

Elles doivent être décrites par classe, comme spécifié dans le Tableau 1 et à l'Annexe C de la CEI 60721-3-3.

5.2 Valeurs assignées (valeurs limites)

Sauf spécification contraire, toutes les valeurs assignées limites s'appliquent à une température de 25 °C ou à une température plus élevée spécifiée dans la liste de la CEI 60747-1. Les caractéristiques assignées suivantes doivent être valables dans tout le domaine des conditions de fonctionnement indiquées pour le dispositif considéré.

5.2.1 Tension d'isolement V_{isol}

Valeur efficace ou continue maximale entre les bornes isolées et l'embase, appliquée entre les bornes à haut potentiel toutes connectées les unes aux autres et le potentiel de terre de l'embase (ou du dissipateur thermique situé dessous) pendant une durée spécifiée pendant la procédure d'essai finale du dispositif et de l'équipement final pour assurer la capacité d'isoler le système électrique du potentiel de terre.

NOTE 1 Les informations détaillées sur l'essai de tension d'isolement du diélectrique pour l'isolation solide doivent être sécurisées selon 2.2.2.2, 4.1.2, 4.1.2.1 et 4.1.2.3.1 de la CEI 60664-1 (pour les équipements basse tension), de la CEI 61287 (pour le matériel roulant) en fonction de la catégorie de surtension (application), de la tension de service maximale appliquée, etc.

NOTE 2 Les valeurs spécifiées sont à l'étude. La future CEI 62103 (= EN 50178) propose des tensions d'isolement réduites par rapport aux tensions précédentes.

5.2.2 Courant de crête de non-rupture de boîtier (s'il y a lieu)

Surintensité qui n'entraîne pas l'éclatement du boîtier ou le rejet de plasma et de particules.

5.2.2.1 Courant de crête de non-rupture de boîtier (I_{RSMC}) de modules à diodes et à thyristors isolés

Courant de crête inverse maximal d'une onde demi-sinusoïdale (par exemple 10 ms), lorsque le dispositif a perdu sa capacité de blocage inverse, qu'il convient de ne pas dépasser pour éviter une rupture du boîtier ou le rejet de plasma ou de particules massives.

NOTE Spécifié dans la CEI 60747-2 pour les dispositifs à diodes, et dans la CEI 60747-6 pour les dispositifs à thyristors.

5.2.2.2 Courant de crête de non-rupture de boîtier (I_{CNR}) de modules à transistors bipolaires, à IGBT et à MOSFET

Courant de crête de collecteur maximal pendant un court-circuit qu'il convient de ne pas dépasser pour éviter une rupture du boîtier ou le rejet de plasma ou de particules massives dans des conditions spécifiées, c'est-à-dire de durée $t_{\text{p(SC)}}$ et de forme d'onde spécifiées, à une tension d'excitation continue V_{CC} (par exemple deux tiers de V_{CES}), des conditions d'excitation et une énergie stockée E_{C} maximale du condensateur de ligne d'alimentation continue, C , et une inductance de court-circuit L_{SC} spécifiée (voir Note 4 ci-dessous et l'Annexe A).

NOTE 1 Si un dispositif isolé subit un court-circuit, alors la plupart de l'énergie stockée dans le système est déchargée dans le dispositif. La source principale d'une telle énergie est le condensateur de ligne continue. En raison de la très faible inductance parasite (entre 5 nH et 100 nH) dans le circuit avec des dispositifs à IGBT isolés, la durée caractéristique pour la décharge de l'énergie est seulement 30 µs à 100 µs. D'autres parties du système peuvent avoir des énergies stockées supérieures (par exemple des transformateurs, des moteurs, etc.), mais leur durée de décharge caractéristique est considérablement plus longue.

NOTE 2 Pour les dispositifs à IGBT isolés à liaison filaire, la limite minimale pour le rejet de matériau (explosion du dispositif) est à une énergie capacitive stockée d'environ 10 kJ. Il est donc nécessaire, dans certaines applications, de vérifier la fiabilité du dispositif isolé par une procédure d'essai et de mesure.

NOTE 3 A spécifier pour les IGBT dans la CEI 60747-9.

NOTE 4 $L_{\text{SC}} = L_{\text{LSC}} + L_{\text{CSC}} + L_{\text{P}}$

où

L_{sc} est l'inductance de court-circuit complet entre le 'plus' et le 'moins';

L_{LSC} est la valeur d'inductance de la charge court-circuitée;

L_{CSC} est l'inductance parasite de la batterie de condensateurs;

L_P est l'inductance parasite interne du module entre la borne de collecteur et d'émetteur respectivement entre la barre omnibus positive et la barre omnibus négative.

5.2.3 Courant maximal aux bornes (I_{tRMS}) (s'il y a lieu)

Valeur efficace maximale du courant à travers la borne principale dans des conditions spécifiées telles que le couple de serrage minimal M_t et la température de borne maximale autorisée ($T_{tmax} = T_{stg}$ ou $T_{tmax} = < T_{vjmax}$).

NOTE 1 Des exemples incluent la borne commune de dispositifs contenant plusieurs éléments de circuit fonctionnels isolés, tous reliés à une borne, c'est-à-dire un sixpack, etc.

NOTE 2 Il ne devrait pas être nécessaire de réduire ce courant en fonction de la température de jonction, puisque la dissipation causée dans les bornes ne se produit pas dans la jonction à semi-conducteurs et il convient de le retirer des connexions.

5.2.4 Dissipation totale de puissance (P_{tot})

Valeur maximale par élément de circuit fonctionnel à $T_c = 25^\circ\text{C}$ (ou $T_s = 25^\circ\text{C}$), lorsque $T_{vj} = T_{vjmax}$, sous une charge en courant continu, ne concernant aucune dissipation de puissance provoquée par commutation ni aucune résistance de sortie de connexions internes.

$$P_{tot} = V \cdot I - (R_{cc} + R_{ee}) I^2 \quad (1)$$

où

V est la tension directe mesurée entre les bornes principales associées;

I est le courant moyen maximal admissible;

$(R_{cc} + R_{ee})$ est la résistance de sortie des bornes.

$$P_{tot} = (T_{vjmax} - T_c) / R_{th(j-c)} \quad (2)$$

pour les dispositifs spécifiés avec boîtier, respectivement

$$P_{tot} = (T_{vjmax} - T_s) / R_{th(j-s)} \quad (3)$$

pour les dispositifs spécifiés avec dissipateur thermique.

5.2.5 Températures minimale et maximale de dispositifs isolés (T_{stg} , T_c , T_{vj} , T_{sold})

Température de brasure maximale autorisée T_{sold} pendant le processus de brasure sur un temps d'exécution de brasure t_{sold} spécifié. Pour les autres températures, voir l'Amendement 3 de la CEI 60747-1.

NOTE Ceci est important pour les bornes brasables pour montage sur circuit imprimé (PCB), spécialement important pour le brasage sans plomb, voir aussi la CEI 60068-2-58.

5.2.6 Valeurs assignées de limites mécaniques

Valeurs limites autorisées qui ne causent pas de dommage ni de défaillance mécaniques, mais assurent une fonction mécanique sur la durée de vie du dispositif et sont nécessaires pour satisfaire aux valeurs de la fiche technique:

- couple de serrage minimal et maximal M_s pour les vis du dissipateur thermique (à spécifier) (voir Note 1);

- couple de serrage minimal et maximal M_t pour les vis des bornes (à spécifier) (voir Note 1);
- force de serrage minimale et maximale F pour les dispositifs montés par pression (voir Note 1);
- force de traction maximale F_t pour bornes (robustesse) (voir CEI 60749-14);
- accélération maximale, a , sur chacun des 3 axes (x, y, z) (voir CEI 60749-36, CEI 60068-2-7 et CEI 60068-2-47);
- planéité e_c du boîtier (embase) (voir Note 2 et CEI 60191-2);
- rugosité R_{zc} du boîtier (embase) (voir Note 3 et CEI 60191-2);
- planéité e_s de la surface du dissipateur thermique nécessaire (voir instructions de montage du fabricant).

NOTE 1 Selon des instructions de montage données. Les propriétés des composés thermiques sont présentées dans les instructions de montage et à l'Annexe B.

NOTE 2 Par exemple, dans la CEI 60191-2:1995, les dimensions 191-IEC-108 B (module à transistors de 34 mm de largeur) et 191-IEC-108 B (module à transistors de 62 mm de largeur) décrivent l'écart maximal de planéité de 100 μm (voir Note 4).

NOTE 3 Aux Etats-Unis, on utilise R_a à la place de R_z , (R_z vaut environ $3 \cdot R_a$). Il n'existe pas de facteur fixe entre ces deux paramètres.

NOTE 4 Par exemple, l'écart de plan de siège par rapport à la planéité doit être $< 20 \mu\text{m}$ (cas concave) et $< 100 \mu\text{m}$ (cas convexe), la rugosité $R_{zc} < 10 \mu\text{m}$. Si un composé thermique est utilisé, $R_{zc} < 64 \mu\text{m}$ peut également convenir (voir les instructions du fabricant). La planéité et la rugosité sont définies dans la publication CEI 60191-2 associée. Se reporter à l'Annexe B pour les dimensions de boîtiers normalisées par la CEI.

5.2.6.1 Couple de serrage minimal pour des vis de dissipateurs thermiques (M_s)

Couple de serrage minimal qui doit être appliqué aux vis de fixation du dissipateur thermique nécessaire pour garantir les valeurs de la fiche technique de résistance thermique, en se basant sur les instructions de montage du fabricant.

5.2.6.2 Couple de serrage minimal des vis de bornes (M_t)

Couple de serrage minimal qui doit être appliqué aux vis des bornes principales nécessaire pour garantir les valeurs de la fiche technique du courant limite admissible, en se basant sur les instructions de montage.

5.2.6.3 Force minimale de serrage (F)

Force de serrage minimale pour les dispositifs montés par pression, à fixation par agrafes, qui doit être appliquée au dispositif de contact par pression isolé, nécessaire pour garantir les valeurs de la fiche technique de résistance thermique et de courant limite admissible.

NOTE De tels dispositifs incluent des dispositifs discrets isolés avec une surface de refroidissement métallique (avec des dimensions 191-IEC I-73a de la CEI 60191-2, également appelées dimensions de boîtier JEDEC TO-220, ou de dimensions de boîtier similaires).

5.2.6.4 Force de traction sur les bornes maximale autorisée (F_t)

Valeur maximale autorisée de la force insuffisante pour sortir la borne de sa position et qui n'endommage pas le boîtier du dispositif, respectivement le contact électrique approprié.

NOTE 1 Il convient d'éviter toute traction sur les sorties et/ou les vibrations mécaniques.

NOTE 2 Dans certains cas, aucune force de traction sur les bornes n'est acceptable: $F_t = 0$.

5.3 Caractéristiques

5.3.1 Distances

5.3.1.1 Distance de ligne de fuite sur la surface (d_s)

Valeur minimale de la distance sur la surface du matériau isolant du dispositif entre les bornes à différents potentiels et l'embase.

NOTE 1 LA CEI 60112 et 2.7 et 3.2 de la CEI 60664-1, ainsi que la Figure D.1 s'appliquent.

NOTE 2 Le paragraphe 4.2 de la CEI 60664-1 donne des exemples typiques de différentes formes de lignes de fuite, alors que 2.5 indique les degrés de pollution et le Tableau 2 donne les distances d'isolement minimales.

NOTE 3 Des intervalles d'air entre une surface en plastique et du métal relié à la terre ou entre des bornes de polarité opposée inférieure à 1,0 mm (pour le degré de pollution 2), ou 1,5 mm (pour le degré de pollution 3) raccourcissent considérablement l'estimation de la ligne de fuite (des détails sont données dans les exemples de la CEI 60664-1). Ceci est important, si de la poussière, de l'humidité ou des salissures commencent à recouvrir la surface. En effet, ceci augmente le courant de fuite en surface et le matériau en plastique d'enrobage pourrait commencer à brûler.

5.3.1.2 Distance d'isolement dans l'air (d_a)

Valeur minimale de la distance dans l'air entre des bornes de polarité différente du dispositif isolé et l'embase.

NOTE Des détails sont donnés en 2.5 de la CEI 60664-1 (degré de pollution) et en 3.1, Tableaux 1 et 2. Se reporter également à 4.2 de la CEI 60664-1 qui donne des exemples typiques de différentes formes de distances d'isolement.

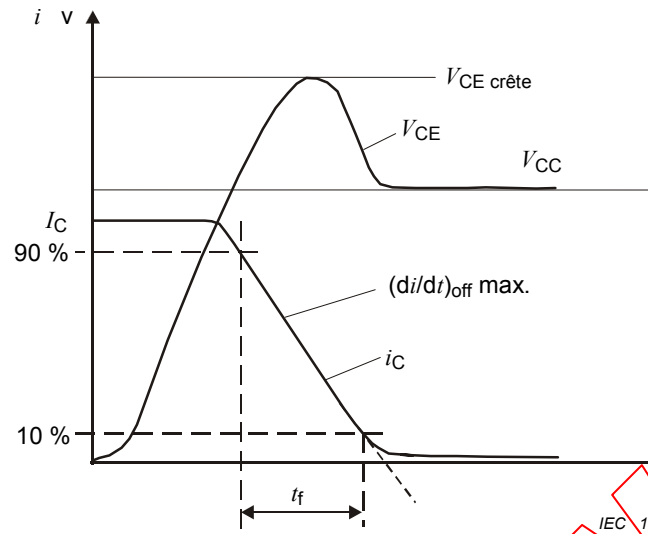
5.3.2 Inductance parasite (L_p)

Valeur maximale ou typique de l'inductance parasite du câblage interne de l'élément de circuit, dans le chemin de courant principal entre les bornes principales.

NOTE 1 L'impulsion de tension au moment de la commutation à l'état bloqué peut être supérieure à la tension continue V_{CC} au niveau de la puce, et supérieure à la tension mesurée entre les bornes.

NOTE 2 La valeur des inductances parasites du câblage interne L_p doit être indiquée comme suit:

- pour les interrupteurs uniques, entre les bornes principales dans le chemin de courant principal, par exemple L_{CE} entre la borne du collecteur et la borne de l'émetteur d'un interrupteur simple à IGBT;
- pour les interrupteurs doubles, les bras de phase de demi-pont, les sixpacks, les découpeurs, etc., entre les bornes principales dans le chemin de courant principal à connecter à la liaison en courant continu, par exemple L_{CE} entre le collecteur C1 de l'IGBT supérieur, à connecter au 'plus' d'une liaison en courant continu, et l'émetteur E2 de l'IGBT inférieur, à connecter au 'moins' de la liaison en courant continu;
- pour les autres: entre la borne principale x et la puce associée x' (à spécifier):



$$(di/dt)_{off} = \max di/dt \text{ (valeur lue sur l'oscilloscope)} = \text{environ } 0,8 \cdot I_C / t_f \quad (4)$$

$$V_{CE \text{ crête}} - V_{CC} = -L_P \cdot (di/dt)_{off} \quad (5)$$

Figure 1a – Inductance parasite L_P créant une impulsion de surtension à $(di/dt)_{off}$ au niveau de la puce

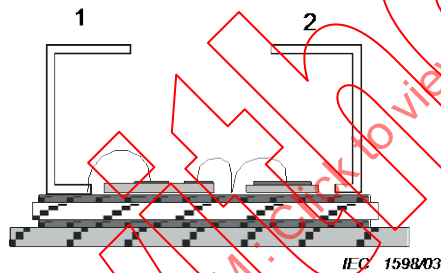


Figure 1b – Mécanique de base

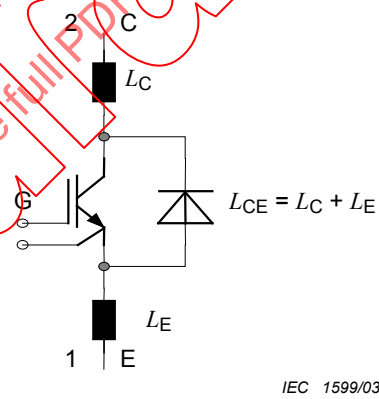


Figure 1c – Inductances parasites à l'intérieur d'un interrupteur simple

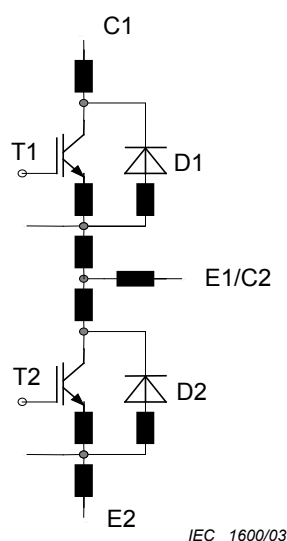


Figure 1d – Réseau d'inductances parasites (L_p) à l'intérieur d'un dispositif à interrupteur double

Figure 1 – Explication des inductances parasites L_p

La définition d'une inductance parasite L_p d'un câblage interne entre les bornes de puissance du dispositif et les éléments de circuit est donnée en 3.12 ci-dessus. Le cas échéant, il convient de donner un schéma de circuit équivalent de tous les éléments parasites, particulièrement utile pour les simulations. Voir la Figure 2, ci-dessous.

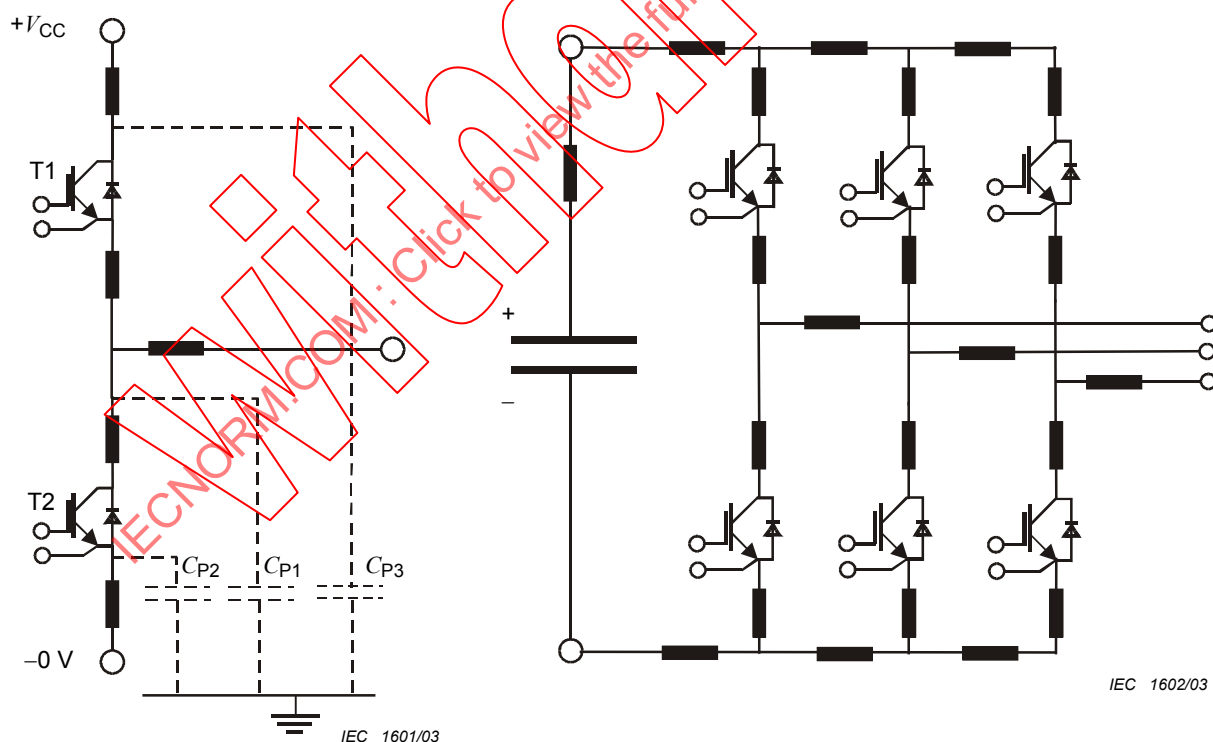


Figure 2a – L_p et capacités parasites C_p d'un module IGBT double

Figure 2b – L_p d'un module à IGBT en pont inverseur triphasé

Figure 2 – Exemples d'inductances parasites L_p distribuées

5.3.3 Capacité parasite entre des éléments de circuit de commutation et le boîtier (C_p)

Valeur maximale d'une capacité parasite des parties métalliques sur la couche d'isolement entre toutes les bornes, connectées les unes aux autres, et la surface de refroidissement, c'est-à-dire l'embase du boîtier, reliée à la terre.

5.3.4 Tension d'apparition de décharge partielle (V_{iM} ou $V_{i(RMS)}$) (s'il y a lieu)

Valeur de crête minimale V_{iM} ou valeur efficace $V_{i(RMS)}$ entre les bornes isolées et l'embase, à laquelle de telles décharges sont observées (pour les détails, voir la CEI 60270).

NOTE Dans la pratique, pour des tests au niveau composant, la tension d'apparition V_i est la plus basse tension à laquelle l'amplitude de décharge partielle dépasse une charge de 10 pC.

5.3.5 Tension d'extinction de décharge partielle (V_{eM} ou $V_{e(RMS)}$) (s'il y a lieu)

Valeur de crête minimale V_{eM} ou valeur efficace $V_{e(RMS)}$ entre les bornes isolées et l'embase, à laquelle de telles décharges sont observées (pour les détails de mesure, voir la CEI 60270).

NOTE Dans la pratique, pour des essais au niveau composant, la tension d'extinction V_e est la plus basse tension à laquelle l'amplitude de décharge partielle devient inférieure à 10 pC.

5.3.6 Résistances thermiques ($R_{th(....)}$; $R_{th(j-c)}$; $R_{th(c-s)}$; $R_{th(j-s)}$; $R_{th(j-a)}$)

Valeur maximale ou typique de la résistance thermique $R_{th(j-c)}$ entre la jonction (j) et le boîtier (c) (embase), etc., en utilisant un point de référence externe spécifié $T_{c\text{ ref}}$ sur l'embase.

NOTE 1 Le document de base pour $R_{th(....)}$ est la CEI 60747-1.

NOTE 2 Il convient d'indiquer $R_{th(j-c)}$ pour déterminer la température de jonction virtuelle de chaque puce en fonction de la température du point de référence et de la dissipation de puissance dans la puce.

Résistance thermique

$R_{th(j-c)}$ est la valeur entre la jonction et le boîtier (embase avec température de point de référence $T_{c\text{ ref}}$).

$R_{th(c-s)}$ est la valeur entre le boîtier et le dissipateur thermique (température de point de référence $T_{s\text{ ref}}$).

$R_{th(j-s)}$ est la valeur entre la jonction et le dissipateur thermique (pour dispositifs spécifiés avec dissipateur thermique),

$R_{th(j-a)} = R_{th(j-c)} + R_{th(c-s)} + R_{th(s-a)}$ est la somme entre la jonction et la température ambiante T_a .

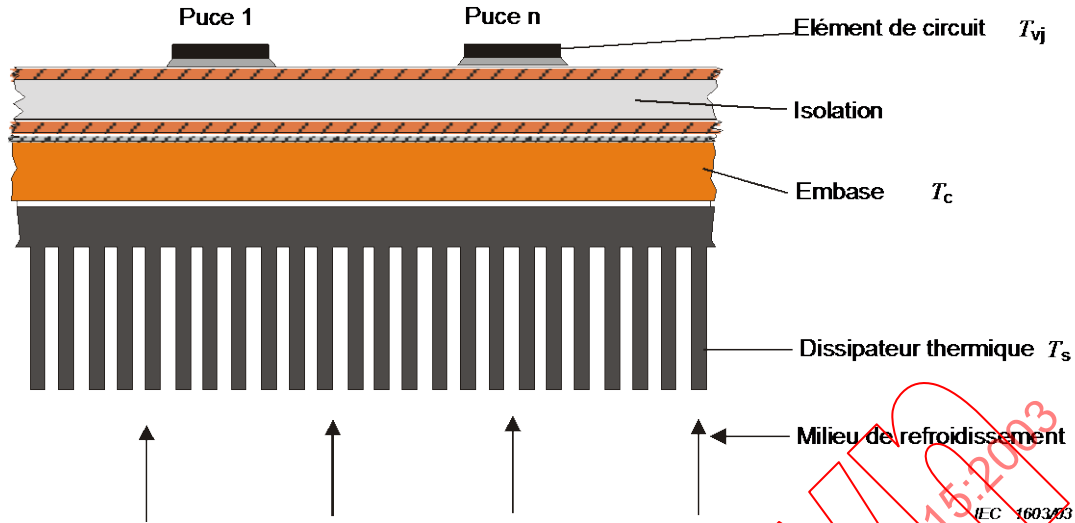
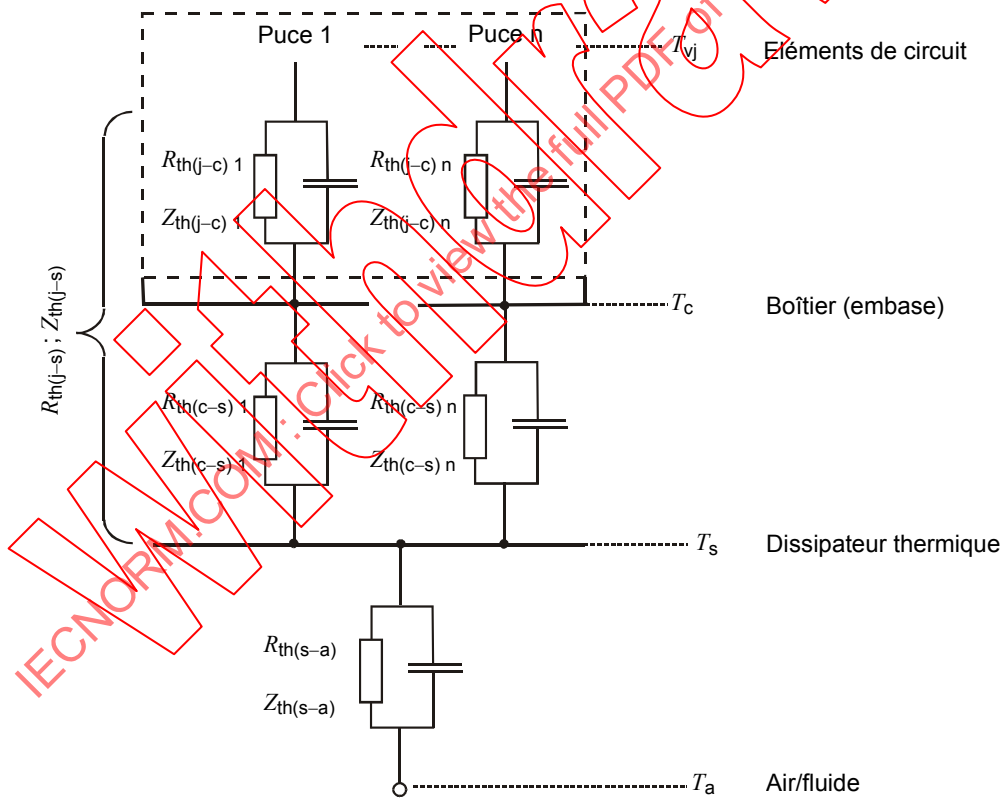


Figure 3a – Exemple de coupe transversale d'un dispositif de puissance isolé monté sur un dissipateur thermique, avec les températures T_{vj} , ..., T_a



IEC 1604/03

Figure 3b – Modèle schématique de résistances thermiques d'éléments de circuit $R_{th(j-c)}$, $R_{th(c-s)}$, $R_{th(s-a)}$, resp. $Z_{th(j-c)}$, $Z_{th(j-s)}$ et $Z_{th(j-a)}$

$$R_{th(j-a)} = R_{th(j-c)} + R_{th(c-s)} + R_{th(s-a)} \quad (6)$$

$$Z_{th(j-a)} = Z_{th(j-c)} + Z_{th(c-s)} + Z_{th(s-a)} \quad (7)$$

5.3.6.1 Résistance thermique jonction – boîtier ($R_{th(j-c)}$)

Valeur maximale de la résistance thermique entre jonction et boîtier par élément de circuit pour des dispositifs spécifiés avec boîtier est donnée par

$$R_{th(j-c)} = (T_{vj} - T_c) / P_{tot} \quad (8)$$

où

T_{vj} est la température de jonction virtuelle de l'élément de circuit fonctionnel (puce);

T_c est la température mesurée du boîtier (embase);

P_{tot} est la dissipation de l'élément de circuit fonctionnel.

5.3.6.2 Résistance thermique boîtier – dissipateur thermique ($R_{th(c-s)}$)

Valeur maximale ou typique de la résistance thermique entre boîtier et dissipateur thermique des dispositifs isolés spécifiés avec boîtier ("module"), lorsque le boîtier est monté conformément à 5.2.6 Note 1.

5.3.6.3 Résistance thermique boîtier – dissipateur thermique par élément de circuit ($R_{th(c-s)}(X)$) (s'il y a lieu)

Valeur maximale ou typique de la résistance thermique entre boîtier et dissipateur thermique de l'élément de circuit fonctionnel respectif "X" (par exemple de la diode (D), du thyristor (T), de l'IGBT (I) ou du MOSFET (M)) des dispositifs isolés spécifiés avec boîtier ("module"), lorsque le boîtier est monté conformément à 5.2.6 Note 1.

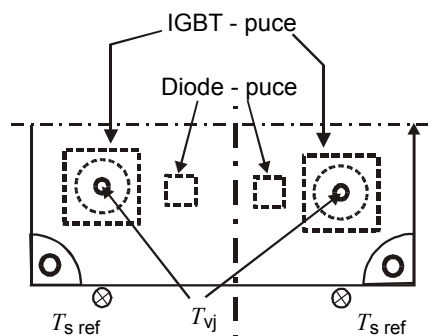
$$R_{th(c-s)}(X) = (T_{vj} - T_s) / P_{tot(X)} \quad (9)$$

où $P_{tot(X)}$ est la dissipation totale de puissance de l'élément de circuit fonctionnel respectif "X" (par exemple de la diode (D), du thyristor (T), de l'IGBT (I) ou du MOSFET (M)) à la charge spécifiée, transférée sous la puce de l'embase (surface de refroidissement du boîtier) vers le dissipateur thermique.

5.3.6.4 Résistance thermique jonction – dissipateur thermique ($R_{th(j-s)}$)

Valeur maximale ou typique de la résistance thermique entre jonction et dissipateur thermique (pour des dispositifs isolés spécifiés avec dissipateur thermique), lorsque le dispositif est monté conformément à 5.2.6 Note 1.

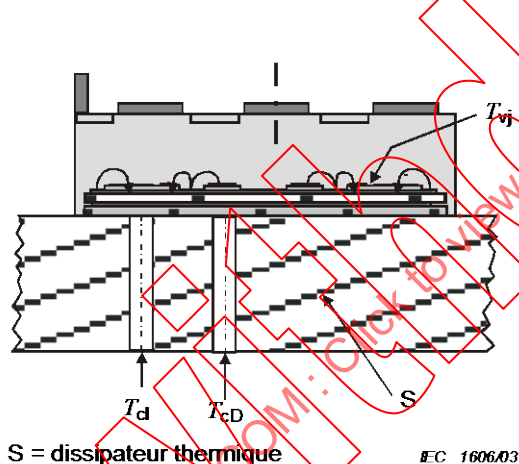
$$R_{th(j-s)} = (T_{vj} - T_s) / P_{tot} \quad (10)$$



IEC 1605/03

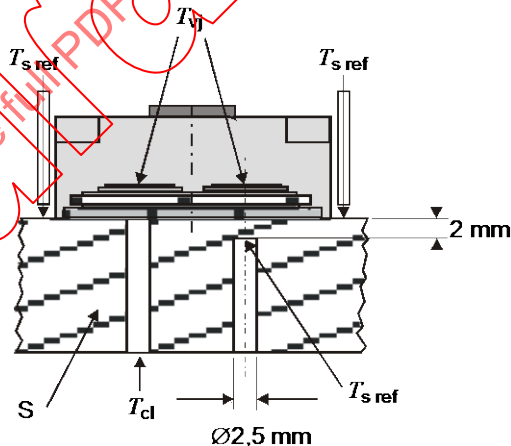
NOTE Le point de référence recommandé T_{sref} pour T_s est aussi proche que possible de la puce sur la longueur du module sur le dissipateur thermique mesuré depuis le dessus, parce que l'accès est généralement plus facile que par le dessous à travers le dissipateur thermique. La résistance thermique $R_{th(c-s)}$ dépend de plusieurs paramètres mécaniques tels que le type et l'épaisseur de la graisse thermique utilisée (il convient qu'ils soient spécifiés dans les instructions de montage du fabricant, par exemple 30 μm à 50 μm), l'écart maximal de planéité de la surface de refroidissement de l'embase du dispositif et du dissipateur thermique et le couple de serrage des vis de fixation, selon des instructions de montage spécifiées.

Figure 4a – Dispositif spécifié avec boîtier, vu de dessus



S = dissipateur thermique

IEC 1606/03



IEC 1607/03

Figure 4b – Dispositif spécifié avec boîtier, vue en coupe

Figure 4c – Dispositif spécifié avec dissipateur thermique, vue en coupe

Figure 4 – Points de référence pour la mesure des températures T_{vj} , T_c , T_{cl} , T_{cD} et T_s à spécifier pour un dispositif de puissance isolé, vu de dessus

A la Figure 4a, T_s est mesurée de dessus au point accessible le plus chaud et le plus proche de l'élément de circuit (puce) (voir note ci-dessous).

A la Figure 4b, le dispositif isolé est vu en coupe depuis le devant. $T_c = T_{cl}$, (sous une puce à IGBT), respectivement T_{cD} (sous une puce à diode), sont mesurées de dessous.

A la Figure 4c, le dispositif isolé ne comporte pas d'embase (ou n'a pas embase accessible). T_s est mesurée de dessous à travers un trou enfoui spécifié de 2,5 mm de diamètre dont le fond est à 2 (± 1) mm en dessous de la surface du dissipateur thermique (à spécifier, montage d'essai type).

5.3.6.5 Impédance thermique transitoire Z_{th}

Résistance thermique en fonction du temps t de la durée d'impulsion t_p écoulée après une variation d'échelon de dissipation de puissance $Z_{th(j-c)}$ ou $Z_{th(j-s)}$ et doit être spécifiée selon une des manières suivantes:

- A Eléments de résistance thermique $R_{th1}...R_{thn}$ et capacités thermiques $C_{th1}...C_{thn}$ d'un réseau RC thermique; ou
- B Eléments de résistance thermique $R(i)$ et constantes de temps thermique $\tau(i)$ avec $i = 1$ à n du réseau RC thermique équivalent résultant, pour le calcul thermique et la simulation de $T_{vj} = f(t)$ dérivés d'une analyse de Fourier de $Z_{th}(t)$ en mesurant $T_{vj} = f(t)$ (préférentiel).
- C Courbe $Z_{th(j-c)}(t)$ pour un fonctionnement à une seule impulsion, commençant à un intervalle de temps d'une largeur d'impulsion typique à l'application, par exemple 10 ms pour un thyristor, 10 μ s pour un IGBT, et se terminant en régime permanent $R_{th(j-c)}$ (voir Figure 5).

Il convient qu'une courbe soit donnée (voir Figure 5) représentant l'impédance thermique transitoire maximale Z_{th} en fonction du temps t_p écoulé après une variation d'échelon de dissipation de puissance, s'étendant d'une valeur en régime permanent $R_{th(j-c)}$ pour des durées de plus d'1 s à moins d'1 ms (10 μ s pour des modules à IGBT et à MOSFET) ou, en variante, une relation d'éléments mathématiques $R(i)$ et $\tau(i)$ doit être spécifiée.

NOTE 1 $\tau(i)$ est la constante de temps des parties de $R(i)$ de l'analyse de Fourier pour le calcul et la simulation utilisant un ordinateur.

NOTE 2 L'Annexe A de la CEI 60747-2 (diodes de redressement) et l'Annexe A de la CEI 60747-6 (thyristors) s'appliquent.

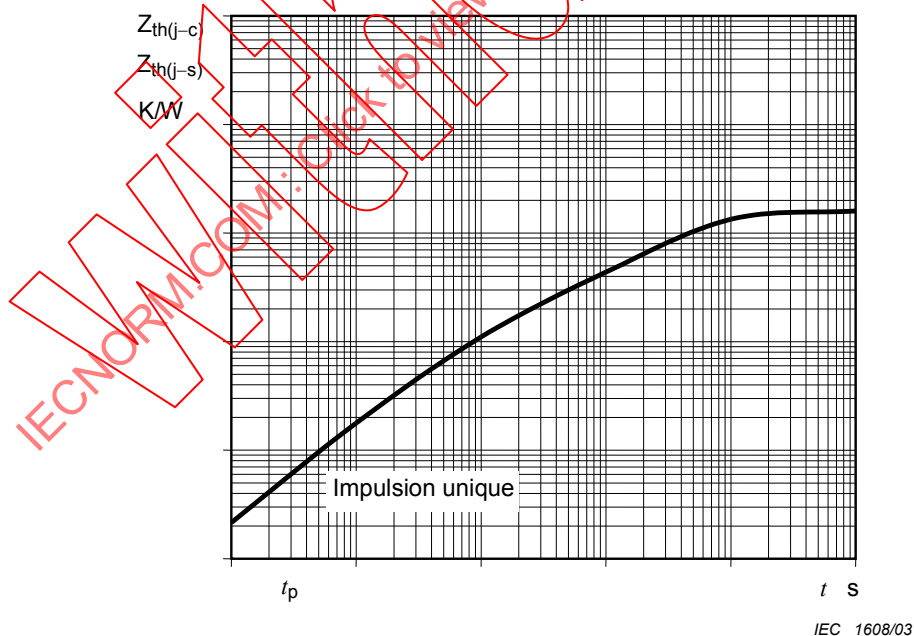


Figure 5 – Impédance thermique transitoire $Z_{th(j-c)} = f(t_p)$ dispositif de puissance à semiconducteurs isolé en fonction de la durée d'impulsion t_p écoulée après une variation d'échelon de dissipation de puissance appliquée

5.3.7 Caractéristiques mécaniques

Les caractéristiques mécaniques sont présentées dans la CEI 60747-1, Chapitre VI, Article 7.

5.3.7.1 Dessin d'encombrement, indication de brochage et schéma de circuit

Les dimensions avec tolérances doivent être spécifiées, le cas échéant, ainsi que l'identification des bornes et une référence à un dessin d'encombrement et à un dessin élémentaire conformes à une norme CEI (voir la CEI 60191-2). Il convient que les tolérances d'encombrement soient basées sur des classes de tolérance spécifiées dans l'ISO 2768-2.

5.3.7.2 Masse (m) du dispositif

La masse doit être fournie sans accessoires (matériels de montage).

5.3.7.3 Marquage

Les dispositifs doivent être marqués de manière lisible et indélébile, avec:

- le nom ou l'identification (logo) du fabricant;
- la désignation ou le numéro de type du fabricant ou du fournisseur;
- le code de date, (format préférentiel: AASS, pour "année et semaine");
- l'identification des bornes, le cas échéant (voir broche n°1, règles de marquage de la CEI 60191-4).

NOTE 1 Un code à barres peut également être appliqué, si l'espace le permet, ou sur la plus petite unité de conditionnement.

NOTE 2 Il convient de sécuriser le caractère permanent du marquage (voir CEI 60749-9).

5.3.7.4 Dispositifs sensibles aux décharges électrostatiques (DES)

Il convient de marquer les dispositifs de puissance à semiconducteurs intelligents (IPM) à IGBT, à MOSFET, mais également certaines diodes, avec le signe approprié (Figure 5 de la CEI 60747-1), au moins sur la plus petite unité de conditionnement. La CEI 60749-26 ou la CEI 60749-27 s'applique.

5.3.7.5 Méthode de fixation prévue

Il convient d'indiquer la méthode de fixation prévue au circuit électrique de l'application (c'est-à-dire brasage, connecteurs FASTON, vissage, enroulement des sorties, contact par pression), ainsi que les instructions de montage.

5.3.8 Caractéristiques climatiques

NOTE Se référer au Tableau 1 de la CEI 60721-3-3 et à l'Annexe C de la présente norme.

6 Vérification des valeurs assignées (valeurs limites)

6.1 Tension d'isolement entre bornes et embase (V_{isol})

Spécifiée au point b) de 4.1.2 de la CEI 60664-1 et en 2.4.6.17 de la CEI 61287-1 ($t = 10$ s).

a) Objet

Cet essai a pour objet de prouver la capacité du dispositif de puissance isolé à supporter la tension d'isolement assignée.

b) Schéma de circuit

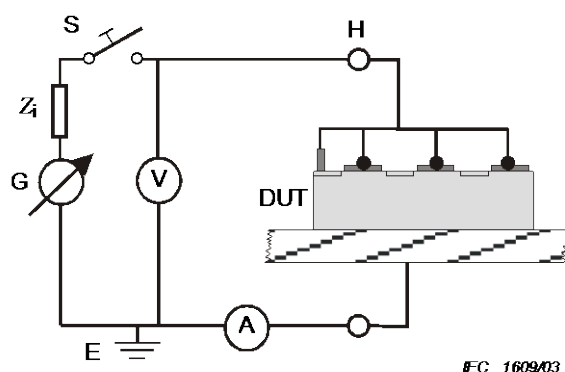


Figure 6 – Schéma du circuit de base pour l'essai de tenue en tension au claquage de l'isolation ("essai d'encapsulation haute tension") avec V_{isol}

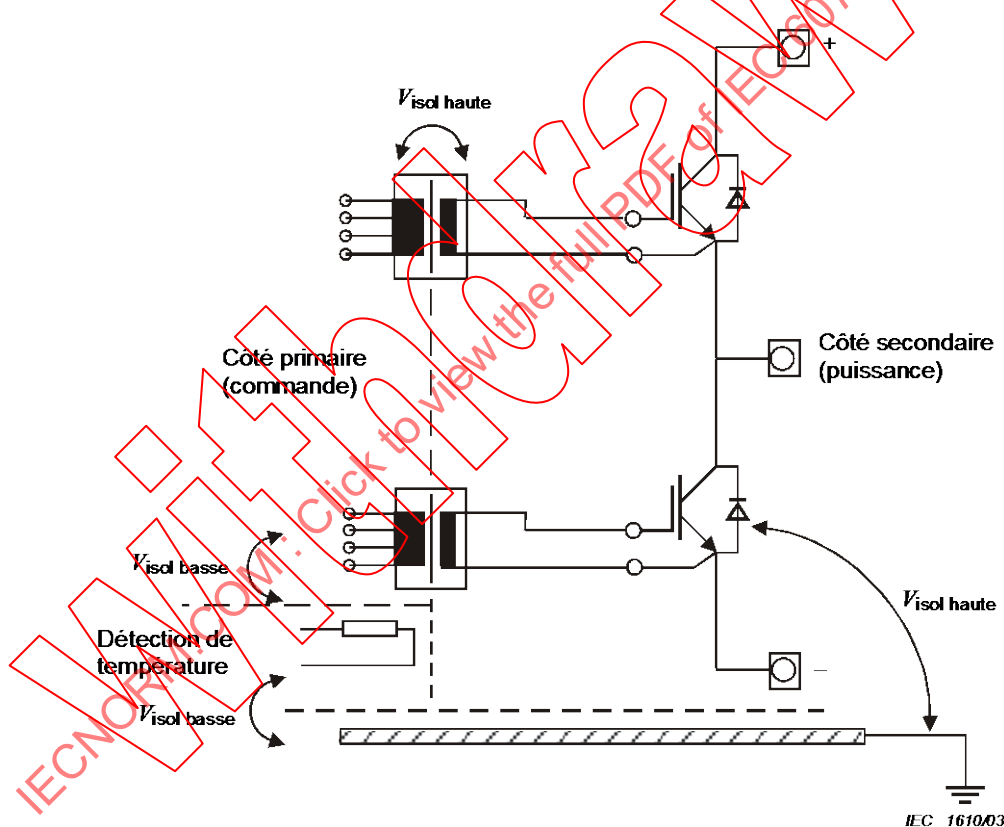


Figure 7 – Niveaux d'isolement d'un dispositif de puissance avec circuits d'attaque et fonctions de protection intégrés

Tension d'isolement total entre les bornes principales à potentiel élevé connectées ensemble, et l'embase et les bornes de commande basse tension connectées ensemble et reliées à la terre.

Une tension d'isolement réduite est appliquée entre les bornes de commande basse tension (détection de température) et l'embase.

c) **Description et exigences du circuit** (voir Figure 6)

G = source de tension à haute impédance Z_i , capable de fournir V_{isol}

S = interrupteur principal

V = voltmètre pour V_{isol}
 A = milliampèremètre ou sonde de courant pour I_{isol}
 E = terre / potentiel de la terre
 H = borne à haut potentiel

d) Procédure d'essai

La source de tension G est capable de délivrer la tension d'isolement V_{isol} comme tension alternative ou continue, avec une impédance interne élevée Z_i pour limiter une éventuelle pointe de courant en cas de claquage du dispositif en essai (DUT). Toutes les bornes principales et les bornes de commande haute tension sont connectées ensemble et sont connectées à la borne de sortie à potentiel élevé H de la source de tension G. L'embase du DUT, respectivement sa surface de refroidissement métallisée, et toutes les bornes basse tension sont connectées au potentiel de la terre E. Un ampèremètre ou une sonde de courant A est inséré pour mesurer le courant de fuite d'isolement.

NOTE Toute borne de commande basse tension doit être mise à la terre avec l'embase.

Ensuite, l'interrupteur S est fermé et la tension est augmentée progressivement d'environ 0 à 50 % de la tension V_{isol} assignée, puis lentement jusqu'à la tension V_{isol} assignée, en maintenant cette tension pendant 1 min pour l'essai de type ou 1,2 fois cette tension pendant 1 s dans un essai de production à 100 %, avec le courant de fuite inférieur à la valeur spécifiée pour les dispositifs ayant réussi l'essai. Se reporter à 4.1.2.3 de la CEI 60664-1 pour plus de détails.

e) Conditions spécifiées

- température ambiante ou de boîtier;
- V_{isol} ;
- I_{isol} en tant que limite maximale d'essai;
- temps d'essai t , si inférieur à 60 s.

6.2 Courant de crête de non-rupture de boîtier

6.2.1 Courant de crête de non-rupture de boîtier (I_{RSMC}) de dispositifs à diodes et à thyristors isolés

NOTE La méthode d'essai est spécifiée en 7.3.4 de la CEI 60747-2 pour les diodes et en 9.3.6 de la CEI 60747-6 pour les thyristors.

6.2.2 Courant de crête de non-rupture de boîtier (I_{CNR}) de transistors bipolaires, d'IGBT et de MOSFET

NOTE Cette méthode d'essai est toujours à l'étude. Une définition est donnée en 3.10.2. Des détails sont donnés en 5.2.2.2 et des méthodes d'essai proposées sont présentées à l'Annexe A.

6.3 Courant maximal aux bornes (I_{IRMS})

Cet essai a pour objet de prouver la capacité de toutes les bornes principales du dispositif de puissance isolé à supporter le courant assigné maximal aux bornes sans dépasser sa température admissible maximale T_t (à spécifier, voir 5.2.3 ci-dessus).

NOTE La partie applicable de la CEI 60747 relative aux éléments de circuits fonctionnels appropriés s'applique pour la valeur du courant assigné (maximum absolu).

6.4 Essai aux surintensités (non répétitif) (I_{FSM} ; I_{TSM})

NOTE Pour les dispositifs à liaison filaire tels que les modules à diodes, à thyristors, à IGBT et à MOSFET, qui peuvent également être utilisés comme des redresseurs d'entrée, la robustesse des liaisons peut être soumise à un essai, à savoir un essai aux surintensités (non répétitif) (I_{FSM}). Se reporter à la CEI 60747-2, qui s'applique aux diodes du dispositif et à la CEI 60747-6, qui s'applique aux thyristors du dispositif.

7 Méthodes de mesure des caractéristiques

Objet

L'objet de cette mesure est de confirmer que les valeurs caractéristiques sont maintenues.

7.1 Tensions assignées d'apparition et d'extinction de décharge partielle (V_i) (V_e)

7.1.1 Tension assignée d'apparition de décharges partielles (V_i)

Entre bornes à haut potentiel et embase (s'il y a lieu).

7.1.2 Tension assignée d'extinction de décharges partielles (V_e)

Entre bornes à haut potentiel et embase (s'il y a lieu).

NOTE Les procédures de mesure s'appliquent comme cela est décrit dans la CEI 60270, en 4.1.2.4 de la CEI 60664-1 et en 2.4.6.18 de la CEI 61287-1.

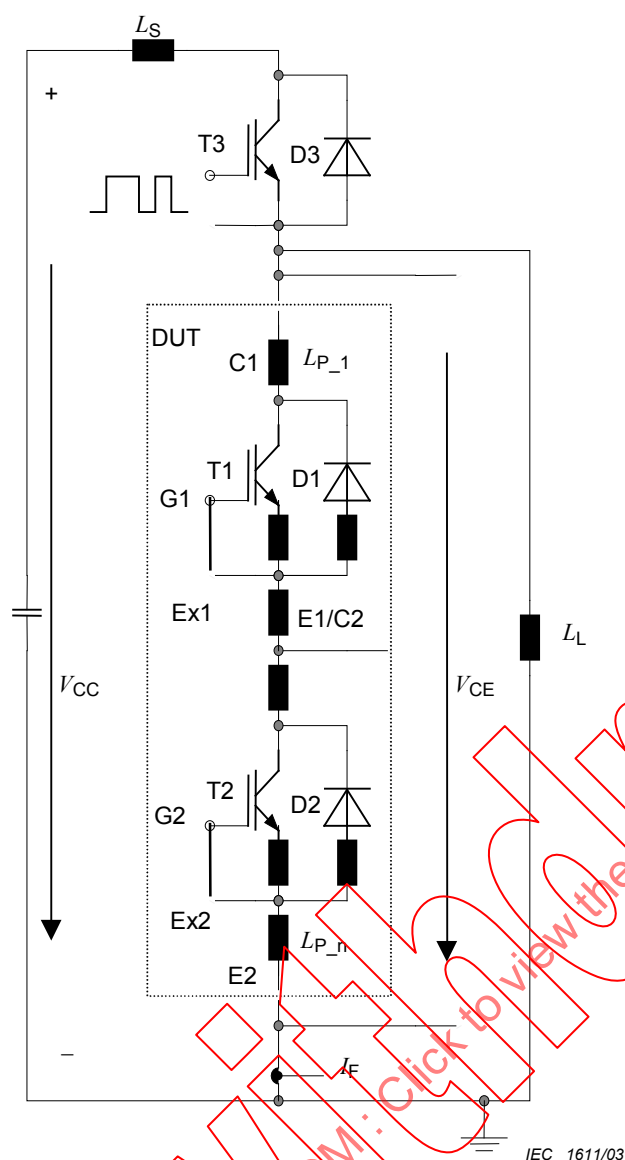
7.2 Inductance parasite entre bornes principales (L_p)

Voir également 3.12, 5.3.2 et Figure 2.

Cette méthode de mesure utilise une tension réduite V_{cc} et le di/dt de diodes incorporées dans le dispositif à la coupure, détectant la tension aux bornes principales extérieures. On peut l'utiliser pour les dispositifs à interrupteur simple, ainsi que pour les dispositifs à circuits en demi-pont (modules doubles) et les branches de demi-pont de dispositifs inverseurs sixpack.

a) Objet

Mesurer l'échelon de tension dV provoqué par l'inductance parasite interne au niveau de la baisse de courant et $(di_F/dt)_{off}$ d'un chemin de diode à la coupure, pour calculer l'inductance parasite L_p sur le chemin de courant principal à partir de la borne principale de courant entrant via l'élément de circuit fonctionnel de commutation jusqu'à la borne principale de courant sortant d'un dispositif de puissance à semiconducteurs isolé, dans des conditions spécifiées. $L_p = -dV / (di_F/dt)$



DUT	dispositif en essai T1+T2, par exemple un IGBT (simple ou double – représenté – ou une branche d'une configuration triphasée), un dispositif à MOSFET ou à diode rapide
C	batterie de condensateurs principaux formant un réservoir
L_L	inductance de charge
L_s	inductance du circuit externe
$L_{P_1} \dots L_{P_n}$	parties de l'inductance parasite L_P
I_F	sonde de courant
T1	DUT, élément de circuit fonctionnel supérieur (représenté comme IGBT)
T2	DUT, élément de circuit fonctionnel inférieur (représenté comme IGBT), facultatif
T3	interrupteur à IGBT auxiliaire

Figure 8a – Schéma de circuit pour la mesure des inductances parasites (L_P)

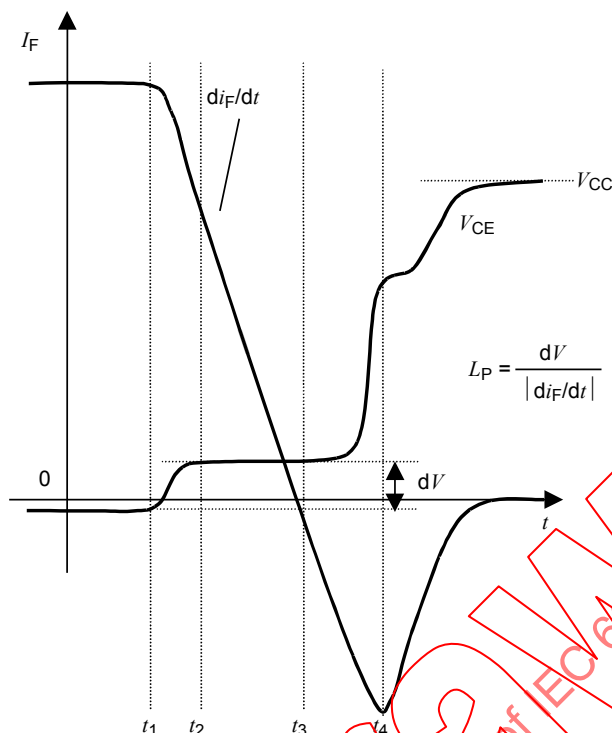


Figure 8b – Formes d'onde

b) Description et exigences du circuit

Le circuit de la Figure 8a est utilisé pour le montage de mesure. Il est constitué d'une alimentation continue pour le réservoir de charge C, T3 est un interrupteur auxiliaire, une unité de commande de grille pour T3, le DUT inséré dans le montage d'essai avec les bornes de commande de grille court-circuitées, un oscilloscope à deux voies, qui mesure la tension V_{CE} entre les bornes principales C1 et E2, une sonde de courant, qui mesure le courant I_F sur le chemin de diode du DUT, connecté à l'oscilloscope à deux voies.

c) Procédure de mesure

Le transistor auxiliaire T3, un transistor bipolaire à grille isolée (IGBT), utilisé comme interrupteur, commute à une fréquence appropriée, bloquant ou laissant passer le courant de charge I_L . A l'état bloqué, le courant I_L circule en roue libre dans les diodes du dispositif en essai. Pendant la période de diminution quasiment linéaire du courant di_F/dt , la tension V_{CE} forme un échelon dV de niveau quasiment horizontal (voir Figure 8b ($t_2 - t_3$)). A partir de cet échelon dV et de di_F/dt , on peut calculer

$$L_P = dV / (di_F/dt)_{off} \quad (11)$$

où $(di_F/dt)_{off}$ est la pente du courant de diode à la coupure, lorsque l'interrupteur auxiliaire T3 devient passant, et la tension d'échelon dV est lue sur l'oscilloscope pendant la période de décroissance linéaire t_2 à t_3 du courant de diode pour le DUT = interrupteur simple.

$$dV = V_{CEstep} - V_F \quad (12)$$

respectivement pour le DUT = dispositif à demi-pont (interrupteur double)

$$dV = V_{CEstep} - 2V_F \quad (13)$$

NOTE 1 Utiliser une barre omnibus de faible inductance (en feuilles) et une sonde de courant de faible inductance.

NOTE 2 La même chose s'applique pour $L_P = L_{DS}$ avec les dispositifs à MOSFET, de manière analogue.