

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Semiconductor devices – Discrete devices –
Part 8: Field-effect transistors**

**Dispositifs à semiconducteurs – Dispositifs discrets –
Partie 8: Transistors à effet de champ**

IECNORM.COM : Click to view the full PDF of IEC 60747-8:2010



THIS PUBLICATION IS COPYRIGHT PROTECTED
Copyright © 2010 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.

If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur.

Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland
Email: inmail@iec.ch
Web: www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

- Catalogue of IEC publications: www.iec.ch/searchpub

The IEC on-line Catalogue enables you to search by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, withdrawn and replaced publications.

- IEC Just Published: www.iec.ch/online_news/justpub

Stay up to date on all new IEC publications. Just Published details twice a month all new publications released. Available on-line and also by email.

- Electropedia: www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 20 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary online.

- Customer Service Centre: www.iec.ch/webstore/custserv

If you wish to give us your feedback on this publication or need further assistance, please visit the Customer Service Centre FAQ or contact us:

Email: csc@iec.ch

Tel.: +41 22 919 02 11

Fax: +41 22 919 03 00

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

- Catalogue des publications de la CEI: www.iec.ch/searchpub/cur_fut-f.htm

Le Catalogue en-ligne de la CEI vous permet d'effectuer des recherches en utilisant différents critères (numéro de référence, texte, comité d'études,...). Il donne aussi des informations sur les projets et les publications retirées ou remplacées.

- Just Published CEI: www.iec.ch/online_news/justpub

Restez informé sur les nouvelles publications de la CEI. Just Published détaille deux fois par mois les nouvelles publications parues. Disponible en-ligne et aussi par email.

- Electropedia: www.electropedia.org

Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 20 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International en ligne.

- Service Clients: www.iec.ch/webstore/custserv/custserv_entry-f.htm

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions, visitez le FAQ du Service clients ou contactez-nous:

Email: csc@iec.ch

Tél.: +41 22 919 02 11

Fax: +41 22 919 03 00



IEC 60747-8

Edition 3.0 2010-12

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Semiconductor devices – Discrete devices –
Part 8: Field-effect transistors**

**Dispositifs à semiconducteurs – Dispositifs discrets –
Partie 8: Transistors à effet de champ**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

PRICE CODE
CODE PRIX

XC

ICS 31.080.30

ISBN 978-2-88912-279-0

CONTENTS

FOREWORD.....	6
1 Scope.....	8
2 Normative references.....	8
3 Terms and definitions.....	9
3.1 Types of field-effect transistors.....	9
3.2 General terms.....	10
3.2.1 Physical regions (of a field-effect transistor).....	10
3.2.2 Functional regions.....	11
3.3 Terms related to ratings and characteristics.....	12
3.4 Conventional used terms	17
4 Letter symbols.....	17
4.1 General.....	17
4.2 Additional general subscripts.....	17
4.3 List of letter symbols	17
4.3.1 Voltage	17
4.3.2 Currents.....	18
4.3.3 Power dissipation.....	18
4.3.4 Small-signal parameters	18
4.3.5 Other parameters.....	20
4.3.6 Matched-pair field-effect transistors	21
4.3.7 Inverse diodes integrated in MOSFETs.....	21
5 Essential ratings and characteristics.....	22
5.1 General.....	22
5.1.1 Device categories.....	22
5.1.2 Multiple-gate devices.....	22
5.1.3 Handling precautions.....	22
5.2 Ratings (limiting values).....	22
5.2.1 Temperatures	22
5.2.2 Power dissipation (P_{tot}).....	22
5.2.3 Safe operating area (SOA) for MOSFET only.....	22
5.2.4 Voltages and currents.....	23
5.3 Characteristics.....	23
5.3.1 Characteristics for low-frequency amplifier.....	23
5.3.2 Characteristics for high-frequency amplifier	25
5.3.3 Characteristics for high and low power switching and chopper	27
5.3.4 Characteristics for low-level amplifier	30
5.3.5 Characteristics for voltage-controlled resistor.....	32
5.3.6 Specific characteristics of matched-pair field-effect transistors for low-frequency differential	33
6 Measuring methods	34
6.1 General.....	34
6.2 Verification of ratings (limiting values).....	34
6.2.1 Voltages and currents.....	34
6.2.2 Safe operating area.....	40
6.2.3 Avalanche energy	44
6.3 Methods of measurement.....	46

6.3.1	Breakdown voltage, drain to source ($V_{(BR)DS^*}$)	46
6.3.2	Gate-source off-state voltage ($V_{GS(off)}$) (type A and B), gate source threshold voltage ($V_{GS(th)}$) (type C)	47
6.3.3	Drain leakage current (d.c.) (I_{DS^*})(type C), Drain cut-off current (d.c.) (I_{DSX}) (type A and B)	48
6.3.4	Gate cut-off current (I_{GS^*})(type A), Gate-leakage current (I_{GS^*})(type B and C)	48
6.3.5	(Static) drain-source on-state resistance ($r_{DS(on)}$) or drain-source on-state voltage ($V_{DS(on)}$)	49
6.3.6	Switching times ($t_{d(on)}$, t_r , $t_{d(off)}$, and t_f)	51
6.3.7	Turn-on power dissipation (P_{on}), turn-on energy (per pulse) (E_{on})	52
6.3.8	Turn-off power dissipation (P_{off}), turn-off energy (per pulse) (E_{off})	53
6.3.9	Gate charges (Q_G , Q_{GD} , $Q_{GS(th)}$, $Q_{GS(pl)}$)	53
6.3.10	Common source short-circuit input capacitance (C_{iss})	54
6.3.11	Common source short-circuit output capacitance (C_{oss})	55
6.3.12	Common source short-circuit reverse transfer capacitance (C_{rss})	56
6.3.13	Internal gate resistance (r_g)	57
6.3.14	MOSFET forward recovery time (t_{fr}) and MOSFET forward recovered charge (Q_f)	58
6.3.15	Drain-source reverse voltage (V_{DSR})	62
6.3.16	Small-signal short-circuit output conductance (type A, B and C) (g_{oss})	62
6.3.17	Small-signal short-circuit forward transconductance (types A, B and C)	65
6.3.18	Noise (types A, B and C) (F , V_n)	67
6.3.19	On-state drain-source resistance (under small-signal conditions) ($r_{ds(on)}$)	68
6.3.20	Channel-case transient thermal impedance ($Z_{th(j-c)}$) and thermal resistance ($R_{th(j-c)}$) of a field-effect transistor	69
7	Acceptance and reliability	71
7.1	General requirements	71
7.2	Acceptance-defining characteristics	71
7.3	Endurance and reliability tests	72
7.3.1	High-temperature blocking (HTRB)	72
7.3.2	High-temperature gate bias	72
7.3.3	Intermittent operating life (load cycles)	72
7.4	Type tests and routine tests	73
7.4.1	Type tests	73
7.4.2	Routine tests	73
	Bibliography	75
	Figure 1 – Basic waveforms to specify the gate charges	14
	Figure 2 – Integral times for the turn-on energy E_{on} and turn-off energy E_{off}	16
	Figure 3 – Switching times	21
	Figure 4 – Circuit diagram for testing of drain-source voltage	35
	Figure 5 – Circuit diagram for testing of gate-source voltage	35
	Figure 6 – Circuit diagram for testing of gate-drain voltage	36
	Figure 7 – Basic circuit for the testing of drain current	37
	Figure 8 – Circuit diagram for testing of peak drain current	38
	Figure 9 – Basic circuit for the testing of reverse drain current of MOSFETs	38

Figure 10 – Basic circuit for the testing of peak reverse drain current of MOSFETs	39
Figure 11 – Circuit diagram for verifying FBSOA	40
Figure 12 – Circuit diagram for verifying RBSOA.....	41
Figure 13 – Test waveforms for verifying RBSOA.....	41
Figure 14 – Circuit for testing safe operating pulse duration at load short circuit	42
Figure 15 – Waveforms of gate-source voltage V_{GS} , drain current I_D and voltage V_{DS} during load short circuit condition SCSOA.....	43
Figure 16 – Circuit for the inductive avalanche switching	44
Figure 17 – Waveforms of I_D , V_{DS} and V_{GS} during unclamped inductive switching.....	44
Figure 18 – Waveforms of I_D , V_{DS} and V_{GS} for the non-repetitive avalanche switching	45
Figure 19 – Circuit diagrams for the measurement drain-source breakdown voltage.....	46
Figure 20 – Circuit diagram for measurement of gate-source off-state voltage and gate-source threshold voltage	47
Figure 21 – Circuit diagram for drain leakage (or off-state) current or drain cut-off current measurement.....	48
Figure 22 – Circuit diagram for measuring of gate cut-off current or gate leakage current	49
Figure 23 – Basic circuit of measurement for on-state resistance	50
Figure 24 – On-state resistance	50
Figure 25 – Circuit diagram for switching time	51
Figure 26 – Schematic switching waveforms and times.....	51
Figure 27 – Circuit for determining the turn-on and turn-off power dissipation and/or energy.....	52
Figure 28 – Circuit diagrams for the measurement gate charges.....	54
Figure 29 – Basic for the measurement of short-circuit input capacitance.....	55
Figure 30 – Basic circuit for measurement of short-circuit output capacitance (C_{oss}).....	56
Figure 31 – Circuit for measurement of reverse transfer capacitance C_{rss}	57
Figure 32 – Circuit for measurement of internal gate resistance	58
Figure 33 – Circuit diagram for MOSFET forward recovery time and recovered charge (Method 1).....	59
Figure 34 – Current waveform through MOSFET (Method 1)	59
Figure 35 – Circuit diagram for MOSFET forward recovery time and recovered charge (Method 2).....	60
Figure 36 – Current waveform through MOSFET (Method 2)	61
Figure 37 – Circuit diagram for the measurement of drain-source reverse voltage	62
Figure 38 – Basic circuit for the measurement of the output conductance g_{oss} (method 1: null method).....	63
Figure 39 – Basic circuit for the measurement of the output conductance g_{oss} (method 2: two-voltmeter method)	64
Figure 40 – Circuit for the measurement of short-circuit forward transconductance g_{fs} (Method 1: Null method).....	65
Figure 41 – Circuit for the measurement of forward transconductance g_{fs} (method 2: two-voltmeter method)	66
Figure 42 – Block diagram for the measurement of equivalent input noise voltage.....	67
Figure 43 – Circuit for the measurement of equivalent input noise voltage.....	67
Figure 44 – Circuit diagram for the measurement of on-state drain-source resistance.....	68

Figure 45 – Circuit diagram	69
Figure 46 – Circuit for high-temperature blockings	72
Figure 47 – Circuit for high-temperature gate bias.....	72
Figure 48 – Circuit for intermittent operating life	73
Table 1 – Terms for MOSFET in this standard and the conventional used terms for the inverse diode integrated in the MOSFET	17
Table 2 – Acceptance defining characteristics	34
Table 3 – Acceptance-defining characteristics for endurance and reliability tests	71
Table 4 – Minimum type and routine tests for FETs when applicable.....	74

IECNORM.COM : Click to view the full PDF of IEC 60747-8:2010

INTERNATIONAL ELECTROTECHNICAL COMMISSION

SEMICONDUCTOR DEVICES – DISCRETE DEVICES –

Part 8: Field-effect transistors

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60747-8 has been prepared by subcommittee 47E: Discrete semiconductor devices, of IEC technical committee 47: Semiconductor devices.

This third edition of IEC 60747-8 cancels and replaces the second edition published in 2000. This third edition constitutes a technical revision.

The main changes with respect to the previous edition are listed below.

- a) "Clause 3 Classification" was moved and added to Clause 1.
- b) "Clause 4 Terminology and letter symbols" was divided into "Clause 3 Terms and definitions" and "Clause 4 Letter symbols" was amended with additions and deletions.
- c) Clause 5, 6 and 7 were amended with necessary additions and deletions.

The text of this standard is based on the following documents:

FDIS	Report on voting
47E/398/FDIS	47E/406/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

This Part 8 should be used in conjunction with IEC 60747-1:2006.

A list of all the parts in the IEC 60747 series, under the general title *Semiconductor devices – Discrete devices*, can be found on the IEC website.

Future standards in this series will carry the new general title as cited above. Titles of existing standards in this series will be updated at the time of the next edition.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IECNORM.COM : Click to view the full PDF of IEC 60747-8:2010

SEMICONDUCTOR DEVICES – DISCRETE DEVICES –

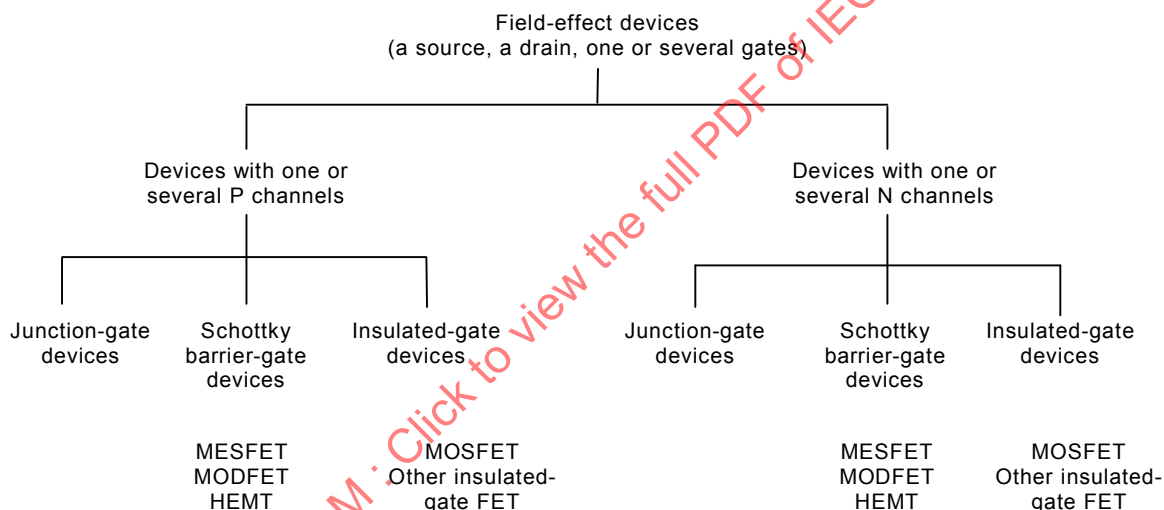
Part 8: Field-effect transistors

1 Scope

This part of IEC 60747 gives standards for the following categories of field-effect transistors:

- type A: junction-gate type;
- type B: insulated-gate depletion (normally on) type;
- type C: insulated-gate enhancement (normally off) type.

Since a field-effect transistor may have one or several gates, the classification shown below results:



NOTE 1 Schottky barrier-gate and insulated gate devices include depletion type devices and enhancement type devices.

NOTE 2 MOSFETs for some applications may not have inverse diode characteristics in the data sheet. Special circuit element structures to eliminate body diode are under development for such applications. MOSFET applications such as motor control equipment need to specify the inverse diode characteristics in the MOSFET to use the inverse diode as a free wheeling diode.

NOTE 3 The graphical symbol only for type C is used in this standard. The standard equally applies for P-channel and for type A and B devices.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 61340 (all parts), *Electrostatics*

IEC 60747-1:2006, *Semiconductor devices – Part 1: General*

IEC 60747-7:2000, *Semiconductor devices – Part 7: Bipolar transistors*

IEC 60749-23:2004, *Semiconductor devices – Mechanical and climatic test methods – Part 23: High temperature operating life*

IEC 60749-34, *Semiconductor devices – Mechanical and climatic test methods – Part 34: Power cycling*

3 Terms and definitions

For the purpose of this document, the following terms and definitions apply.

3.1 Types of field-effect transistors

3.1.1

N-channel field-effect transistor

field-effect transistor that has one or more N-type conduction channels

3.1.2

P-channel field-effect transistor

field-effect transistor that has one or more P-type conduction channels

3.1.3

junction-gate field-effect transistor

JFET

field-effect transistor in which

- the source and drain regions are connected with each other by the channel region, all three being of the same conductivity type;
- a gate region adjacent to the channel has the opposite conductivity type, thus forming with source, channel and drain region a PN junction

NOTE The gate-source voltage controls the conductivity of the conduction channel in the channel region by controlling the width of the gate space-charge region and hence also the remaining cross-section of the conduction channel.

3.1.4

insulated-gate field-effect transistor

IGFET

field-effect transistor in which

- one or more gate electrodes are electrically insulated from the body;
- the conductivity type of both the source and drain regions is opposite from that of the semiconductor body in which they are located;
- the principal current flows in a channel that is formed by an inversion layer connecting source and drain regions

NOTE The inversion layer is either already present at zero gate-source voltage or produced within the body at sufficiently high forward gate-source voltage by accumulation of the minority charge carriers of the body material. The conductance of the channel is controlled by the gate-source voltage, which controls the electric field between gate electrode and the body and hence the amount of accumulated minority charge carriers.

3.1.5

metal-oxide-semiconductor field-effect transistor

MOSFET

insulated-gate field-effect transistor in which the insulating layer between each gate electrode and the channel is oxide material

3.1.6

depletion-type (normally on) field-effect transistor

field-effect transistor in which an inversion layer present at the surface of the active semiconductor region causes an appreciable channel conductance that may be increased (decreased) by applying a forward (reverse) gate-source voltage

3.1.7

enhancement-type (normally off) field-effect transistor

field-effect transistor having substantially zero channel conductance at zero gate-source voltage, and in which a conduction channel may be obtained by applying a sufficiently high forward gate-source voltage, which induces an inversion layer below the gate electrode

3.1.8

single-gate field-effect transistor

field-effect transistor having a gate region, a source region, and a drain region

NOTE The term may be abbreviated to "field-effect transistor", if no ambiguity is likely to occur.

3.1.9

dual-gate field-effect transistor

field-effect transistor having two independent gate regions, a source region, and a drain region

3.1.10

schottky-barrier-gate field-effect transistor

field-effect transistor in which

- the source and drain regions are connected with each other by the channel region, all three being of the same conductivity type;
- one or more gate electrodes each form a Schottky-barrier with the channel region;

the gate-source voltage controls the conductance of the conduction channel by varying its cross-section

3.1.11

metal-semiconductor field-effect transistor

MESFET

Schottky-barrier-gate field-effect transistor in which the gate electrodes are metal

3.1.12

modulation-doped field-effect transistor or high electron mobility transistor MODFET or HEMT

metal-semiconductor field-effect transistor in which a doped material forms a heterojunction with an undoped channel; the doped material supplies electrons to the undoped channel whose high electron mobility results in enhanced channel conductance

NOTE MODFET and HEMT should be used interchangeably.

3.2 General terms

3.2.1 Physical regions (of a field-effect transistor)

3.2.1.1

source (of a field-effect transistor)

physical region that is designed by the manufacturer to contain the supply region under the defined operating conditions to which the specifications refer

3.2.1.2**drain (of a field-effect transistor)**

physical region that is designed by the manufacturer to contain the collection region under the defined operating conditions to which the specifications refer

3.2.1.3**gate (of an IGFET)**

insulating layer between the gate electrode and the surface of the semiconductor body, below which the channel is or may be formed

3.2.1.4**gate (of an JFET)**

region below the gate electrode that is of opposite conductivity type from that of the source, channel and drain regions

3.2.1.5**channel (of a depletion-type IGFET)**

inversion layer technologically placed below the gate region

3.2.1.6**channel (of a JFET)**

region between source region and drain region that has the same conductivity type as these two regions

3.2.1.7**subchannel (of an IGFET)**

region between source region and drain region, excluding the channel region of a depletion-type IGFET and all pertinent transition zones

3.2.1.8**substrate (of a JFET or IGFET)**

part of the original material that remains unchanged when the device elements are formed upon or within the original material

NOTE The original material may be a layer of semiconductor material cut from a single crystal, a layer of semiconductor material deposited on a supporting base, or the supporting base itself.

3.2.1.9**substrate (of a JFET or IGFET)**

original semiconductor material before being processed

NOTE The intended meaning will become clear from the context in which the term is used. If necessary, distinction could be made between the "original substrate" and the "remaining substrate".

3.2.1.10**substrate (of a thin-film field-effect transistor)**

insulator that supports the source and drain electrodes, the insulating gate layer, and the thin semiconductor layer

3.2.2 Functional regions**3.2.2.1****functional source region**

supply region that delivers principal-current charge carriers into the channel

3.2.2.2**functional drain region**

collection region that acquires principal-current charge carriers from the channel

3.2.2.3

channel (of a IGFET)

functional region through which the principal-current charge carriers pass and in which the carrier concentration is determined by the gate-source voltage, the principal current being the result of the drift field produced by the drain-source voltage

3.2.2.4

channel (of a JFET)

functional region through which the principal-current charge carriers pass and whose cross-section is determined by the applied gate-source voltage, the principal current being the result of the drift field produced by the drain-source voltage

3.2.2.5

subchannel space-charge region (of an IGFET)

space-charge region associated with the transition regions between the subchannel region on one side, and source region, channel region and drain region on the other side

3.2.2.6

functional subchannel region

remaining neutral part of the (physical) subchannel region that is confined by the surrounding subchannel space-charge region

3.3 Terms related to ratings and characteristics

3.3.1

gate cut-off current (of a junction-gate field-effect transistor)

current flowing in the gate terminal of a junction field-effect transistor when the pn junction is biased in the reverse direction

3.3.2

gate leakage current (of an insulated-gate field-effect transistor)

leakage current through the insulated-gate of an insulated-gate field-effect transistor

3.3.3

capacitances

3.3.3.1

(short-circuit) input capacitance

capacitance between the gate and source terminals with the drain terminal short-circuited to the source terminal for a.c. signals

3.3.3.2

(short-circuit) output capacitance

capacitance between the drain and source terminals with the gate terminal short-circuited to the source terminal for a.c. signals

3.3.3.3

reverse transfer capacitance

capacitance between the drain and gate terminals excluding parallel capacitances between drain and source, and gate and source

3.3.4

gate-source resistance

d.c. resistance between gate and source terminals at specified gate-source and drain-source voltages

3.3.5

drain-source on-state resistance

d.c. resistance between the drain and source terminals when the FET is in its on-state

3.3.6**gate charge**

charge required to raise the gate-source voltage from zero to a specified value

3.3.6.1**total gate charge**

charge that is required to raise the gate-source voltage from zero to a specified value and calculated by the equation below (see Figure 1)

$$Q_G = \int_{t_0}^{t_4} i_{GG}(t) dt$$

3.3.6.2**threshold gate charge**

charge required to raise gate-source from zero to $V_{GS(th)}$ and calculated by the equation below (see Figure 1)

$$Q_{GS(th)} = \int_{t_0}^{t_1} i_{GG}(t) dt$$

3.3.6.3**plateau gate charge**

charge required to raise gate-source voltage from zero to plateau voltage $V_{GS(pl)}$ and calculated by the equation below (see Figure 1)

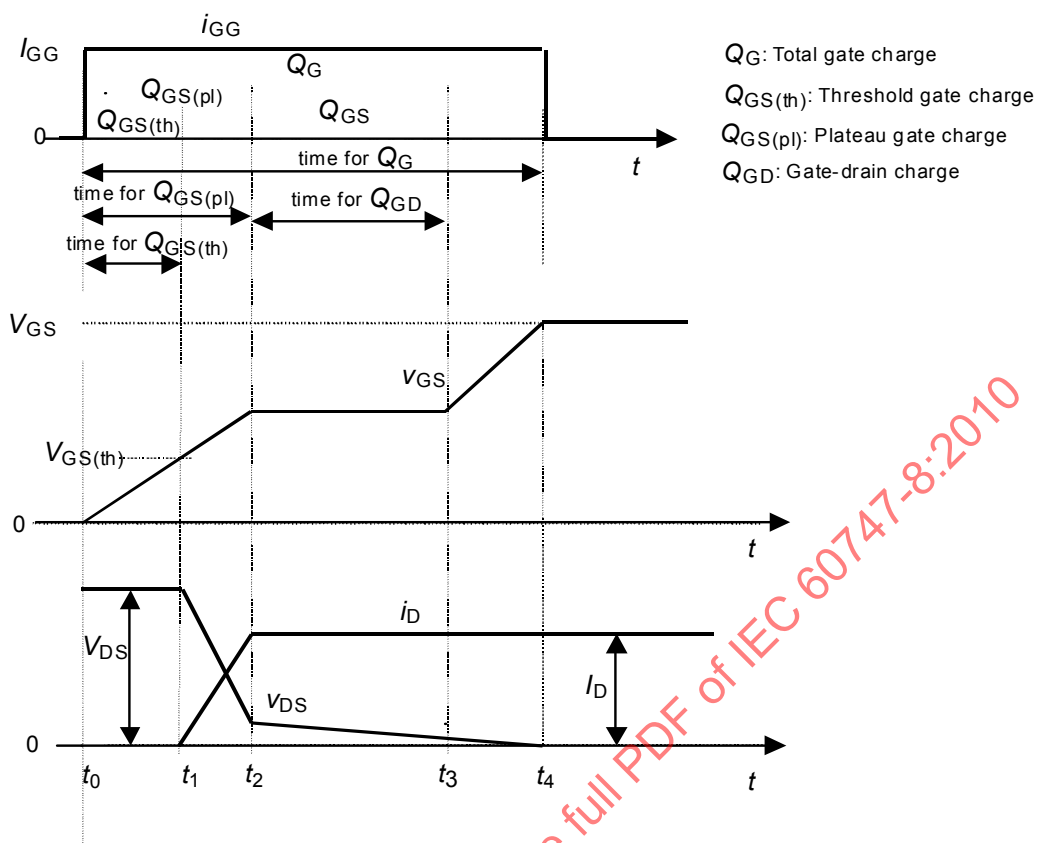
$$Q_{GS(pl)} = \int_{t_0}^{t_2} i_{GG}(t) dt$$

3.3.6.4**gate drain charge**

charge difference between beginning and end of plateau region, required to charge up C_{GD} and calculated by the equation below (see Figure 1)

$$Q_{GD} = \int_{t_2}^{t_3} i_{GG}(t) dt$$

IECNORM.COM : Click to view the full PDF of IEC 60747-8:2010



IEC 2736/10

NOTE Time intervals indicated by arrow end lines are integral intervals to calculate the gate charges.

Figure 1 – Basic waveforms to specify the gate charges

3.3.7

overall efficiency

ratio of the output power to the sum of the input signal power and the d.c. input power

$$\eta_{tot} = \frac{P_{out}}{P_{in} + P_{(d.c.)}}$$

3.3.8

drain efficiency

ratio of the output power to the d.c. drain power

$$\eta_d = \frac{P_{out}}{P_{d(d.c.)}}$$

3.3.9

power-added efficiency

ratio of the difference between the output power and the input signal power to the d.c. input power

$$\eta_{\text{add}} = \frac{P_{\text{out}} - P_{\text{in}}}{P_{\text{d(d.c.)}}}$$

3.3.10**rate of rise of off-state voltage**

rate of rise of drain-source off-state voltage induced during reverse recovery period of the inverse diode

3.3.11**reverse-bias safe operating area**

drain current versus drain-source voltage region in which the MOSFET is able to turn-off repetitively with clamped inductive load without failure

3.3.12**short circuit safe operating area**

drain current versus drain voltage region in which the MOSFET is able to turn on and off non repetitively without failure

3.3.13**avalanche energy (for avalanche devices)**

avalanche energy capability during turn-off period

3.3.14**repetitive avalanche energy (for avalanche devices)**

repetitive avalanche energy capability during turn-off period

3.3.15**non-repetitive avalanche energy (for avalanche devices)**

non-repetitive avalanche capability during turn-off period (single pulse)

3.3.16**drain leakage current**

drain current in the off-state

3.3.17**breakdown voltage, drain to source**

drain-source breakdown voltage in the off-state

3.3.18**internal gate resistance**

short-circuit internal gate resistance (see Figure 32)

3.3.19**switching times**

input wave form is the gate to source voltage, and output waveform is the drain current (see IEC 60747-1:2006)

3.3.20**turn-on energy**

value of the integral of the product of drain-source voltage V_{DS} and drain current I_{D} during turn-on described in the following equation: $E_{\text{on}} = \int_0^{t_1} I_{\text{D}} \times V_{\text{DS}} \times dt$ (see Figure 2)

3.3.21

turn-off energy

value of the integral of drain-source voltage V_{DS} multiplied by drain current I_D during turn-off

described in the following equation: $E_{off} = \int_{t_2}^{t_3} i_D \times V_{DS} \times dt$ (see Figure 2)

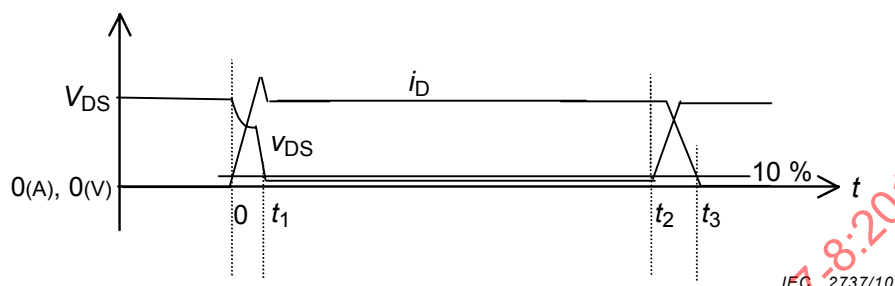


Figure 2 – Integral times for the turn-on energy E_{on} and turn-off energy E_{off}

3.3.22

output capacitance charge

charge required to change the voltage at output capacitance C_{oss} during turn-on and turn-off

3.3.23

gate-source plateau voltage

voltage during turn-on, where V_{GS} is relatively constant (Miller-Plateau) and during which C_{GD} is charged

NOTE See Figure 1.

3.3.24

drain-source reverse voltage

voltage across the MOSFET which results from the flow of current in the reverse direction from source to drain

3.3.25

MOSFET forward recovery current

recovery current of the MOSFET which results from the flow of current in the reverse direction from source to drain

3.3.26

MOSFET forward recovery time

recovery time of the MOSFET which results from the flow of current in the reverse direction from source to drain

3.3.27

MOSFET forward recovery charge

recovery charge of the MOSFET which results from the flow of current in the reverse direction from source to drain

3.3.28

MOSFET forward recovery energy

recovery energy of the MOSFET which results from the flow of current in the reverse direction from source to drain

3.4 Conventional used terms

Table 1 – Terms for MOSFET in this standard and the conventional used terms for the inverse diode integrated in the MOSFET

Preferred terms	Letter symbol	Deprecated terms for inverse diode with MOSFET in off-state
Drain-source reverse voltage	V_{DSR}	Inverse diode forward voltage
MOSFET forward recovery current	I_{FR}	Inverse diode reverse recovery current
MOSFET peak forward recovery current	I_{FRM}	Inverse diode peak reverse recovery current
MOSFET forward recovery time	t_{fr}	Inverse diode reverse recovery time
MOSFET forward recovery charge	Q_f	Inverse diode reverse recovery charge
MOSFET forward recovery energy	E_{fr}	Inverse diode reverse recovery energy
Reverse drain current	I_{DR}	Inverse diode forward current
Peak reverse drain current	I_{DRM}	Inverse diode peak forward current

4 Letter symbols

4.1 General

General letter symbols for MOSFETs are defined in Subclauses 4.4 and 4.5 of IEC 60747-1:2006.

4.2 Additional general subscripts

In addition to the list of recommended general subscripts given in 4.2.3 of IEC 60747-1:2006, the following special subscripts are recommended for field-effect transistors:

D, d	= drain
G, g	= gate
S, s	= source or termination with a short circuit
B, b; U, u	= substrate
T; th; (TO)	= threshold
O	= termination with an open circuit
R	= termination with a resistor
X	= termination with specified gate source voltage
pl	= plateau

4.3 List of letter symbols

Name and designation	Letter symbol	Remarks
4.3.1 Voltage		
Drain-source (d.c.) voltage	V_{DS}	
Gate-source (d.c.) voltage	V_{GS}	
Gate-source cut-off voltage (of a junction field-effect transistor and of a depletion type insulated-gate field-effect transistor)	$V_{GS(OFF)}; V_{GSoff}$	
Gate-source threshold voltage (of an enhancement type insulated-gate field-effect transistor)	$V_{GST}; V_{GS(th)}; V_{GS(TO)}$	
Forward gate-source (d.c.) voltage	V_{GSF}	

Name and designation	Letter symbol	Remarks
Reverse gate-source (d.c.) voltage	V_{GSR}	
Gate-drain (d.c.) voltage	V_{GD}	
Source-substrate (d.c.) voltage	$V_{\text{SB}}; V_{\text{SU}}$	
Drain-substrate (d.c.) voltage	$V_{\text{DB}}; V_{\text{DU}}$	
Gate-substrate (d.c.) voltage	$V_{\text{GB}}; V_{\text{GU}}$	
Gate-gate voltage (for multi-gate devices)	$V_{\text{G1} - \text{G2}}$	
Gate-source breakdown voltage with drain short-circuited to source	$V_{(\text{BR})\text{GSS}}$	
Breakdown voltage, drain-source (for type B)	$V_{(\text{BR})\text{DSX}}$	
Breakdown voltage, drain-source (for type C)	$V_{(\text{BR})\text{DSS}}$	
Drain-source on-state voltage	$V_{\text{DS}(\text{on})}$	
Drain-source reverse voltage	V_{DR}	
Gate-source plateau voltage	$V_{\text{GS}(\text{pl})}$	
4.3.2 Currents		
Drain (d.c.) current	I_{D}	
Peak drain current	I_{DM}	
Peak reverse drain current	I_{DRM}	
Drain current, at a specified gate-source condition	I_{DSX}	
Drain current, at a specified external gate-source resistance	I_{DSR}	
Drain current, with gate short-circuited to source ($V_{\text{GS}} = 0$)	I_{DSS}	
Source (d.c.) current	I_{S}	
Source current, at a specified gate-drain condition	I_{SDX}	
Source current, with gate short-circuited to drain ($V_{\text{GD}} = 0$)	I_{SDS}	
Gate (d.c.) current	I_{G}	
Forward gate current	I_{GF}	
Gate cut-off current (of a junction field-effect transistor), with source open-circuited	I_{GDO}	
Gate cut-off current (of a junction field-effect transistor), with drain open-circuited	I_{GSO}	
Gate cut-off current (of a junction field-effect transistor), with drain short-circuited to source	I_{GSS}	
Gate leakage current (of an insulated-gate field-effect transistor), with drain short-circuited to source	I_{GSS}	
Gate cut-off current (of a junction field-effect transistor), with specified drain-source circuit conditions	I_{GSX}	
Substrate current	$I_{\text{B}}; I_{\text{U}}$	
4.3.3 Power dissipation		
Total power dissipation	P_{tot}	
4.3.4 Small-signal parameters		
Drain-source resistance	r_{ds}	
Gate-source resistance	r_{gs}	

Name and designation	Letter symbol	Remarks
Gate-drain resistance	r_{gd}	
Gate resistance (with $V_{DS} = 0$ or $v_{ds} = 0$)	r_{gss}	
Drain-source on-state resistance	$r_{ds(on)}$	
Drain-source off-state resistance	$r_{ds(off)}$	
Internal gate resistance	R_g	
Open-circuit gate-source capacitance (drain-source and gate-drain open-circuited to a.c.)	C_{gso}	
Open-circuit gate-drain capacitance (drain-source and gate-source open-circuited to a.c.)	C_{gdo}	
Open-circuit drain-source capacitance (gate-drain and gate-source open-circuited to a.c.)	C_{dso}	
Short-circuit input capacitance in common-source configuration; gate-source capacitance (drain-source short-circuited to a.c.)	$C_{iss}; C_{11ss}$	
Short-circuit output capacitance in common-source configuration; drain-source capacitance (gate-source short-circuited to a.c.)	$C_{oss}; C_{22ss}$	
Common-source reverse transfer capacitance with input short-circuited to a.c.	$C_{rss}; C_{12ss}$	
Short-circuit output capacitance in common-drain configuration (gate-drain short-circuited to a.c.)	$C_{ods}; C_{22ds}$	
Gate-source capacitance (in the π equivalent circuit)	C_{gs}	
Gate-drain capacitance (in the π equivalent circuit)	C_{gd}	
Drain-source capacitance (in the π equivalent circuit)	C_{ds}	
Short-circuit input conductance in common-source configuration	G_{iss}	
Short-circuit output conductance in common-source configuration	G_{oss}	
Gate-source conductance (in the π equivalent circuit)	G_{gs}	
Gate-drain conductance (in the π equivalent circuit)	G_{gd}	
Drain-source conductance (in the π equivalent circuit)	G_{ds}	
Short-circuit input admittance	$y_{is} = \text{Re}(y_{is}) + j\omega C_{is}$ $y_{11s} = \text{Re}(y_{11s}) + j\omega C_{11s}$	
Short-circuit reverse transfer admittance	$y_{rs} = \text{Re}(y_{rs}) + j\omega C_{rs}$ $y_{12s} = \text{Re}(y_{12s}) + j\omega C_{12s}$	
Short-circuit forward transfer admittance	$y_{fs} = \text{Re}(y_{fs}) + j\text{Im}y_{fs}$ $y_{21s} = \text{Re}(y_{21s}) + j\text{Im}y_{21s}$	
Short-circuit output admittance	$y_{os} = \text{Re}(y_{os}) + j\omega C_{os}$ $y_{22s} = \text{Re}(y_{22s}) + j\omega C_{22s}$	
Modulus of the short-circuit reverse transfer admittance	$ y_{rs} ; y_{12s} $	
Phase of the short-circuit reverse transfer admittance	$\varphi_{rs}; \varphi_{y12s}$	
Modulus of the short-circuit forward transfer admittance	$ y_{fs} ; y_{21s} $	
Phase of the short-circuit forward transfer admittance	$\varphi_{fs}; \varphi_{y21s}$	

Name and designation	Letter symbol	Remarks
Forward transconductance (in the π equivalent circuit)	$g_{ms}; g_m; g_{fs}$	
Input reflection coefficient: – in common-source configuration – in common-gate configuration – in common-drain configuration	S_{11s} OR S_{is} S_{11g} OR S_{ig} S_{11d} OR S_{id}	
Output reflection coefficient: – in common-source configuration – in common-gate configuration – in common-drain configuration	S_{22s} OR S_{os} S_{22g} OR S_{og} S_{22d} OR S_{od}	
Forward transmission coefficient: – in common-source configuration – in common-gate configuration – in common-drain configuration	S_{21s} OR S_{fs} S_{21g} OR S_{fg} S_{21d} OR S_{fd}	
Reverse transmission coefficient: – in common-source configuration – in common-gate configuration – in common-drain configuration	S_{12s} OR S_{rs} S_{12g} OR S_{rg} S_{12d} OR S_{rd}	
4.3.5 Other parameters		
Total gate charge	Q_G	
Plateau gate charge	$Q_{GS(pl)}$	
Gate-drain charge	Q_{GD}	
Threshold gate charge	$Q_{GS(th)}$	
Power gain	$G_P; G_p$	
Output power at specified input power	P_o	
Overall efficiency	η_{tot}	
Drain efficiency	η_d	
Power added efficiency	η_{add}	
Cut-off frequency (in the common-source configuration)	f_{yfs}	
Noise voltage	V_n	
Noise figure	F	
Temperature coefficient of drain current	α_{ID}	
Temperature coefficient of drain-source resistance	α_{rds}	
Turn-on delay time	$t_{d(on)}$	Switching times (see Figure 3) $t_{on} = t_{d(on)} + t_r$ $t_{off} = t_{d(off)} + t_f$
Turn-off delay time	$t_{d(off)}$	
Rise time	t_r	
Fall time	t_f	
Turn-on time	t_{on}	
Turn-off time	t_{off}	
Turn-on energy	E_{on}	
Turn-off energy	E_{off}	
Repetitive avalanche energy	E_{AR}	
Non-repetitive single pulse avalanche energy	E_{AS}	
Frequency of unity forward transmission coefficient: – in common-source configuration – in common-gate configuration	f_{ss} OR f_{iss} f_{sg} OR f_{isg}	$f_{ss} = f$ for $ s_{21s} = 1$ $f_{sg} = f$ for $ s_{21g} = 1$

Name and designation	Letter symbol	Remarks
– in common-drain configuration	f_{sd} or f_{isd}	$f_{sd} = f$ for $ s_{21d} = 1$

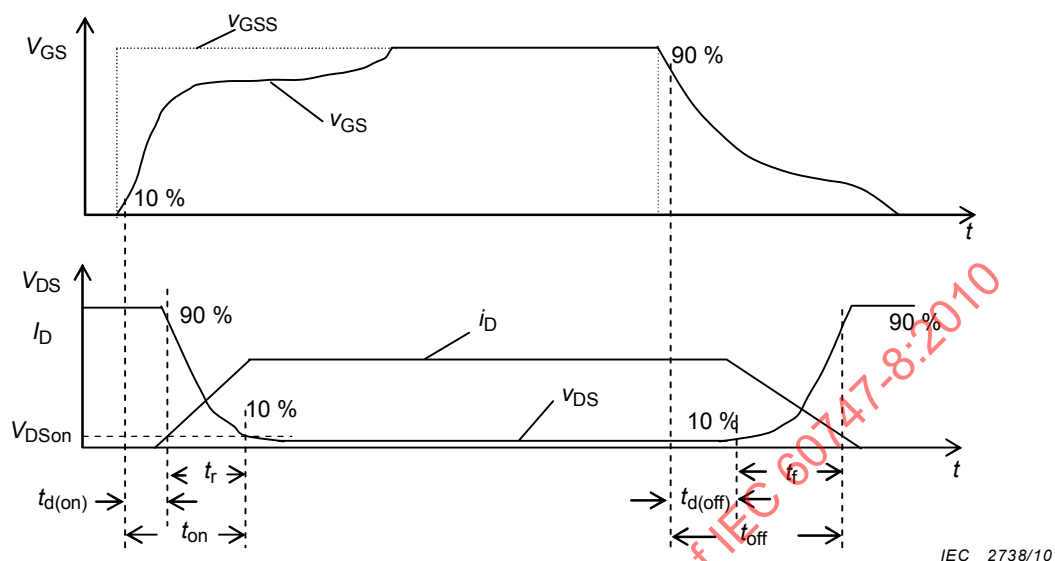


Figure 3 – Switching times

Name and designation	Letter symbol	Remarks
4.3.6 Matched-pair field-effect transistors		
Difference of gate leakage currents (for insulated-gate field-effect transistors) and difference of gate cut-off currents (for junction field-effect transistors)	$I_{G1} - I_{G2}$	The smaller value is subtracted from the larger value
Ratio of drain currents for zero gate-source voltage	I_{DSS1} / I_{DSS2}	The smaller of the two values is taken as the numerator
Difference of small-signal common-source output conductances	$g_{os1} - g_{os2}$	The smaller value is subtracted from the larger value
Ratio of small-signal common-source forward transfer conductances	g_{fs1} / g_{fs2}	The smaller of the two values is taken as the numerator
Difference of gate-source voltages	$V_{GS1} - V_{GS2}$	The smaller value is subtracted from the larger value
Change in difference of gate-source voltages between two temperatures	$ \Delta(V_{GS1} - V_{GS2}) _{\Delta T}$	
4.3.7 Inverse diodes integrated in MOSFETs		
Drain-source reverse voltage	V_{DSR}	Forward voltage of the inverse diode
MOSFET forward recovery current	I_{FR}	Reverse recovery current of the inverse diode
MOSFET peak forward recovery current	I_{FRM}	Peak reverse recovery current of the inverse diode
MOSFET forward recovery time	t_{fr}	Reverse recovery time of the inverse diode
MOSFET forward recovery charge	Q_f	Reverse recovery charge of the inverse diode
MOSFET forward recovery energy	E_{fr}	Reverse recovery energy of the inverse diode
Reverse drain current	I_{DR}	Forward current of the inverse diode

5 Essential ratings and characteristics

5.1 General

5.1.1 Device categories

Field-effect transistors are divided into three categories:

- type A: junction-gate type;
- type B: insulated-gate depletion type;
- type C: insulated-gate enhancement type.

5.1.2 Multiple-gate devices

For multiple-gate devices, the required gate ratings and characteristics shall be given for each gate separately, except where otherwise stated.

5.1.3 Handling precautions

Because of the very high input resistance of field-effect transistors, the gate insulation layer (for insulated-gate types) or the gate junction (for junction-gate types) may be irreversibly damaged if an excessive voltage is allowed to build up, e.g. due to contact with electrostatically charged persons, leakage currents from soldering irons, etc.

The requirements of IEC 60747-1:2006 Clause 8 apply to these devices.

5.2 Ratings (limiting values)

5.2.1 Temperatures

5.2.1.1 Minimum and maximum storage temperatures (T_{stg})

5.2.1.2 Virtual junction temperature (T_{vj})

Maximum rated value.

5.2.2 Power dissipation (P_{tot})

Maximum total power dissipation over the specified range of operating temperatures (ambient or case).

5.2.3 Safe operating area (SOA) for MOSFET only

Over the specified range of operating temperatures, under specified pulse conditions.

5.2.3.1 Forward-bias safe operating area (FBSOA)

Maximum safe operating area of V_{DS} and I_D in conduction state.

5.2.3.2 Reverse-bias safe operating area (RBSOA)

Maximum safe operating area of V_{DS} and I_D during turn-off state.

5.2.3.3 Short-circuit safe operating area (SCSOA)

Non-repetitive maximum safe operating area of V_{DS} and I_D during turn-off

TYPES		
A	B	C
+	+	+
+	+	+
+	+	+
	+	+
	+	+
	+	+

state from short circuit condition.

5.2.4 Voltages and currents

Ratings apply over the operating temperature range unless otherwise specified.

5.2.4.1 Maximum drain-source voltage

Under specified gate conditions.

5.2.4.2 Maximum reverse gate-source voltage and, where appropriate, maximum forward gate-source voltage

Under specified drain conditions.

5.2.4.3 Maximum gate-substrate voltage

Under specified source conditions;

For insulated-gate field-effect transistors with separate source and substrate terminals (chopper or analog-switch types)

5.2.4.4 Maximum drain-substrate voltage

Under specified gate to source conditions;

For insulated-gate field-effect transistors with separate source and substrate terminals (chopper or analog-switch types)

5.2.4.5 Maximum source-substrate voltage

Under specified gate to drain conditions.

For insulated-gate field-effect transistors with separate source and substrate terminals (chopper or analog-switch types)

5.2.4.6 Maximum drain current (I_D)

5.2.4.7 Maximum peak drain current (I_{DM})

Under specified pulse conditions.

For MOSFET only.

5.2.4.8 Maximum continuous (d.c.) reverse drain current (I_{DR}) (forward current of the inverse diode)

5.2.4.9 Maximum peak reverse drain current (I_{DRM}) (Maximum peak forward current of the inverse diode)

Under specified pulse conditions.

5.2.4.10 Maximum forward gate current

5.3 Characteristics

Characteristics are to be given at 25 °C, except where otherwise stated and at (at least) one other temperature.

5.3.1 Characteristics for low-frequency amplifier

TYPES		
A	B	C
+	+	+
+	+	+
	+	+
	+	+
	+	+
+	+	+
	+	+
	+	+
+		

5.3.1.1 Gate cut-off current

Gate leakage current

Maximum value, at specified gate-source or drain-gate voltage, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

Together with:

Maximum value of the current of all gates connected together, at specified gate-source or drain-gate voltage, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.1.2 Drain cut-off current

Maximum value, at specified drain-source and gate-source voltages, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.1.3 Drain current at zero gate-source voltage (I_{DSS})

Minimum and maximum values, for zero gate-source voltage, at a specified drain-source voltage, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.1.4 Drain current at specified gate-source voltage (I_{DSX})

Minimum and maximum values, for specified gate-source and drain-source voltages, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.1.5 Gate-source cut-off voltage ($V_{GS(off)}$)

Minimum and maximum values of gate-source voltage at which the drain current has been reduced to a specified low value, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.1.6 Gate-source threshold voltage ($V_{GS(th)}$)

Minimum and maximum values, at a specified high value of drain-source voltage, and at a value of drain current equal to or more than 10 times the maximum value of drain current at zero gate voltage, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.1.7 Short-circuit input capacitance (C_{iss})

Maximum small-signal value, in common-source configuration, under specified bias conditions and at a specified low frequency, with the output short-circuited to a.c.

5.3.1.8 Short-circuit output conductance and, where appropriate, capacitance (g_{oss} , C_{oss})

TYPES		
A	B	C
+	+	+
+	+	+
+	+	+
		+
+	+	
		+
+	+	+
+	+	+

	TYPES		
	A	B	C
Maximum small-signal value, in common-source configuration, under specified bias conditions and at a specified low frequency, with the input short-circuited to a.c.			
5.3.1.9 Reverse transfer capacitance (where appropriate) (C_{rss})	+	+	+
Maximum small-signal value, in common-source configuration with input open-circuit to a.c., under specified bias conditions and at a specified low frequency.			
5.3.1.10 Forward transconductance (g_{ms}, g_m, g_{fs})	+	+	+
Minimum and maximum values under specified bias conditions and at a specified low frequency.			
5.3.1.11 For low-noise applications, noise voltage and, where appropriate, noise figure (V_n, F)	+	+	+
Maximum value, in common-source configuration, under specified conditions of bias, source resistance, center frequency and power bandwidth.			
5.3.1.12 Thermal resistance channel-to-ambient or channel-to-case ($R_{th(j-a)}$) or ($R_{th(j-c)}$)	+	+	+
Maximum value.			
5.3.2 Characteristics for high-frequency amplifier			
5.3.2.1 Gate cut-off current	+		
Gate leakage current		+	+
Maximum value, at specified gate-source or drain-gate voltage, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.			
Together with:			
Maximum value of the current of all gates connected together, at specified gate-source or drain-gate voltage, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.			
5.3.2.2 Drain cut-off current	+	+	+
Maximum value, at specified drain-source and gate-source voltages, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.			
5.3.2.3 Drain current at zero gate-source voltage (I_{DSS})	+	+	
Minimum and maximum values, for zero gate-source voltage and a specified drain-source voltage, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.			
5.3.2.4 Drain current at specified gate-source voltage (I_{DSX})			+
Minimum and maximum values, for specified drain-source voltage, other terminal connections being specified, at a temperature of 25 °C or at one			

other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.2.5 Gate-source cut-off voltage (V_{GSoff})

Minimum and maximum values of gate-source voltage at which the drain current has been reduced to a specified low value, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.2.6 Gate-source threshold voltage ($V_{GS(th)}$)

Minimum and maximum values, at a specified high value of drain-source voltage, and at a value of drain current equal to or more than 10 times the maximum value of drain current at zero gate voltage, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.2.7 y-parameters

5.3.2.7.1 For all FETs under specified values of bias and frequency:

y_{is} – real and imaginary parts, maximum values;

y_{os} – real and imaginary parts, maximum values;

y_{fs} – real and imaginary parts, minimum and maximum values (see also 5.3.2.7.2);

y_{rs} – real and imaginary parts, maximum values.

5.3.2.7.2 For power MOSFET as alternative to y_{fs} , forward transconductance (g_{ms} , g_m , g_{fs}):

Minimum value with drain-source short circuit to a.c., for specified drain-source voltage and drain current, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.2.8 Output power at specified input power (P_o)

Minimum and typical values under specified circuit and bias conditions

or:

power gain (G_p)

Minimum and typical values under specified circuit and bias conditions

5.3.2.9 Where appropriate, overall efficiency (η_{tot})

Minimum and typical values under specified circuit and bias conditions

NOTE $\eta_{tot} = \frac{P_{out}}{P_{in} + P_{(d.c.)}}$

TYPES		
A	B	C
+	+	
		+
+	+	+
	+	+
+	+	+
+	+	+
+	+	+

5.3.2.10 Alternatively, collector efficiency (η_d)

Minimum and typical values under specified circuit and bias conditions

NOTE $\eta_d = \frac{P_{out}}{P_{d(d.c.)}}$

5.3.2.11 Power added efficiency (η_{add})

Minimum and typical values under specified circuit and bias conditions

NOTE $\eta_{add} = \frac{P_{out} - P_{in}}{P_{d(d.c.)}}$

5.3.2.12 Noise figure (F)

Maximum value, under specified conditions of bias, source impedance, centre frequency and power bandwidth. These conditions must be those which provide the lowest value of the noise figure.

5.3.2.13 Thermal resistance channel-to-ambient or channel-to-case ($R_{th(j-a)}$) or ($R_{th(j-c)}$)

Maximum value.

5.3.3 Characteristics for high and low power switching and chopper**5.3.3.1 Gate cut-off current****Gate leakage current**

Maximum value, at specified gate-source or drain-gate voltage, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

Together with:

Maximum value of the current of all gates connected together, at specified gate-source or drain-gate voltage, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.3.2 Drain cut-off current

Maximum value, at specified drain-source and gate-source voltages, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.3.3 Gate-source cut-off voltage (V_{GSoff})

Minimum and maximum values of gate-source voltage at which the drain current has been reduced to a specified low value, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

TYPES		
A	B	C
+	+	+
+	+	+
+	+	+
	+	+
+		
	+	+
+	+	+
+	+	

5.3.3.4 Gate-source threshold voltage ($V_{GS(th)}$)

Minimum and maximum values, at a specified high value of drain-source voltage and at a value of drain current equal to or more than 10 times the maximum value of drain current at zero gate-voltage, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.3.5 On-state characteristics

5.3.3.5.1 Drain-source on-state voltage; ($V_{DS(on)}$)

Drain-source saturation voltage

Maximum value, at a specified large value of drain current and gate-source voltage, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

or (for MOSFET only):

5.3.3.5.2 Drain-source on-state resistance ($r_{DS(on)}$)

Maximum value, at a specified large value of drain current and gate-source voltage, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.3.5.3 Short-circuit output conductance (g_{oss})

Maximum small-signal value, in common-source configuration, under specified bias conditions and at a specified low frequency, with the input short-circuited to a.c.

5.3.3.6 Short-circuit input capacitance (C_{iss})

Maximum small-signal value, in common-source configuration, under specified bias conditions and at a specified low frequency, with the output short-circuited to a.c.

5.3.3.7 Short-circuit output capacitance (where appropriate) (C_{oss})

Maximum small-signal value, in common-source configuration, under specified bias conditions and at a specified low frequency, with the input short-circuited to a.c.

5.3.3.8 Reverse transfer capacitance (where appropriate) (C_{rss})

Maximum small-signal value, in common-source configuration, under specified bias conditions and at a specified low frequency, with the input short-circuited to a.c.

5.3.3.9 Switching times (see Figure 3)

They are stated under the following conditions:

- common-source configuration;
- specified condition in which output loading capacitance and resistance shall be included;
- input pulse transition times, amplitude and repetition frequency to be specified;
- $V_{GS(off-state)}$ must be greater than or equal to the maximum gate-source cut-

TYPES		
A	B	C
		+
+	+	+
	+	+
+	+	+
+	+	+
+	+	+
+	+	+
+	+	+

off voltage for type A and B devices, or lower than the minimum gate-source threshold voltage for type C devices;

e) $V_{GS(\text{on-state})}$ must correspond to a high drain current;

f) Maximum values of: $t_{d(\text{on})}$, t_r , $t_{d(\text{off})}$ and t_f separately.

NOTE Where $t_{d(\text{off})}$ is only a small fraction of the total turn-off time (t_{off}), a maximum value for t_{off} alone is adequate.

5.3.3.10 Characteristics of the inverse diode (for power MOSFET only)

5.3.3.10.1 Drain-source reverse voltage (V_{DSR}) (Forward voltage of the inverse diode)

Maximum value at specified reverse drain current (I_{DR}) (forward current of the inverse diode) and at $V_{GS} = 0$.

5.3.3.10.2 Forward recovery time (t_{fr}) (Reverse recovery time of the inverse diode)

Maximum value under specified conditions.

5.3.3.10.3 Peak forward recovery current (I_{FRM}) (Peak reverse recovery current of the inverse diode)

Maximum value under specified conditions.

5.3.3.10.4 Forward recovery energy (E_{fr}) (Reverse recovery energy of the inverse diode)

Maximum value under specified conditions.

5.3.3.11 Thermal resistance channel-to-ambient or channel-to-case ($R_{th(j-a)}$ or ($R_{th(j-c)}$)

Maximum value.

5.3.3.12 Drain cut-off current or drain-source off-state resistance

Maximum value of drain-source cut-off current (or alternatively, minimum value of drain-source off-state resistance), at specified low values of drain-source voltage for both polarities and at a specified gate-source voltage.

5.3.3.13 Forward transconductance (g_{ms} , g_m , g_{fs}) (for power MOSFET only)

Minimum value, for specified drain-source voltage and drain current, at a temperature of 25 °C at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.3.14 Breakdown voltage, drain to source ($V_{(BR)DSX}$) (for type B)

Minimum value, at maximum off-state drain current I_{D0} and specified gate-source voltage.

5.3.3.15 Breakdown voltage, drain to source ($V_{(BR)DSS}$) (for type C)

Minimum value, at maximum off-state drain current I_{D0} and gate-source shorted.

TYPES		
A	B	C
	+	+
	+	+
	+	+
	+	+
	+	+
+	+	+
	+	+
	+	
		+

5.3.3.16 Gate-source on-state voltage ($V_{GS(on)}$) (for type B and C)

Maximum value in the on-state

5.3.3.17 Internal gate resistance (r_g), where appropriate

Maximum and/or typical value, under the electrical conditions specified and at specified frequency

5.3.3.18 Turn-on energy (per pulse) (E_{on}), where appropriate

Maximum value under specified conditions:

- drain-source voltage before turn-on;
- drain peak current after turn-on;
- gate-source voltage;
- resistance in the gate-source circuit;
- case or ambient temperature or virtual junction temperature.

5.3.3.19 Turn-off energy (per pulse) (E_{off}), where appropriate

Maximum value under specified conditions:

- drain peak current before turn-off;
- drain-source voltage after turn-off;
- gate-source voltage;
- resistance in the gate-source circuit;
- case or ambient temperature or virtual junction temperature.

5.3.3.20 Gate charges (Q_G , Q_{GD} , $Q_{GD(th)}$, $Q_{GS(pl)}$)

Typical values at specified drain current (I_D), drain-source voltage (V_{DS}) and gate current (I_{GG}) (see Figure 1)

5.3.3.21 Thermal impedance channel-to-ambient or channel-to-case ($Z_{th(j-a)}$ or ($Z_{th(j-c)}$), where appropriate

Maximum value

5.3.4 Characteristics for low-level amplifier

5.3.4.1 Gate cut-off current

Gate leakage current

Maximum value, at specified gate-source or drain-gate voltage, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

Together with:

Maximum value of the current of all gates connected together, at specified gate-source or drain-gate voltage, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

TYPES		
A	B	C
	+	+
	+	+
	+	+
	+	+
	+	+
	+	+
+		
	+	+

5.3.4.2 Drain cut-off current

Maximum value, at specified drain-source and gate-source voltages, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.4.3 Drain current at zero gate-source voltage (I_{DSS})

Minimum and maximum values, at a specified drain-source voltage, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.4.4 Drain current at specified gate-source voltage (I_{DSX})

Minimum and maximum values, for specified gate-source and drain-source voltages, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.4.5 Gate-source cut-off voltage (V_{GSoff})

Minimum and maximum values of gate-source voltage at which the drain current has been reduced to a specified low value, other terminal connections being specified at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.4.6 Gate-source threshold voltage ($V_{GS(th)}$)

Minimum and maximum values, at a specified high value of drain-source voltage and at a value of drain current equal to or more than 10 times the maximum value of drain current at zero gate voltage, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.

5.3.4.7 Noise voltage (where appropriate) (V_n)

Maximum value in common-source configuration, under specified circuit conditions.

5.3.4.8 Small signal forward transconductance (g_{ms} , g_m , g_{fs})

Minimum value, for specified drain-source voltage and drain current, at an operating temperature of 25 °C and, where appropriate, at a specified higher temperature, at a specified frequency.

5.3.4.9 Characteristics of the inverse diode (where appropriate)**5.3.4.9.1 Reverse drain current (I_{DR}) (forward current of the inverse diode)**

Maximum value at specified Reverse drain current (I_{DR}) and at $V_{GS} = 0$.

5.3.4.9.2 Forward recovery time (t_{fr}) (Reverse recovery time of the inverse diode)

Maximum value under specified conditions.

TYPES		
A	B	C
+	+	+
+	+	
		+
+	+	
		+
+	+	+
+	+	+
	+	+

		TYPES		
		A	B	C
5.3.4.10 Thermal resistance channel-to-ambient or channel-to-case ($R_{th(j-a)}$) or ($R_{th(j-c)}$)			+	+
Maximum value.				
5.3.5 Characteristics for voltage-controlled resistor				
5.3.5.1 Gate cut-off current		+		
Gate leakage current			+	+
Maximum value, at specified gate-source or gate-drain voltage, other terminal connections being specified, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.				
5.3.5.2 Small-signal drain-source resistance (r_{ds})		+	+	+
Minimum and maximum small-signal values, at zero drain-source voltage and at two or more specified gate-source voltages, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.				
5.3.5.3 Non-linearity distortion factor of drain-source small-signal resistance, where appropriate		+	+	+
Maximum value (total or individual harmonic contents), at specified drain-source and gate-source voltages and at specified drain-source a.c. signal, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.				
5.3.5.4 Temperature coefficient of the small-signal drain-source resistance		+	+	+
Typical value.				
5.3.5.5 Drain-source capacitance		+	+	+
Maximum small-signal value, at zero drain-source voltage, at a specified gate-source voltage, with the gate short-circuited for a.c. to the source.				
5.3.5.6 Drain-gate capacitance		+	+	+
Maximum small-signal value at zero drain-source voltage, at a specified gate-source voltage.				
5.3.5.7 Gate-source capacitance (where appropriate)		+	+	+
Maximum small-signal value at zero drain-source voltage, at a specified gate-source voltage, with the drain short-circuited for a.c. to the source.				
5.3.5.8 Forward transconductance (g_{ms}, g_m, g_{fs}) (for power MOSFET only)			+	+
Minimum value, for specified drain-source voltage and drain current, at a temperature of 25 °C or at one other higher temperature, preferably equal to the maximum virtual junction temperature.				

		TYPES		
		A	B	C
5.3.5.9 Thermal resistance channel-to-ambient or channel-to-case ($R_{th(j-a)}$) or ($R_{th(j-c)}$)			+	+
Maximum value.				
5.3.6 Specific characteristics of matched-pair field-effect transistors for low-frequency differential				
5.3.6.1 Difference of gate cut-off currents		+		
Difference of gate leakage currents ($I_{G1} - I_{G2}$)			+	+
Maximum absolute value, at specified drain-gate or drain-source voltage and drain current.				
5.3.6.2 Ratio of drain currents				
5.3.6.2.1 Ratio of drain currents for zero gate-source voltage (I_{DSS1} / I_{DSS2})		+	+	
Minimum value of the ratio of the drain currents, at a specified drain-source voltage and zero gate-source voltage.				
5.3.6.2.2 Ratio of drain currents for specified gate-source voltage				+
Minimum value of the ratio of the drain currents, at specified drain-source and gate-source voltages.				
NOTE This ratio should be stated as the smaller value divided by the larger value.				
5.3.6.3 Difference of small-signal common-source output conductances, where appropriate ($g_{os1} - g_{os2}$)		+	+	+
Maximum absolute value of the difference of the output conductances, at specified drain-gate or drain-source voltage, drain current, and frequency.				
5.3.6.4 Ratio of small-signal common-source forward transconductances ($g_{fs1} - g_{fs2}$)		+	+	+
Minimum value of the ratio of forward transconductances, at specified drain-gate or drain-source voltage, drain current, and frequency				
NOTE This ratio should be stated as the smaller value divided by the larger value.				
5.3.6.5 Difference of gate-source voltages ($V_{GS1} - V_{GS2}$)		+	+	+
Maximum absolute value of the difference of the gate-source voltages, at specified drain-gate or drain-source voltage and drain current.				
5.3.6.6 Change in difference of gate-source voltages between two temperatures ($\Delta(V_{GS1} - V_{GS2}) _{\Delta T}$)		+	+	+
Maximum absolute value of the change of the difference of the gate-source voltages (as in 5.3.6.5) between two specified temperatures, at the same specified drain-gate or drain-source voltage and drain current.				

6 Measuring methods

6.1 General

The polarities of the power supplies, shown in the circuits in this standard, are applicable to N-channel type devices. However, the circuits can be adapted for P-channel type devices by changing the polarities of the meters and the power supplies.

The general precautions listed in Subclause 6.4 of IEC 60747-1:2006 apply. In addition, special care shall be taken to use low-ripple d.c. supplies and to decouple adequately all bias supply voltages at the frequency of measurement. For four-terminal devices, the fourth terminal shall be connected as specified.

When handling these devices, the handling precautions given in IEC 61340 shall be observed. The entire circuit in the following subclauses shall be placed inside an electrostatic screen.

6.2 Verification of ratings (limiting values)

After the following test, confirm the FET characteristics specified in Table 2.

Table 2 – Acceptance defining characteristics

Characteristics	Acceptance criteria
I_{GSS}	$I_{GSS} < USL$
I_{DS^*}	$I_{DS^*} < USL$
$V_{GS(th)}$ (or $V_{GS(off)}$)	$V_{GS(th)} < USL$ or $V_{GS(th)} > LSL$
$V_{DS(on)}$	$V_{DS(on)} < USL$
$r_{DS(on)}$	$r_{DS(on)} < USL$ (only for MOSFET)
USL: upper specified limit LSL: lower specified limit	

6.2.1 Voltages and currents

6.2.1.1 Drain-source voltage (d.c.) (V_{DS^*})

NOTE * = O, R, S or X

– Purpose

To verify the drain-source voltage (d.c.) V_{DS^*} under specified conditions.

– Circuit diagram

See Figure 4 below.

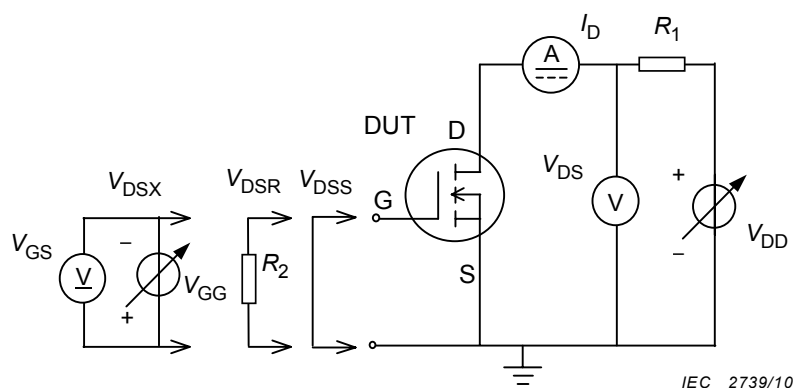


Figure 4 – Circuit diagram for testing of drain-source voltage

- **Circuit description and requirements**

V_{DD} and V_{GG} are the d.c. voltage supply. R_1 is a circuit protection resistor.

- **Testing procedure**

The gate-source is set to specified conditions. V_{DD} is increased until drain-source voltage measured on voltmeter V_{DS} reaches the specified drain-source voltage (d.c.) V_{DS*} . After the above test, confirm the acceptance-defining characteristics of DUT being normal by the criteria of Table 2.

- Specified conditions

- Reference point or junction temperature T_{vj}
- Gate-source bias conditions
- Drain-source voltage: rated drain-source voltage

6.2.1.2 Gate-source (d.c.) voltage (V_{GS^*})

- **Purpose**

To verify the gate-source (d.c.) voltage for both polarities, under specified conditions.

- **Circuit diagram**

See Figure 5 below.

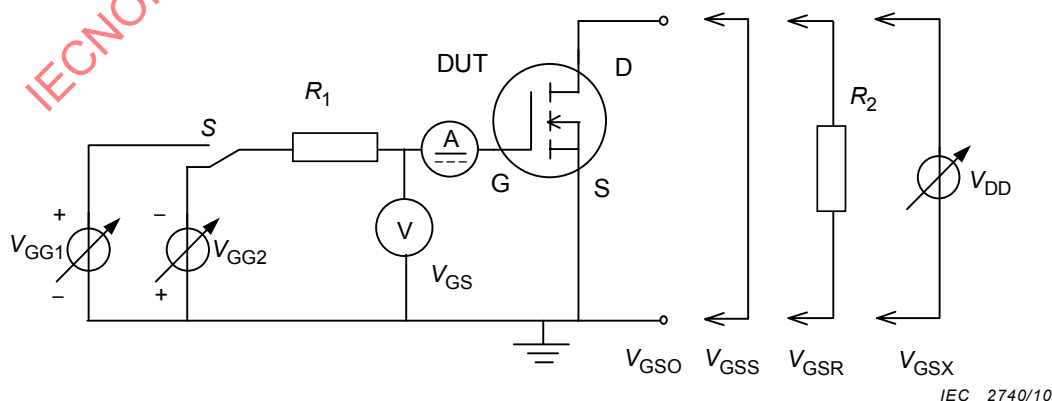


Figure 5 – Circuit diagram for testing of gate-source voltage

- **Circuit description and requirements**

V_{DD} , V_{GG1} and V_{GG2} are the d.c. voltage supply. V_{GSX} is applied only for gate reverse biased condition of V_{GG2} . R_1 is a protective resistor.

– **Testing procedure**

Drain-source voltage is set to specified conditions. V_{GG} is increased until gate-source voltage measured on voltmeter V_{GS} reaches the specified gate-source voltage V_{GS}^* . After the above test, confirm the acceptance-defining characteristics of DUT being normal by the criteria of Table 2.

– **Specified conditions**

- Reference point or junction temperature T_{vj} ;
- Drain-source bias conditions;
- Gate-source voltage: rated gate-source voltage.

6.2.1.3 Gate-drain (d.c.) voltage (V_{GD}^*)

– **Purpose**

To verify the gate-drain (d.c.) voltage for both polarities, under specified conditions.

– **Circuit diagram**

See Figure 6 below.

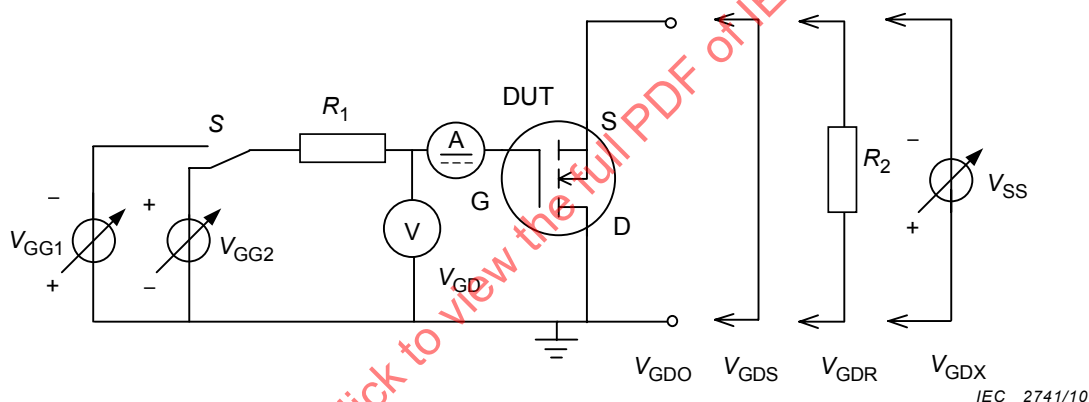


Figure 6 – Circuit diagram for testing of gate-drain voltage

– **Circuit description and requirements**

V_{SS} , V_{GG1} and V_{GG2} are the d.c. voltage supply. V_{GDX} is applied only for gate reverse biased condition of V_{GG2} .

– **Testing procedure**

Source-drain voltage is set to specified conditions. V_{GD} is increased until gate-drain voltage measured on voltmeter V_{DS} reaches the specified gate-drain voltage V_{GD}^* . After the above test, confirm the acceptance-defining characteristics of DUT being normal by the criteria of Table 2.

– **Specified conditions**

- Reference point or junction temperature T_{vj} ;
- Drain-source bias conditions;
- Gate-drain voltage: rated gate-drain voltage.

6.2.1.4 Drain current (I_D)

– **Purpose**

To verify that drain current capability of FETs is not less than the maximum rated value I_D under specified conditions.

– **Circuit diagram**

See Figure 7 below.

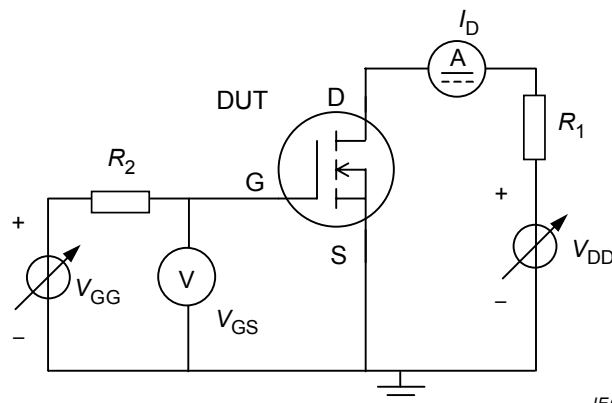


Figure 7 – Basic circuit for the testing of drain current

– **Circuit description and requirements**

V_{DD} and V_{GG} are the d.c. voltage supply. R_1 and R_2 are protective resistors.

– **Testing procedure**

Specified gate-source voltage is applied to the gate. Temperature (T_a or T_c or T_{vj}) and gate-source voltage are set and kept to the specified value. Drain current is supplied at specified conditions. After the above test, confirm the reference-defining characteristics of DUT being normal by the criteria of Table 2. Drain current is supplied at specified conditions until thermal equilibrium is reached.

– **Specified conditions**

- Reference point or junction temperature T_{vj} ;
- Gate-source voltage V_{GS} ;
- Drain current I_D .

6.2.1.5 Peak drain current (I_{DM})

– **Purpose**

To verify the peak drain current under specified conditions.

– **Circuit diagram**

See Figure 8 below.

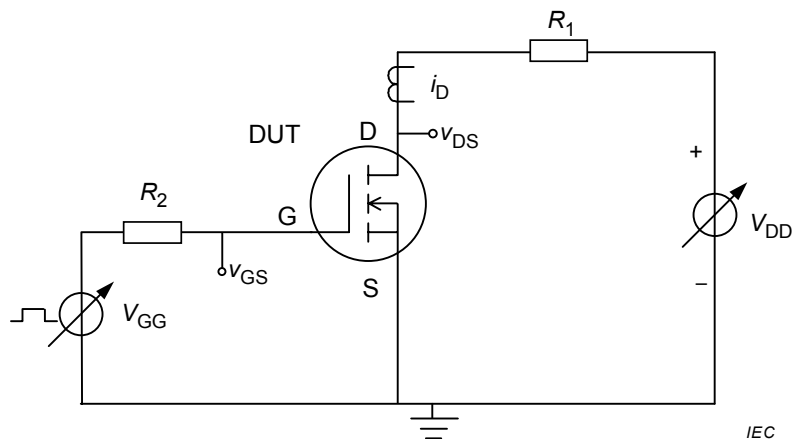


Figure 8 – Circuit diagram for testing of peak drain current

– **Circuit description and requirements**

V_{DD} is the d.c. voltage supply and V_{GG} is the gate pulse generator. R_1 and R_2 are protective resistors.

– **Testing procedure**

A specified gate-source voltage pulse is applied to turn the device on and off. Temperature (T_a or T_c or T_{vj}) is set and kept to the specified value. Peak drain current is conducted at the specified conditions. After the above test, confirm the acceptance-defining characteristics of DUT being normal by the criteria of Table 2.

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Gate-source voltage V_{GS}
- Pulse width and duty cycle
- Peak drain current I_{DM}

6.2.1.6 Reverse drain current (I_{DRS}) or (I_{DRX})

– **Purpose**

To verify the reverse drain current under specified conditions.

– **Circuit diagram**

See Figure 9 below.

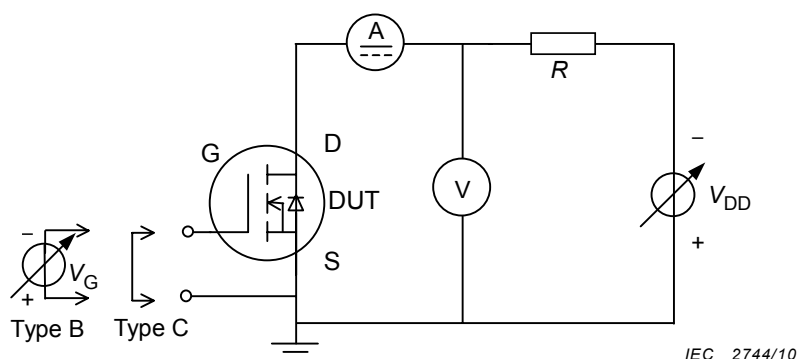


Figure 9 – Basic circuit for the testing of reverse drain current of MOSFETs

– Circuit description and requirements

V_{DD} is the d.c. voltage supply. R is a protective resistor.

– Testing procedure

Gate-source terminals are shorted (C-type) or supplied with an off-bias (B-type). Temperature (T_a or T_c or T_{vj}) is set and kept to the specified value under specified conditions. Reverse drain current is conducted to DUT with MOSFET in off-state. After the above test, confirm the acceptance-defining characteristics of DUT being normal by the criteria of Table 2.

– Specified conditions

- MOSFET in off-state: the gate condition of B type is set to be kept in the off-state.
- Reference point or junction temperature T_{vj}
- Protective resistor R
- Reverse drain current I_{DR}

6.2.1.7 Peak reverse drain current (I_{DRM})

– Purpose

To verify peak reverse drain current under specified conditions.

– Circuit diagram

See Figure 10 below.

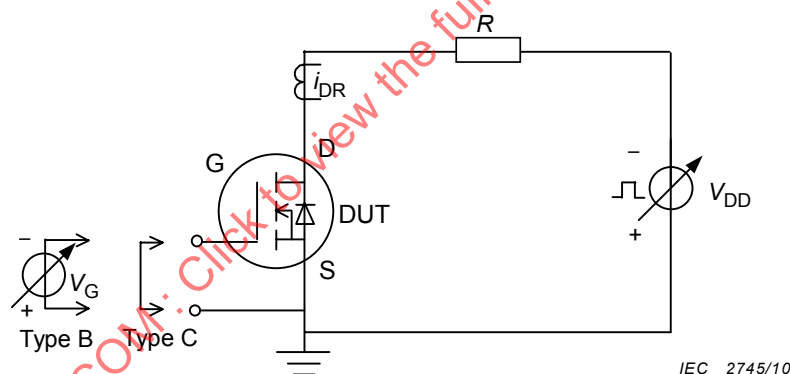


Figure 10 – Basic circuit for the testing of peak reverse drain current of MOSFETs

– Circuit description and requirements

V_{DD} is a pulse voltage source with adjustable pulse width and duty cycle control. R is a protective resistor.

– Testing procedure

Gate-source terminals are connected as specified. The temperature (T_a or T_c or T_{vj}) is set and kept to the specified value. Peak reverse drain current is conducted to DUT by turning on the V_{DD} with MOSFET in off-state. After the above test, confirm the acceptance-defining characteristics of DUT being normal by the criteria of Table 2.

– Specified conditions

- MOSFET in off-state
- Reference point or junction temperature T_{vj}
- Pulse width and duty cycle; setting up by the pulse switching unit
- Peak reverse drain current I_{DRM}

6.2.2 Safe operating area

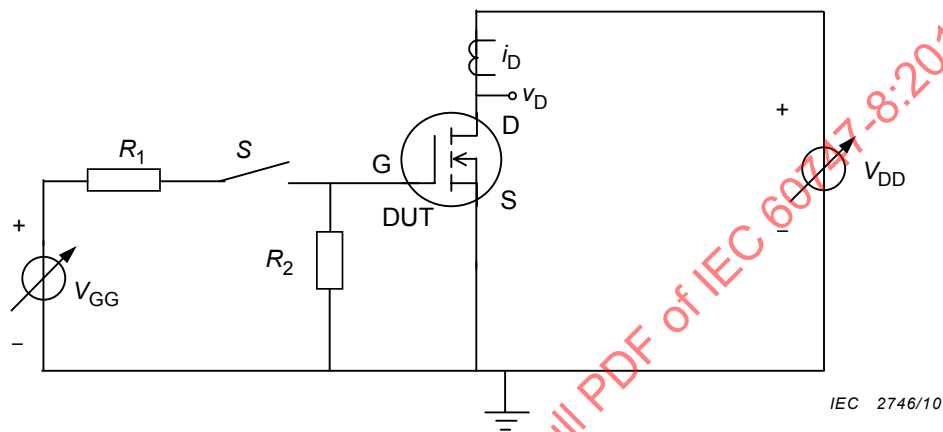
6.2.2.1 Forward-bias safe operating area (FBSOA)

– Purpose

To verify the forward-bias safe operating area of a case-rated power field-effect transistor under specified conditions with non-inductive load.

– Circuit diagram

See Figure 11 below.



DUT = transistor being measured (MOSFET or JFET)

Figure 11 – Circuit diagram for verifying FBSOA

– Circuit description and requirements

V_{GG} , V_{DD} = adjustable voltage sources

R_1 , R_2 = 10 k Ω or as specified

S = switch to obtain the specified sequence of current pulse

– Testing procedure

The case temperature is set to the specified value. The device is switched on and off with the specified pulse duration and duty cycle. V_{DS} and I_D are monitored. V_{GG} and/or V_{DD} are increased until the specified pulse values for V_{DS} and I_D are reached. Under these operating conditions, the device being measured is operated for the specified duration of the test, or for the specified number of pulses, as appropriate. Verification of the FBSOA rating is obtained from the post-test measurements. After the above test, confirm the acceptance-defining characteristics of DUT being normal by the criteria of Table 2.

– Specified conditions

- Case temperature T_c
- Drain-source voltage V_{DS}
- Drain current I_D
- As specified, either d.c. operation or repetitive pulse operation, or a combination of these conditions
- Pulse duration t_p and duty factor δ as appropriate
- As specified, either duration of the test or number of test pulses
- R_1 , R_2 if other than 10 k Ω

- Post-test measurement limits

6.2.2.2 Reverse-bias safe operation area (RBSOA)

– Purpose

To verify the reverse-bias safe operation area under specified conditions with inductive load.

– Circuit diagram and test waveforms

See Figure 12 and Figure 13 below.

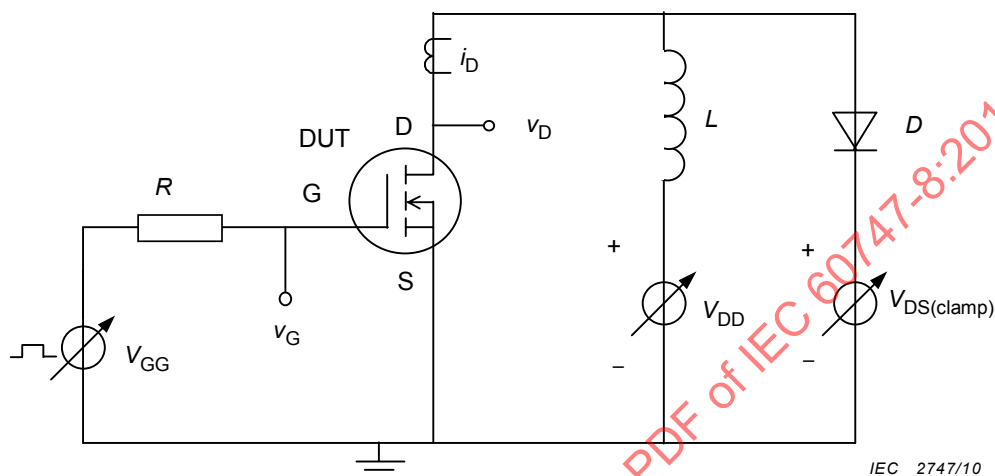


Figure 12 – Circuit diagram for verifying RBSOA

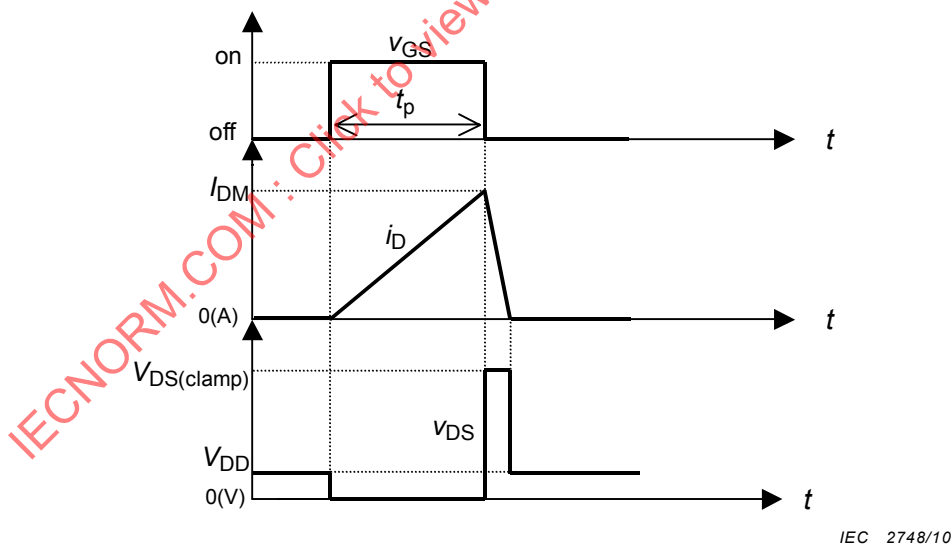


Figure 13 – Test waveforms for verifying RBSOA

– Circuit description and requirements

D = clamping diode

L = inductive load

V_{DD} = adjustable voltage sources

$V_{DS(clamp)}$ = adjustable voltage source for the clamping voltage

t_p = gate-source voltage pulse width

V_{GG} = gate pulse generator

R = gate resistor

– Testing procedure

DUT is turned off at specified I_D . V_{DS} and I_S (I_D) are monitored. The DUT has to turn off I_D and withstand $V_{DS} = V_{DS(clamp)}$.

NOTE Drain-source peak voltage $V_{DSM} < V_{(BR)DS+}$.

The temperature (*reference point temperature* or T_{vj}) is set and kept to a specified value. Under these operating conditions, DUT is operated for the specified duration of the test, or for the specified number of pulses, as appropriate. Verification of the RBSOA rating is obtained from the post-test measurements. After the above test, confirm the acceptance defining characteristics of DUT being normal by the criteria of Table 2. The device is considered defective if, at any instant during the test, the drain-source voltage collapses or oscillates during the fall of the current pulses.

– Specified conditions

- Drain current I_D
- Gate reverse voltage $-V_{GS}$ before and after turn-off
- Drain-source voltage $V_{DS(clamp)}$
- Number of pulses, if greater than one, and pulse width and duty cycle
- Inductance L
- Reference point or virtual junction temperature T_{vj}

– Gate resistor R_G

6.2.2.3 Short-circuit safe operating area (SCSOA)

– Purpose

This test is to verify that the MOSFET operates reliably without failure under load-shortened conditions. A short-circuit can occur when the MOSFET is already conducting, or the MOSFET is turned into a short-circuit condition. A test for the latter case is described in the following.

– Circuit diagram and waveforms

See Figure 14 and Figure 15 below.

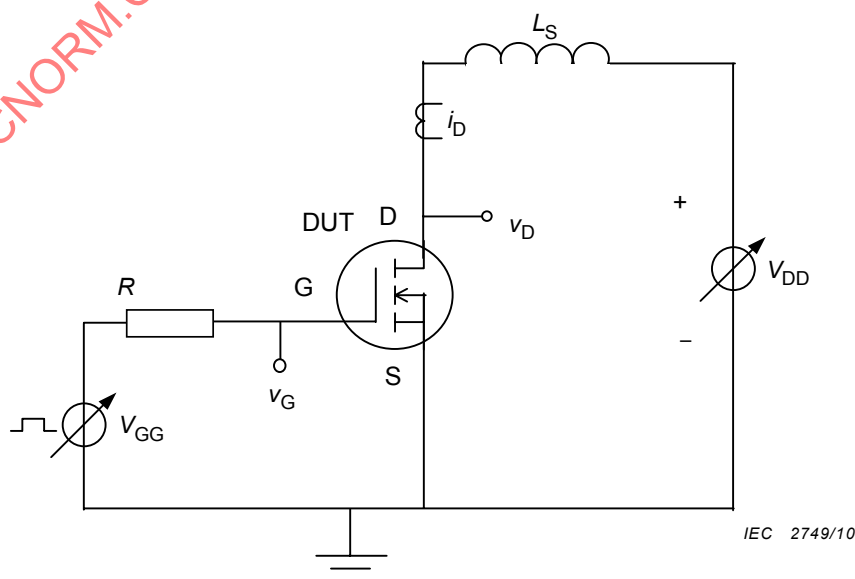


Figure 14 – Circuit for testing safe operating pulse duration at load short circuit

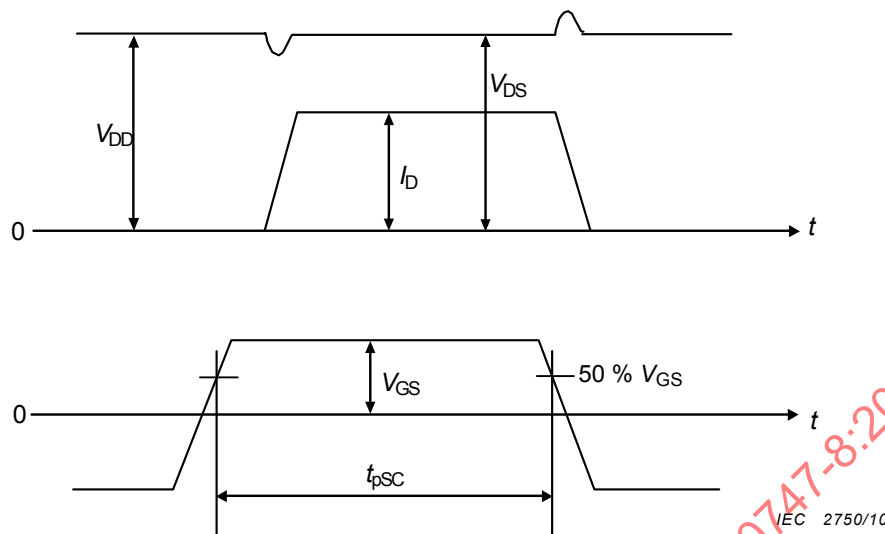


Figure 15 – Waveforms of gate-source voltage V_{GS} , drain current I_D and voltage V_{DS} during load short circuit condition SCSOA

– **Circuit descriptions and requirements**

L_S represents the maximum permitted stray inductance; it must be low enough to ensure that the maximum short circuit current is reached within the first 25% of the gate pulse duration t_{pSC} .

L_S = stray inductance

V_{DD} = adjustable voltage sources

t_{pSC} = gate-source voltage pulse width

V_{GG} = gate pulse generator

R = gate resistor as specified

– **Testing procedure**

Temperature is set to the specified value. Gate-source voltage V_{GS} and pulse duration is set to specified values. Drain-source voltage V_{DS} is set to a specified value. The drain currents I_D and V_{DS} are monitored in order to see whether the MOSFET turns on and turns off correctly. After the above test, confirm the acceptance defining characteristics of DUT being normal by the criteria of Table 2.

– **Specified conditions**

- Drain-source voltage $V_{DS} = V_{DD}$
- On and off-state gate source voltages
- Gate pulse duration t_{pSC}
- Gate resistor R
- Value of stray inductance L_S
- Reference point or virtual junction temperature T_{vj}

6.2.3 Avalanche energy

6.2.3.1 Repetitive avalanche energy (E_{AR})

– Purpose

To verify the repetitive avalanche energy capability in an unclamped inductive switching circuit.

– Circuit diagram and waveforms

See Figure 16 and Figure 17 below.

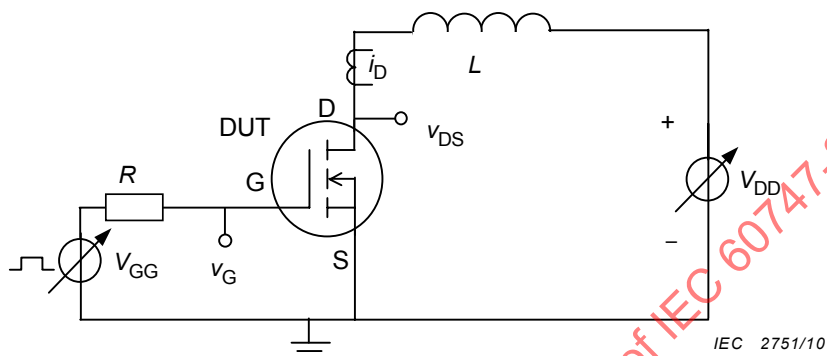


Figure 16 – Circuit for the inductive avalanche switching

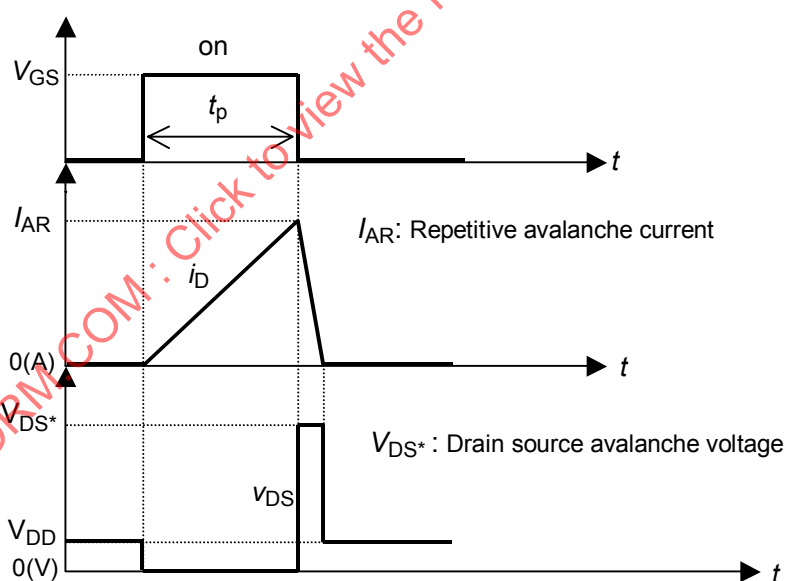


Figure 17 – Waveforms of i_D , V_{DS} and V_{GS} during unclamped inductive switching

– Circuit descriptions and requirements

L = inductive load

V_{DD} = adjustable voltage sources

V_{GG} = gate pulse generator

R = gate resistor as specified

– Test procedure

Temperature is set to the specified value. The supply voltage (V_{DD}) is set to the specified value. The turn-on time of the MOSFET is adjusted in such a way that the specified avalanche current is reached. Under these operating conditions, the DUT is operated with the specified number of pulses and repetition rate. The energy delivered to the DUT can be calculated as follows:

$$E_{AR} = \frac{1}{2} L I_{AR}^2 V_{DS^*} / (V_{DS^*} - V_{DD})$$

After the above test, confirm the acceptance defining characteristics of DUT are normal by the criteria of Table 2. DUT shall be within all specified parameter limits at the completion of the test. The measured value of V_{DS^*} shall be greater than or equal to the minimum breakdown voltage $V_{(BR)DS^*}$ with the permitted avalanche currents I_{AR} .

NOTE When V_{DD} is set to a smaller value compared with V_{DS^*} , E_{AR} is calculated by using the approximate equation of $E_{AR} = \frac{1}{2} L I_{AR}^2$.

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Drain-source voltage V_{DD}
- Gate-source voltage V_{GS}
- Drain current I_D
- Inductance L
- Frequency f

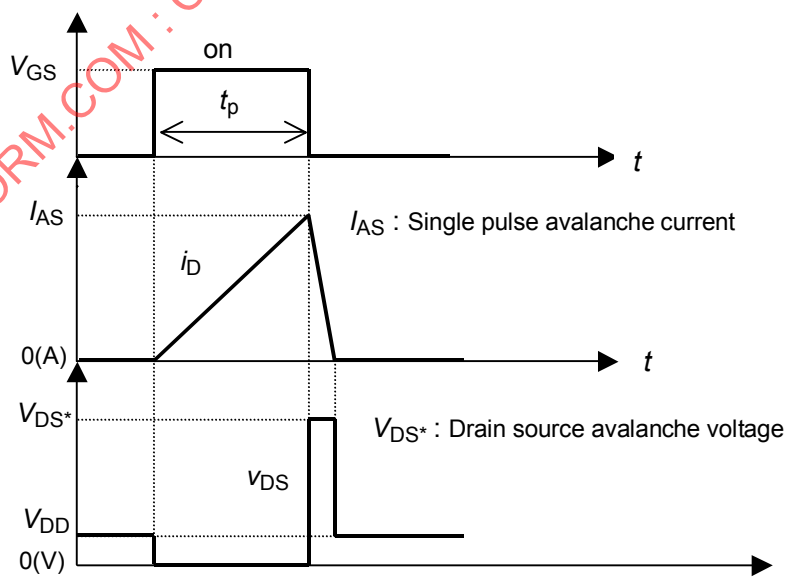
6.2.3.2 Non-repetitive avalanche switching energy (E_{AS})

– **Purpose**

To verify the non-repetitive avalanche switching energy.

– **Circuit diagram and waveforms**

See Figure 18 below.



IEC 2753/10

Figure 18 – Waveforms of I_D , V_{DS} and V_{GS} for the non-repetitive avalanche switching

– **Circuit descriptions and requirements**

L = inductive load

V_{DD} = adjustable voltage sources

V_{GG} = gate pulse generator

R_G = gate resistor as specified

– **Testing procedure**

Temperature is set to the specified value. The supply voltage (V_{DD}) is set to the specified value. The turn-on time of the MOSFET is adjusted in such a way that the specified avalanche current is reached. Under these operating conditions, the DUT is operated with the single pulse. The energy delivered to the DUT can be calculated as follows:

$$E_{AS} = \frac{1}{2} L I_{AS}^2 V_{DS*} / (V_{DS*} - V_{DD})$$

After the above test, confirm the acceptance defining characteristics of DUT are normal by the criteria of Table 2. DUT shall be within all specified parameter limits at the completion of the test. The measured value of V_{DS*} shall be greater than or equal to the minimum breakdown voltage $V_{(BR)DS*}$ with the permitted avalanche currents I_{AS} .

NOTE When V_{DD} is set to a smaller value compared with V_{DS*} , E_{AS} is calculated by using the approximate equation of $E_{AS} = \frac{1}{2} L I_{AS}^2$.

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Drain-source voltage V_{DD}
- Gate-source voltage V_{GS}
- Drain current I_D
- Inductance L
- Single pulse

6.3 Methods of measurement

6.3.1 Breakdown voltage, drain to source ($V_{(BR)DS*}$)

– **Purpose**

To measure the drain to source breakdown voltage under specified conditions.

– **Circuit diagram**

See Figure 19 below.

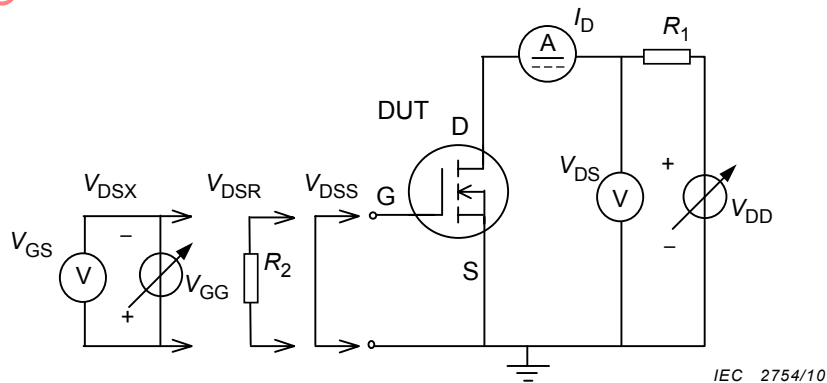


Figure 19 – Circuit diagrams for the measurement drain-source breakdown voltage

– **Circuit description and requirements**

V_{DD} and V_{GG} are the d.c. voltage supply. R_1 is a circuit protection resistor.

– Measurement procedure

The gate-source is set to specified conditions. V_{DD} is increased until the drain off-state current measured by ammeter A reaches the specified value I_{DS} . The breakdown voltage is measured on the voltmeter V_{DS} .

– Specified conditions

- Reference point or junction temperature T_{vj}
- Gate-source bias conditions

SX : gate-source voltage is applied;

SR : the resistance is connected between gate and source (R_2 value);

SS : gate-source is shorted;

- Maximum drain off-state current $I_{DS^*,max}$

6.3.2 Gate-source off-state voltage ($V_{GS(off)}$) (type A and B), gate source threshold voltage ($V_{GS(th)}$) (type C)

– Purpose

To measure the gate-source off-state voltage, under specified conditions.

– Circuit diagram

See Figure 20 below.

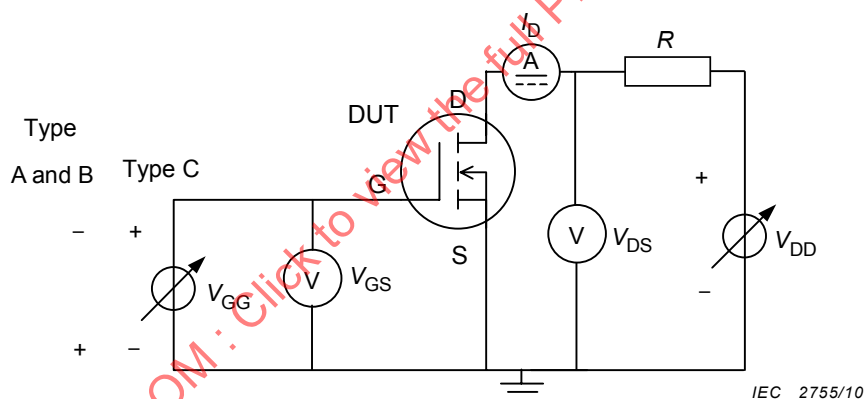


Figure 20 – Circuit diagram for measurement of gate-source off-state voltage and gate-source threshold voltage

– Circuit description and requirements

V_{DD} and V_{GG} are the d.c. voltage supply. R is a circuit protection resistor.

– Measurement procedure

The specified drain-source voltage is applied. The gate source voltage is adjusted to the value at which the drain current equals the specified value. The voltage measured by V_{GS} is the gate-source off-state voltage (type A and B) respectively the gate-source threshold voltage (type C).

– Specified conditions

- Reference point or junction temperature T_{vj}
- Drain-source voltage V_{DS}
- Drain current I_D

6.3.3 Drain leakage current (d.c.) (I_{DS^*})(type C), Drain cut-off current (d.c.) (I_{DSX})(type A and B)

– Purpose

To measure the drain leakage (or off-state) current (d.c.) I_{DS^*} under specified conditions or the drain cut-off current (d.c.) I_{DSX} under the gate-source voltage.

NOTE * = R, S or X.

– Circuit diagram

See Figure 21 below.

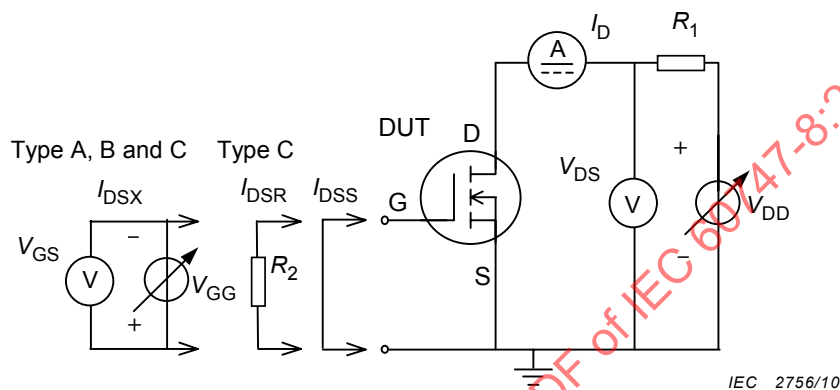


Figure 21 – Circuit diagram for drain leakage (or off-state) current or drain cut-off current measurement

– Circuit description and requirements

V_{DS} and V_{GG} are the d.c. voltage supply. R_1 is a circuit protection resistor.

– Measurement procedure

The gate-source is set to the specified bias conditions. V_{DD} is increased until the drain-source voltage measured by voltmeter V_{DS} reaches the specified value. The drain leakage (or off-state) current I_D is measured on the ammeter. If required, $r_{DS(off)}$ is calculated from the formula $r_{DS(off)} = V_{DS}/I_{Dx}$.

– Specified conditions

- Reference point or junction temperature T_{vj}

- Gate-source bias conditions

SX : gate-source voltage is applied;

SR : the resistance is connected between gate and source (R_2 value);

SS : gate-source is shorted;

- Drain-source voltage: the value is not greater than the breakdown voltage

6.3.4 Gate cut-off current (I_{GS^*})(type A), Gate-leakage current (I_{GS^*})(type B and C)

– Purpose

To measure the gate cut-off current or gate leakage current under specified conditions.

– Circuit diagram

See Figure 22 below.

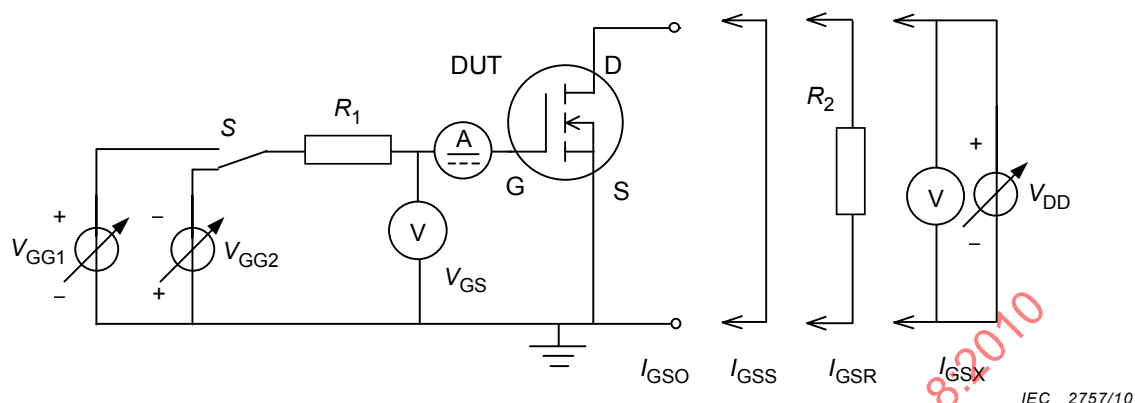


Figure 22 – Circuit diagram for measuring of gate cut-off current or gate leakage current

– Circuit description and requirements

The entire circuit shall be placed inside an electrostatic screen. The voltage drop of the ammeter A to depend on the internal resistance and the value of I_{GS} shall be smaller than 1 % of the value of V_{GS} .

– Measurement procedure

Set the drain-source to the specified bias conditions. Increase V_{GG} until gate-source voltage measured on voltmeter V_{GS} reaches the specified gate-source voltage V_{GS}^* . The gate cut-off current or gate leakage current is measured on ammeter A.

– Specified conditions

- Reference point or junction temperature T_{vj}
- Drain-source bias conditions
- I_{GSX} conditions in case of type B and C are applied just for reverse biased V_{GG2}
- Gate-source voltage: Type A is applied just for reverse biased V_{GG2}

6.3.5 (Static) drain-source on-state resistance ($r_{DS(on)}$) or drain-source on-state voltage ($V_{DS(on)}$)

– Purpose

To measure drain-source on-state resistance or drain-source on-state voltage under specified negligible dissipation conditions.

– **Circuit diagram**

See Figure 23 below.

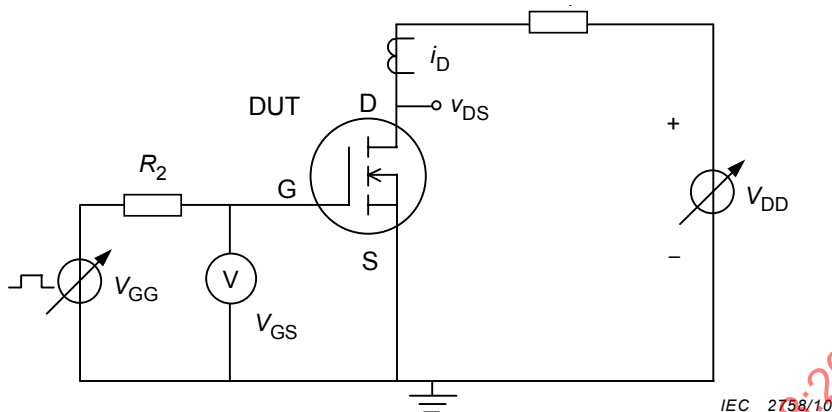


Figure 23 – Basic circuit of measurement for on-state resistance

– **Circuit description and requirements**

V_{GG} is a gate pulse generator. V_{DD} is a variable voltage source to supply the drain-source current. R_1 is a protective resistor.

– **Measurement procedure**

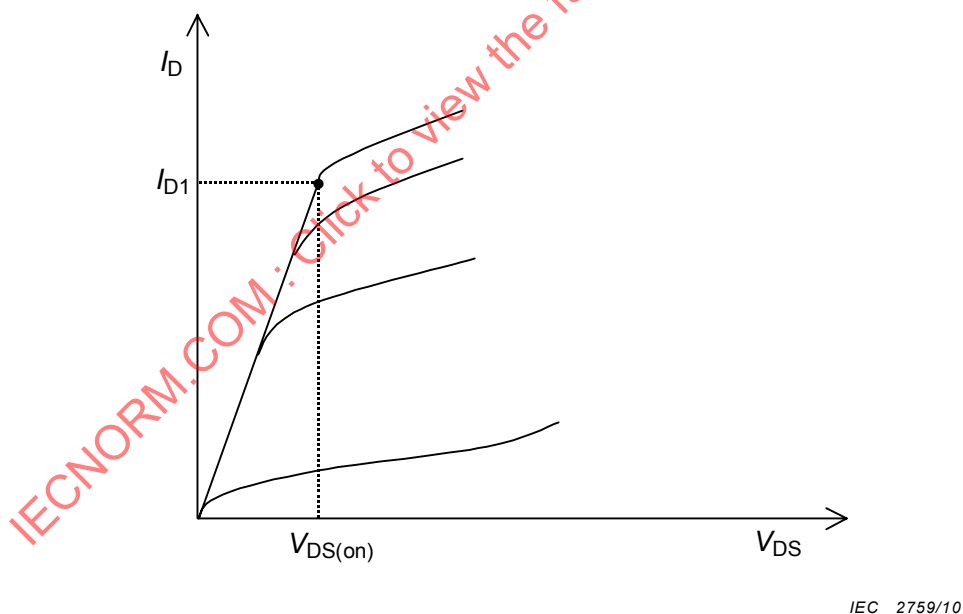


Figure 24 – On-state resistance

Adjust the temperature to the specified value. Set the V_{GS} to the specified value. Apply a drain current I_D pulse in the range of the linear part of the on-state drain current–voltage curve (see Figure 25). Measure the values of I_{D1} and $V_{DS(on)}$. Calculate $r_{DS(on)}$ from the formula $r_{DS(on)} = V_{DS(on)} / I_{D1}$.

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Drain-source voltage or drain current

- Gate-source voltage

6.3.6 Switching times ($t_{d(on)}$, t_r , $t_{d(off)}$, and t_f)

– Purpose

To measure the switching time during turn-on and turn-off under specified conditions.

– Circuit diagram and waveforms

See Figure 25 and Figure 26 below.

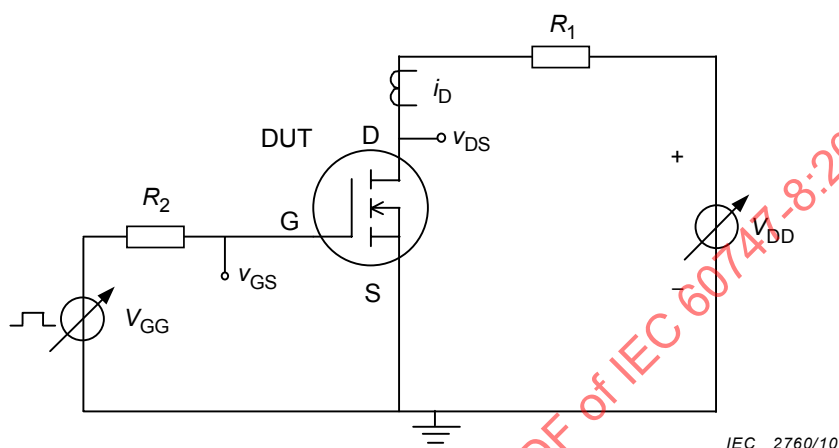


Figure 25 – Circuit diagram for switching time

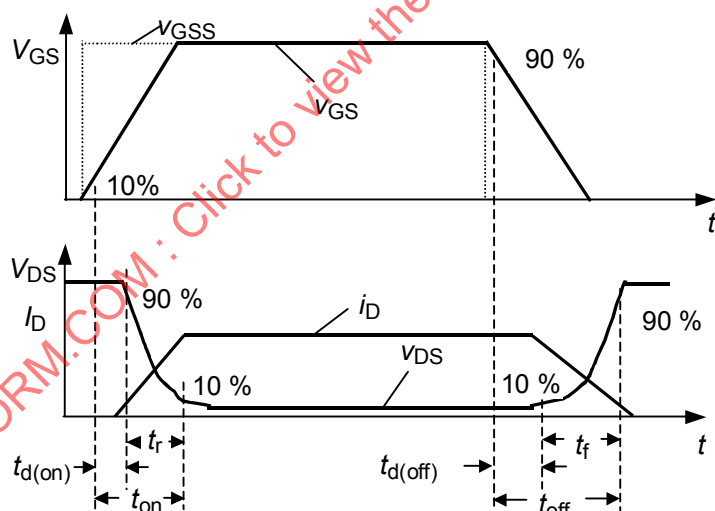


Figure 26 – Schematic switching waveforms and times

– Circuit description and requirements

V_{GG} is a generator for rectangular pulses having an internal resistance that is small compared to the gate resistance R_2 . The rise time and the fall time of the pulses at the generator output shall be smaller than the switching time of the DUT. R_1 is a load resistor. In the practical layout, parasitic stray inductance shall be minimized. Unless otherwise specified, the common-source configuration is used.

– Measurement procedure

The gate voltage pulse amplitude V_{GG} and the drain-source supply voltage V_{DD} are set to the specified values. R_1 is adjusted to set the specified drain current I_D . The waveforms of the

drain-source voltage v_{DS} and the gate-source voltage v_{GS} are monitored and the turn-on and the turn-off times are measured in accordance with Figure 26.

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Drain -source voltage V_{DS}
- Pulse shape of gate source voltage V_{GS} after turn-on and turn-off:
- Gate pulse width, pulse rise and pulse fall times, repetition rate
- Resistor R_1 , R_2
- Drain current I_D

6.3.7 Turn-on power dissipation (P_{on}), turn-on energy (per pulse) (E_{on})

– **Purpose**

To measure the turn-on power dissipation and / or the turn-on energy per pulse of the DUT under specified conditions at inductive load.

– **Circuit diagram**

See Figure 27 below.

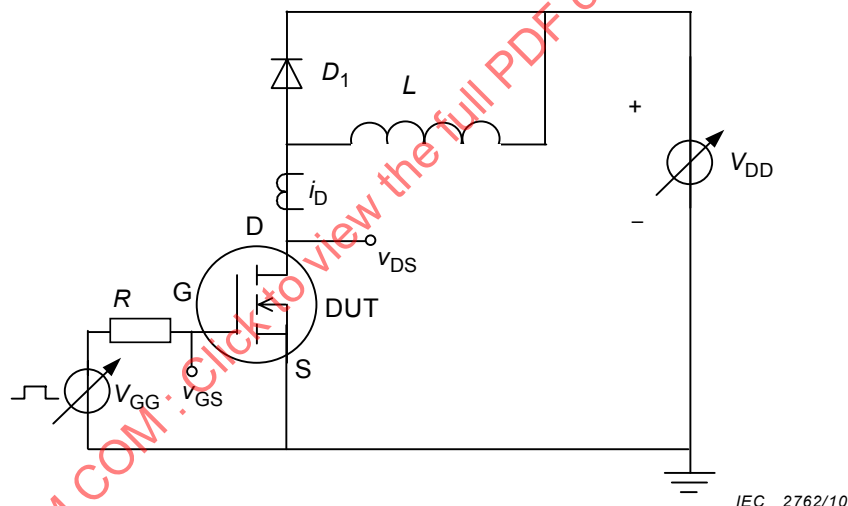


Figure 27 – Circuit for determining the turn-on and turn-off power dissipation and/or energy

– **Circuit description and requirements**

V_{GG} is a generator for rectangular pulses having an internal resistance that is small compared to the gate resistance R . The rise time of the pulses at the generator output shall be smaller than the switching time of the DUT. D_1 is a specified free-wheeling diode and L is a load inductance. In the practical layout, parasitic stray inductance shall be minimized.

– **Measurement procedure**

The gate voltage pulse amplitude V_{GG} and the drain-source supply voltage V_{DD} are set to the specified values. The waveforms of the drain current i_D and the drain-source voltage v_{DS} are monitored. The turn-on energy per pulse is then the integral of the product of the two magnitudes over the time. The turn-on power dissipation at any repetition frequency is the product of this frequency and the turn-on energy per pulse as determined by the integration (see 3.3.21).

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Drain-source voltage before turn-on V_{DS}
- Drain current I_D after turn-on
- Gate resistor R
- Gate-source voltage pulse shape: amplitude, rise time, duration
- Characteristics of free wheeling diode D_1 (type number of free-wheeling diode)

6.3.8 Turn-off power dissipation (P_{off}), turn-off energy (per pulse) (E_{off})

– **Purpose**

To measure the turn-off power dissipation and / or the turn-off energy per pulse of the DUT under specified conditions at inductive load.

– **Circuit diagram**

See Figure 27 above.

– **Circuit description and requirements**

V_{GG} is a generator for rectangular pulses having an internal resistance that is small compared to the gate resistance R . The rise time and the fall time of the pulses at the generator output shall be smaller than the switching time of the DUT. D_1 is a specified free-wheeling diode and L is a load inductance. In the practical layout, parasitic inductance shall be minimized.

– **Measurement procedure**

The gate voltage amplitude V_{GG} and the drain-source supply voltage V_{DD} are set to the specified values. The waveforms of drain current I_D and drain-source voltage V_{DS} are monitored as shown in Figure 2. The turn-off energy per pulse is then the integral of the product of the two magnitudes over the time. The turn-off power dissipation at any repetition frequency is the product of this frequency and the turn-off energy per pulse as determined by the integration (see 3.3.22).

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Drain peak current I_D before turn-off
- Drain-source voltage V_{DS} after turn-off
- Load inductance L
- Resistor R in the gate-source circuit
- Gate voltage pulse: amplitude, rise time, duration

6.3.9 Gate charges (Q_G , Q_{GD} , $Q_{GS(th)}$, $Q_{GS(pl)}$)

– **Purpose**

To measure gate charges of the DUT under specified conditions.

– **Circuit diagram**

See Figure 28 below.

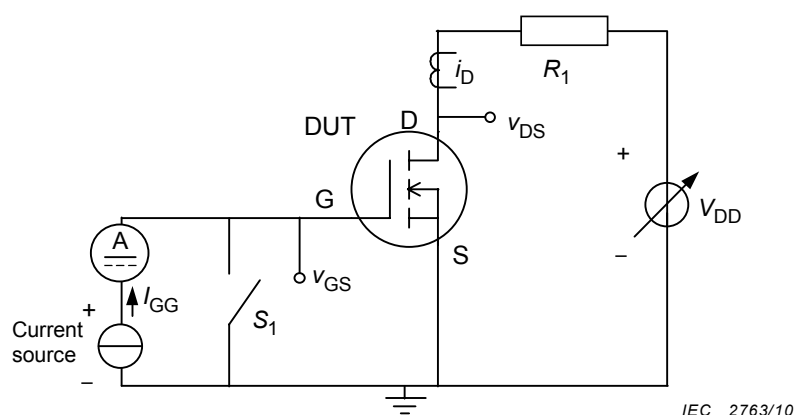


Figure 28 – Circuit diagrams for the measurement gate charges

– **Circuit description and requirements**

I_{GG} is a constant current source. S_1 is a switch to control the time of gate current pulse width. R_1 is a load resistor to limit the drain current.

– **Measurement procedure**

The waveforms are shown in Figure 1. Switch S_1 is opened at t_0 and the gate is fed with a constant current until a specified gate-source voltage reaches a constant final value, when switch S_1 is closed. Then, the total gate charge, gate-source charge and gate-drain charge can be calculated by using the expressions defined in Subclauses 3.3.7.1 to 3.3.7.4.

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Drain current I_D
- Drain source voltage V_{DS}
- Gate current I_{GG}

6.3.10 Common source short-circuit input capacitance (C_{iss})

– **Purpose**

To measure the input capacitance of the DUT, under specified conditions.

– **Circuit diagram**

See Figure 29 below.

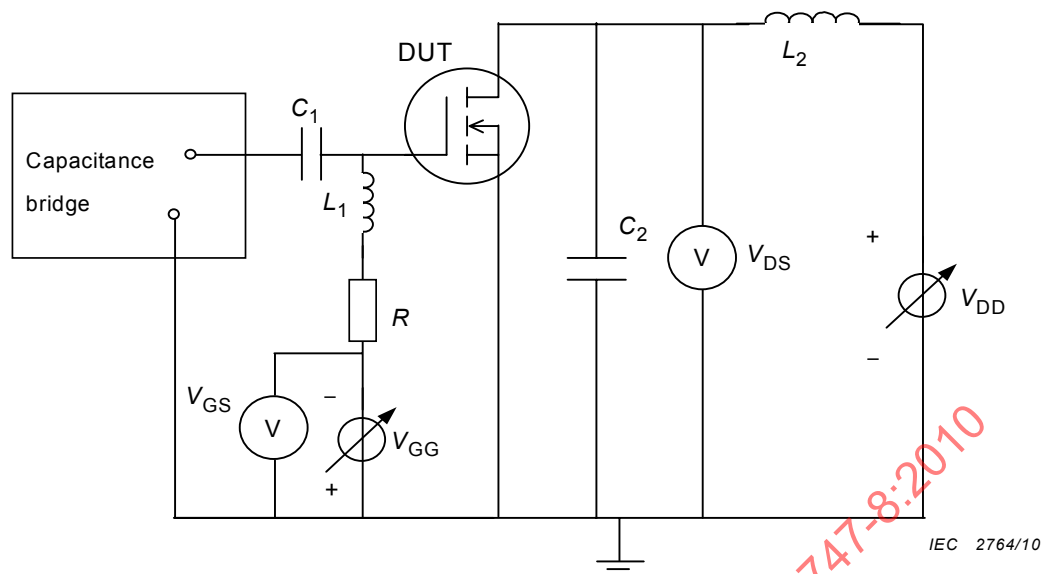


Figure 29 – Basic for the measurement of short-circuit input capacitance

– **Circuit description and requirements**

Capacitance C_1 and C_2 shall present short circuits at the measurement frequency, satisfying the following conditions. The impedance of L_1 and R shall be sufficiently large at the measurement frequency not to affect the measurement value:

$$|y_{is}| \gg 1/\omega L_1 \text{ and } \omega C_1 \gg |y_{is}|$$

$$|y_{os}| \gg 1/\omega L_2 \text{ and } \omega C_2 \gg |y_{os}|$$

– **Measurement procedure**

Without the DUT, zero adjustments of the capacitance bridge are made. And then, after the DUT is set, V_{DS} and V_{GS} are adjusted to the specified values. The bridge is re-balanced; the difference of the capacitance readings of this adjustment and that without the DUT in the measurement circuit yields the value of C_{iss} .

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Drain-source voltage V_{DS}
- Gate-source voltage V_{GS}
- Frequency of measurement f

6.3.11 Common source short-circuit output capacitance (C_{oss})

– **Purpose**

To measure the short-circuit output capacitance, under specified conditions.

– **Circuit diagram**

See Figure 30 below.

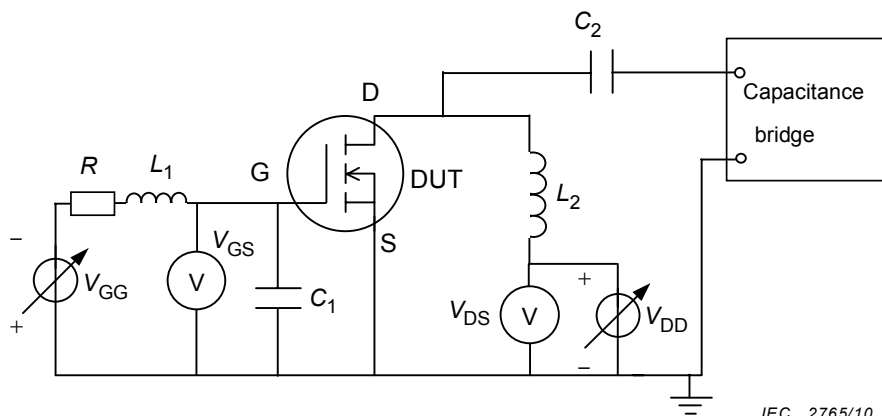


Figure 30 – Basic circuit for measurement of short-circuit output capacitance (C_{oss})

– **Circuit description and requirements**

A capacitance bridge is used, thus making it possible to apply a null method. C_2 shall be much larger than C_{oss} , and ωC_1 much larger than $|y_{is}|$. The impedance of L_1 , L_2 shall be sufficiently high, so that it is possible to compensate it by the bridge adjustments.

$$|y_{is}| \gg 1/\omega L_1 \text{ and } \omega C_1 \gg |y_{is}|$$

$$|y_{os}| \gg 1/\omega L_2 \text{ and } \omega C_2 \gg |y_{os}|$$

– **Measurement procedure**

First without the DUT, zero adjustments of the capacitance bridge are made. The DUT to be measured is then set into the measurement circuit, V_{DS} , and V_{GS} (or I_D) is adjusted to the specified values. The bridge is re-balanced; the difference of the capacitance readings of this adjustment and that without the DUT in the measurement circuit yields the value of C_{oss} .

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Drain-source voltage V_{DS}
- Gate-source voltage V_{GS}
- Frequency of measurement f

6.3.12 Common source short-circuit reverse transfer capacitance (C_{rss})

– **Purpose**

To measure reverse transfer capacitance, under specified conditions.

– **Circuit diagram**

See Figure 31 below.

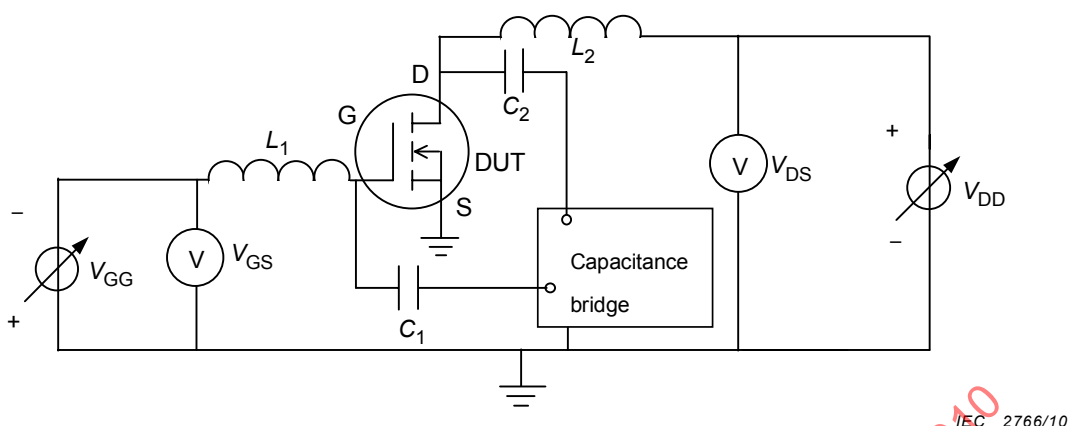


Figure 31 – Circuit for measurement of reverse transfer capacitance C_{rss}

– **Circuit description and requirements**

The values of C_1 , C_2 , L_1 and L_2 shall be sufficiently large so that they do not affect the measurement. The capacitance bridge shall be capable of measuring the capacitance independently of any impedance present between either measuring terminal and ground.

– **Measurement procedure**

First without the DUT, zero adjustments of the capacitance bridge are made. The DUT to be measured is then set into the measurement circuit, V_{DS} , and V_{GS} (or I_D) is adjusted to the specified values. The bridge is re-balanced; the difference of the capacitance readings of this adjustment and that without the DUT in the measurement circuit yields the value of C_{rss} .

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Drain-source voltage V_{DS}
- Gate-source voltage V_{GS}
- Frequency of measurement f

6.3.13 Internal gate resistance (r_g)

– **Purpose**

To measure the internal gate resistance of the DUT, under specified conditions.

– **Circuit diagram**

See Figure 32 below.

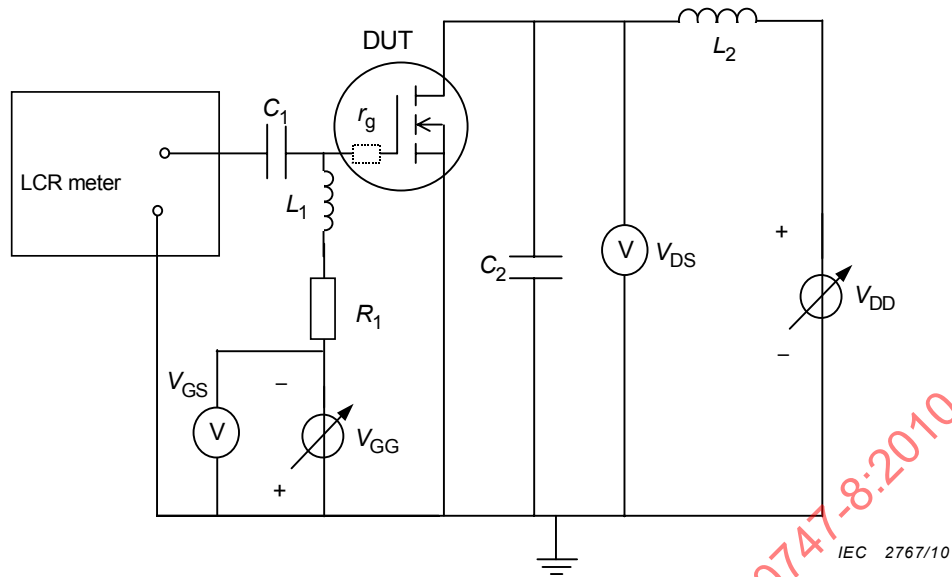


Figure 32 – Circuit for measurement of internal gate resistance

– **Circuit description and requirements**

An LCR meter is used, thus making it possible to apply a null method. C_2 shall be much larger than C_{oss} , and ωC_1 much larger than $|y_{is}|$. The impedance of L_1 , L_2 shall be sufficiently high so that it is possible to compensate it by the bridge adjustments.

$$|y_{is}| \gg 1/\omega L_1 \text{ and } \omega C_1 \gg |y_{is}|$$

$$|y_{os}| \gg 1/\omega L_2 \text{ and } \omega C_2 \gg |y_{os}|$$

– **Measurement procedure**

Drain-source voltage V_{DS} and gate-source voltage V_{GS} of DUT are set to specified values and then internal gate resistance r_g is measured by LCR meter adjusted in a series mode connection of gate capacitance of DUT and resistance r_g .

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Drain-source voltage V_{DS}
- Gate-source voltage V_{GS}
- Frequency of measurement f

6.3.14 MOSFET forward recovery time (t_{fr}) and MOSFET forward recovered charge (Q_f)

– **Purpose**

To measure the MOSFET forward recovery time t_{fr} and MOSFET forward recovered charge Q_f under specified conditions.

Method 1**– Circuit diagram and waveform**

See Figure 33 and Figure 34 below.

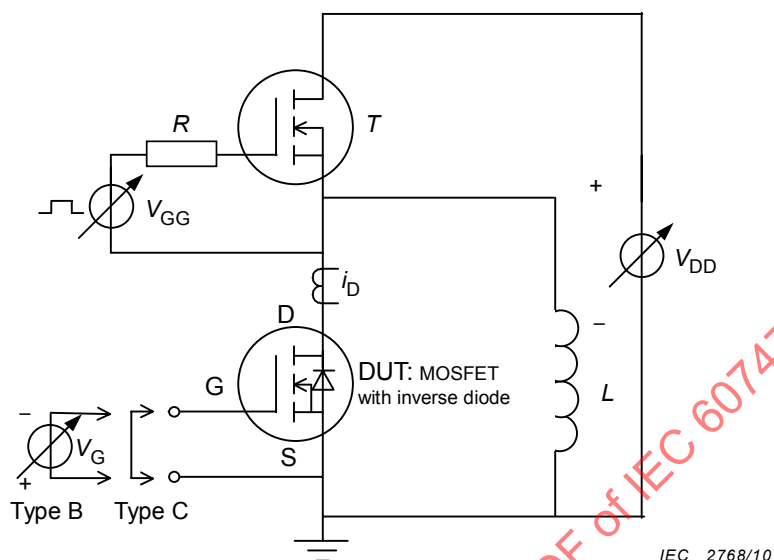


Figure 33 – Circuit diagram for MOSFET forward recovery time and recovered charge (Method 1)

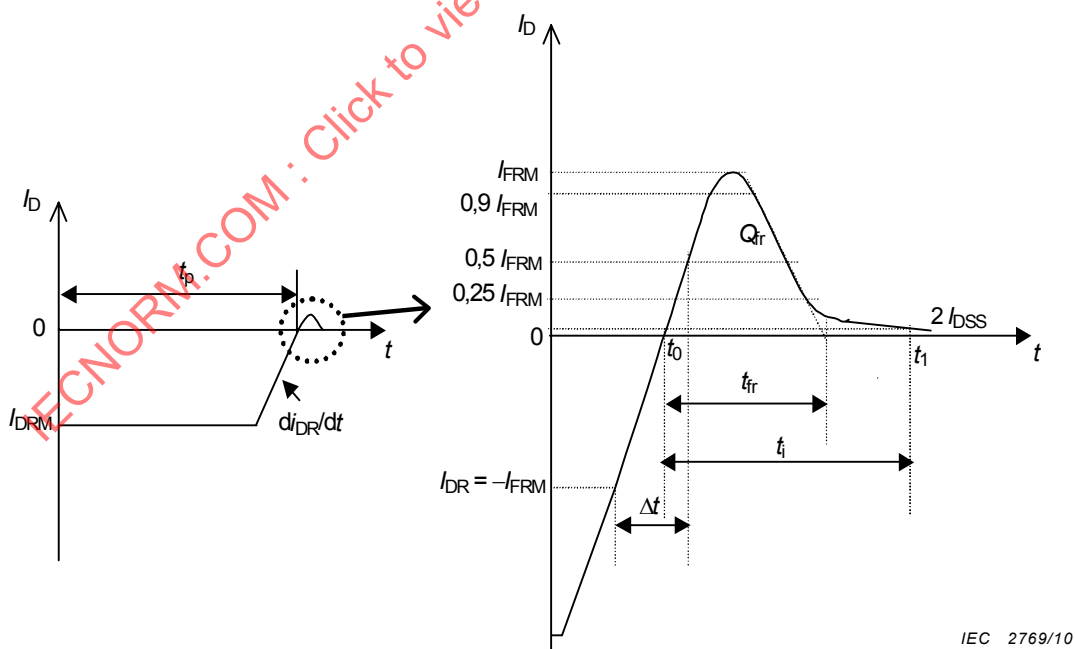


Figure 34 – Current waveform through MOSFET (Method 1)

– Circuit description and requirements

V_{DD} is the d.c. voltage supply and V_{GG} is the gate pulse generator to turn-on and turn-off the MOSFET T. L is a load inductance. Inverse diode is integrated in the DUT. The rate of change

of reverse drain current di_{DR}/dt of the DUT can be controlled by the values of the gate voltage V_{GG} and/or R .

– Measurement procedure

MOSFET T is turned on and turned off twice, and then the second turn-on is observed. Waveforms of the current I_D are monitored. The recovered charge is measured as

$$Q_f = \int_{t_0}^{t_0+t_i} i_D \cdot dt$$

where

t_0 is the instant when the current passes through zero;

t_i is the integration time.

Integral end time t_1 is the time when forward drain current reaches $2 \times I_{DSS}$, preferably equal to the specified maximum value of t_{fr} . Δt can be adjusted by MOSFET T driving conditions, such as V_G and/or R . The forward recovery time t_{fr} is measured as the interval between the time of t_0 when the drain current passes through zero and the time when, for decreasing values of I_D , a line through the points for $0,9 I_{FRM}$ and $0,25 I_{FRM}$ crosses the zero current axis.

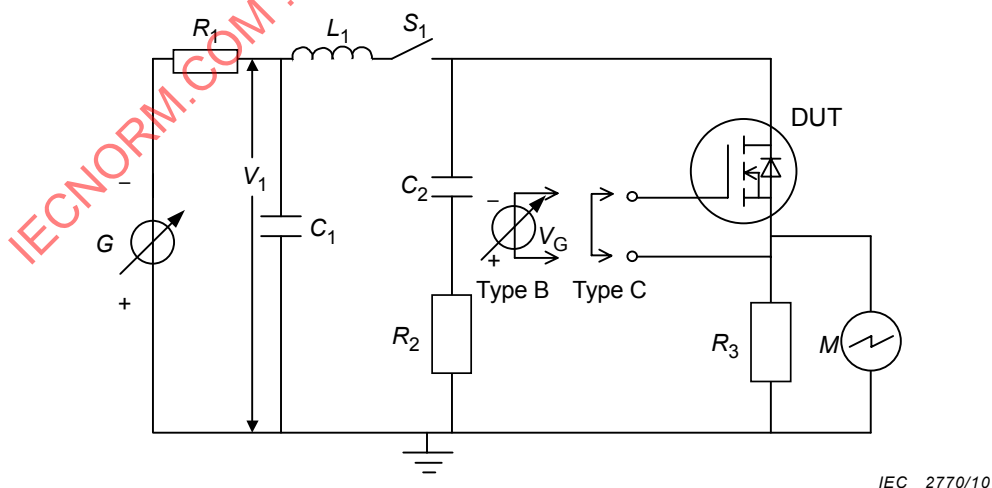
– Specified conditions

- Reference point or junction temperature T_{vj}
- Reverse drain current I_{DR}
- Rate of change of drain current di_{DR}/dt
- Integration time t_i (for the recovered charge measurement)
- T shall be off-state by gate-source shorted or reverse biased

Method 2

– Circuit diagram and waveform

See Figure 35 and Figure 36 below.



IEC 2770/10

Figure 35 – Circuit diagram for MOSFET forward recovery time and recovered charge (Method 2)

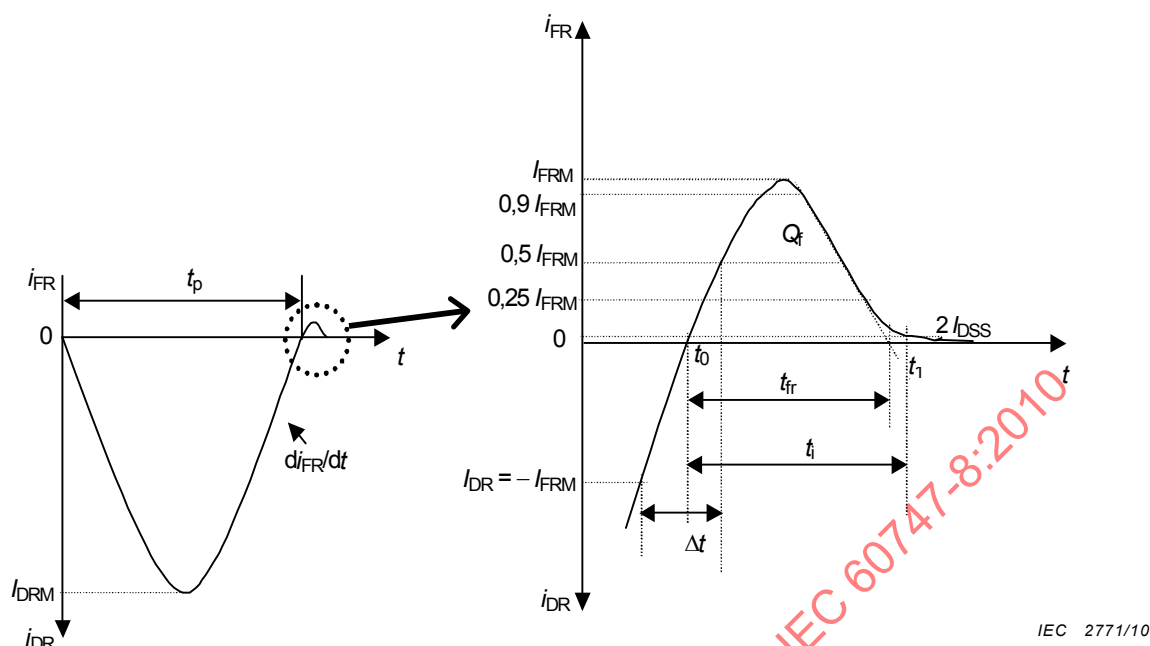


Figure 36 – Current waveform through MOSFET (Method 2)

– **Circuit description and requirements**

G Voltage generator to charge C_1

R_1 Resistor to prevent generator G from damping of the resonant circuit

C_1 & L_1 Resonant circuit supplying the reverse and forward currents

Approximately $t_p = \pi \sqrt{L_1 C_1}$ and $V_1 = I_{DRM} \sqrt{\frac{L_1}{C_1}}$ provided that $\sqrt{\frac{L_1}{C_1}} \gg 2(r_{ds(on)} + R_3)$

S_1 Switch (e.g. MOSFET with inverse (antiparallel) diode)

C_2 & R_2 Circuit to limit the applied forward off-state drain voltage (alternatively the DUT may be switched on as the forward voltage rises towards the break-over voltage)

R_3 Current sensing resistor

M Measuring instrument (e.g. oscilloscope)

V_G Gate off-state voltage for type B devices

– **Measurement procedure**

The DUT gate is biased to the off-state. With S_1 open, generator G charges capacitor C_1 to the voltage required to produce the specified peak reverse drain current I_{DRM} through the DUT. Switch S_1 is closed and the resonant circuit L_1 C_1 discharges through the DUT. The pulse duration (t_p) and the rate of change of reverse drain current di_{DR}/dt shall be in accordance with the specified conditions. The forward recovery time t_{fr} is measured as the interval between the time when the drain current passes through zero and time when, for decreasing values of I_D , a line through the points for 0,9 I_{FRM} and 0,25 I_{FRM} crosses the zero current axis.

The forward recovered charge is measured as $Q_f = \int_{t_0}^{t_0+t_i} i_D \cdot dt$

Where t_0 is the instant when the current passes through zero, t_i is the integration time.

Integral end time t_1 is the time when forward drain current reaches $2 \times I_{DSS}$.

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Peak drain reverse current I_{FRM}
- Rate of change of drain current di_{DR}/dt
- Integration time (t_i) (for the recovered charge measurement)

NOTE The rate of change of drain current is measured at zero crossing current, for example over time Δt , between current values of $I_{DR} = -I_{DM}$ and $I_{DR} = 0,5 I_{DM}$.

6.3.15 Drain-source reverse voltage (V_{DSR})

– **Purpose**

To measure the drain-source reverse voltage V_{DSR} under specified conditions.

– **Circuit diagram**

See Figure 37 below.

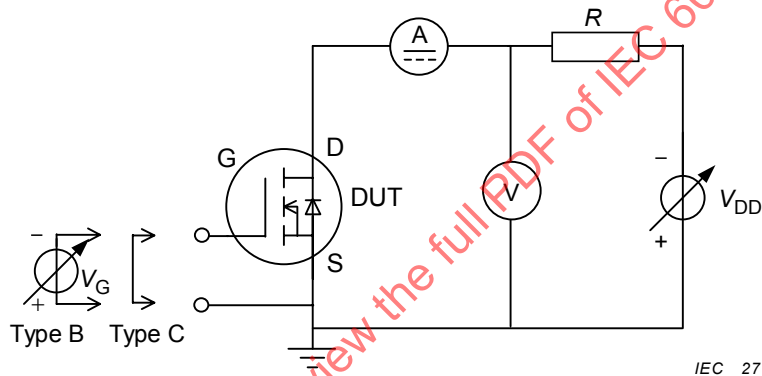


Figure 37 – Circuit diagram for the measurement of drain-source reverse voltage

– **Circuit description and requirements**

V_{DD} is a low voltage supply. R is a current limiting resistor.

– **Measurement procedure**

Gate-source terminals are connected as specified. Adjust the voltage V_{DD} to supply the specified value of reverse drain current. Measure the drain-source reverse voltage on voltmeter V .

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Reverse drain current I_{DR}

6.3.16 Small-signal short-circuit output conductance (type A, B and C) (g_{oss})

– **Purpose**

To measure the small-signal output conductance, under specified conditions.

Method 1: Null method**– Circuit diagram**

See Figure 38 below.

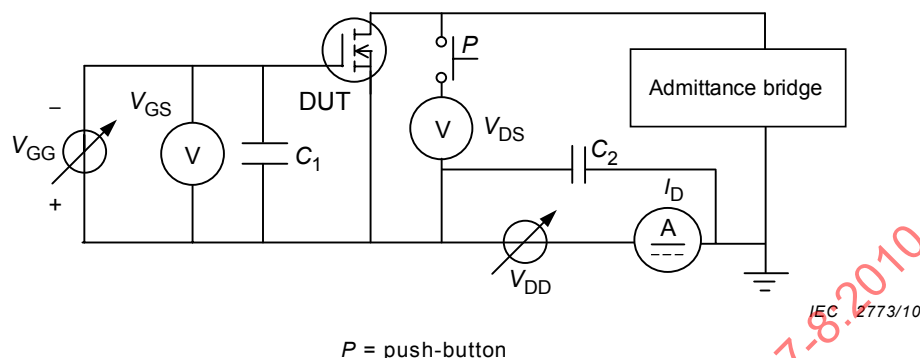


Figure 38 – Basic circuit for the measurement of the output conductance g_{oss} (method 1: null method)

– Circuit description and requirements

The admittance bridge is used for this measurement. Capacitances C_1 and C_2 shall present short circuits at the measurement frequency, satisfying the following conditions:

$$\omega C_1 \gg |y_{is}|$$

$$\omega C_2 \gg |y_{os}|$$

This method requires an admittance bridge but has the advantage that g_{oss} may be measured at high and low frequencies, and that both g_{oss} and C_{oss} may be measured simultaneously.

– Measurement procedure

Without the DUT in the measurement socket, the zero adjustments of the bridge are made. The device to be measured is then set into the measurement circuit; the drain-source voltage V_{DS} and the gate-source voltage V_{GS} are adjusted to obtain the specified bias conditions with the push-button P closed. With the push-button P open, the bridge is rebalanced, and the values of g_{oss} or $\text{Re } y_{os}$ and $\text{Im } y_{os}$, if needed, are then read.

– Specified conditions

- Reference point or junction temperature T_{vj}
- Drain-source voltage V_{DS}
- Gate-source voltage V_{GS} or drain current I_D
- Frequency of measurement f

Method 2: Two-voltmeter method

– Circuit diagram

See Figure 39 below.

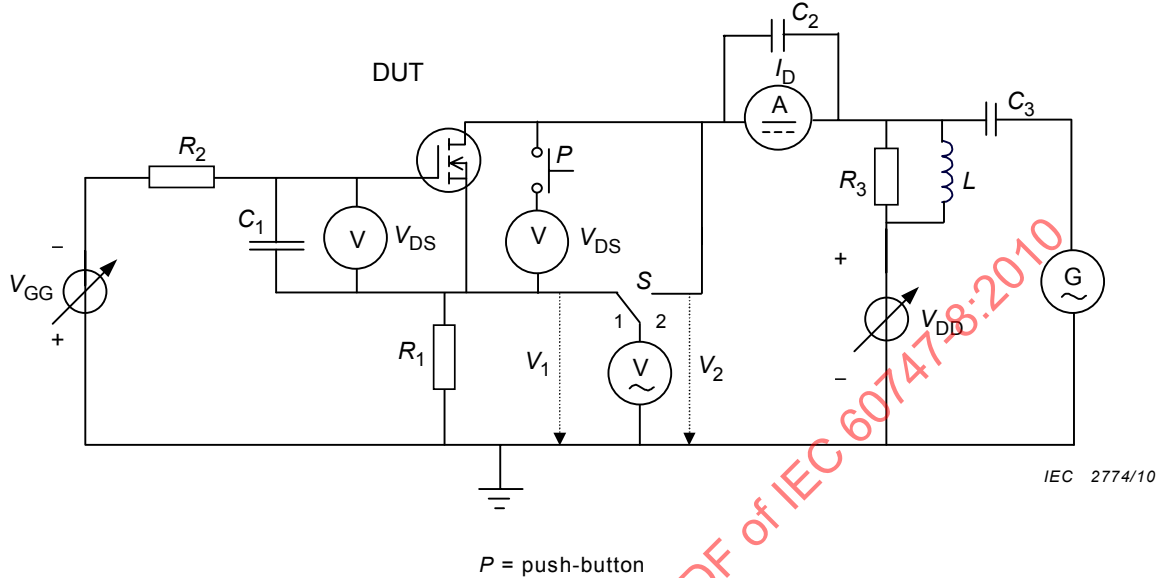


Figure 39 – Basic circuit for the measurement of the output conductance g_{oss} (method 2: two-voltmeter method)

– Circuit description and requirements

All bias voltages applied shall be adequately decoupled at the frequency of measurement. The value of ωC_1 shall be much larger than $|y_{is}|$; the value ωC_2 shall be high. Inductance L is optional; its use facilitates the adjustment of the specified operating point. Resistor R_1 shall be sufficiently low with respect to $\frac{1}{g_{oss}}$; practically, a value of $10\ \Omega$ to $100\ \Omega$ will be used, in accordance with the voltmeter sensitivity. The a.c. voltmeter shall have sufficient sensitivity; for the measurement of low conductances, it shall preferably be a selective instrument. This method simply measures the modulus of $y_{os} = g_{oss} + j\omega C_{oss}$ which is identical with g_{oss} for sufficiently low frequency.

– Measurement procedure

The DUT to be measured set into the measurement circuit; the drain-source voltage V_{DS} and the gate-source voltage V_{GS} are adjusted to obtain the specified bias conditions with the push-button P closed. With the switch S in position 1, the value $V_1 = I_D R_1$ is measured, while with the switch S in position 2, the value $V_2 = V_{DS} + I_D R_1$ is measured.

Thus:

$$V_2 - V_1 = V_{DS}$$

$$I_D = \frac{V_1}{R_1}$$

$$|y_{os}| = \frac{V_1}{R_1 (V_2 - V_1)} \simeq \frac{V_1}{R_1 V_2} \quad (\text{for } V_2 \gg V_1)$$

For sufficiently low frequencies: $|y_{os}| \simeq g_{oss}$.

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Drain-source voltage V_{DS}
- Gate-source voltage V_{GS} or drain current I_D
- Frequency of measurement f

6.3.17 Small-signal short-circuit forward transconductance (types A, B and C)

– **Purpose**

To measure the small-signal short-circuit forward transconductance, under specified conditions.

Method 1: Null method

– **Circuit diagram**

See Figure 40 below.

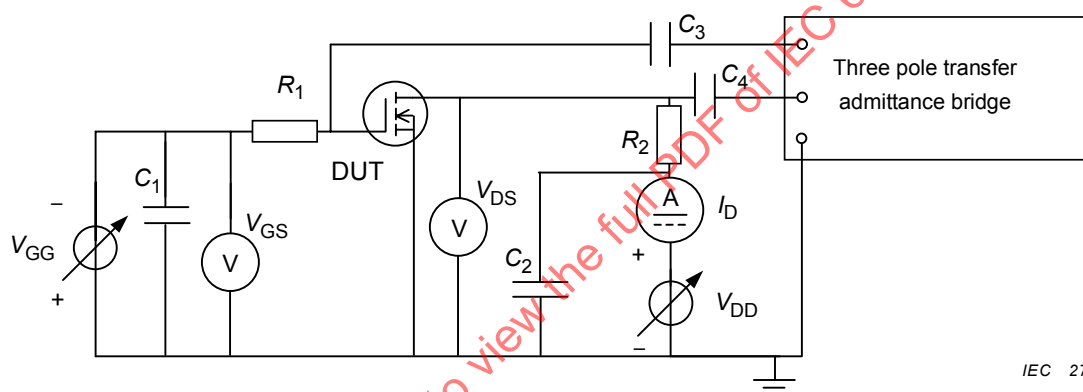


Figure 40 – Circuit for the measurement of short-circuit forward transconductance g_{fs} (Method 1: Null method)

– **Circuit description and requirements**

All bias supply voltages applied shall be adequately decoupled at the frequency of measurement. The value of ωC_1 shall be much larger than $|y_{is}|$ and the value of ωC_2 shall be much larger than $|y_{os}|$. R_1 shall be much larger than the internal impedance of the bridge, in order not to affect the measurement accuracy. R_2 shall be much larger than the internal resistance of the detector, but nevertheless sufficiently lower than $1/y_{fs}$, in order not to affect the measurement sensitivity. The values of ωC_3 and ωC_4 shall be much larger than $|y_{fs}|$ to be measured. The internal resistance of the voltmeter V_{DS} shall be much larger than V_{DS}/I_D . This method needs a three-pole transfer admittance bridge, but has the advantage that g_{fs} may be measured at low frequencies, as well as $y_{fs} = g_{fs} + jb_{fs}$ at high frequencies. Furthermore, it guarantees a real short circuit at the output.

– **Measurement procedure**

Without the DUT in the measurement circuit, the zero adjustments of the bridge are made. The device to be measured is then set into the measurement circuit; V_{DS} and V_{GS} (or I_D) are adjusted to the specified values. The bridge is rebalanced, and the values of g_{fs} , or $\text{Re}(y_{fs})$ and $\text{Im}(y_{fs})$ if needed, are then read.

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Drain-source voltage V_{DS}

- Gate-source voltage V_{GS} or drain current I_D
- Frequency of measurement f

Method 2: Two-voltmeter method

– Circuit diagram

See Figure 41 below.

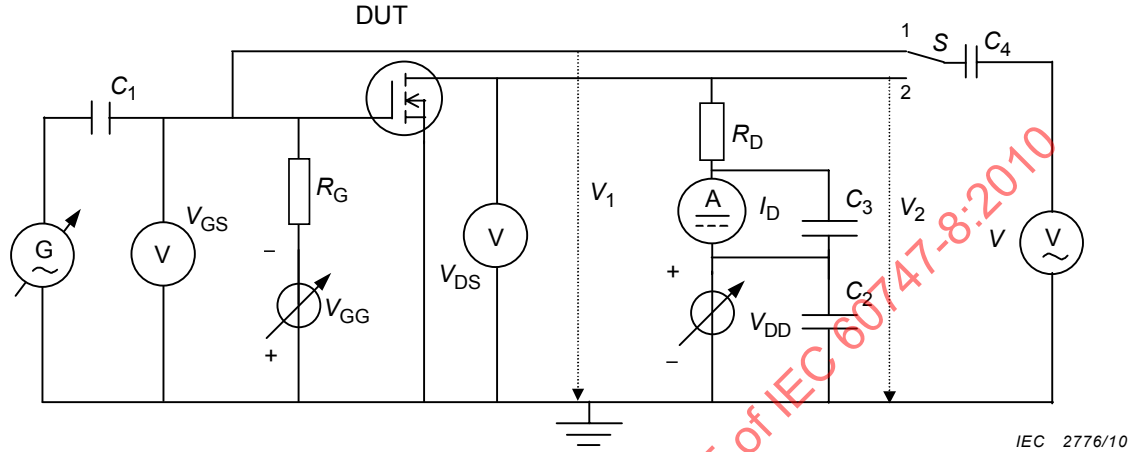


Figure 41 – Circuit for the measurement of forward transconductance g_{fs} (method 2: two-voltmeter method)

– Circuit description and requirements

A suitable oscillator shall be used, the frequency of which shall be sufficiently low. The value of resistor ωC_3 and ωC_2 shall be much greater than $1/R_D$. The value of ωC_1 shall be high. The value of resistor R_G is not critical; it shall preferably not be too high. Resistance R_D must be

low compared with $\left| \frac{1}{y_{os}} \right|$. Voltmeter V shall have sufficient sensitivity; for the measurement of low values of g_{fs} , it shall preferably be a selective instrument. This method simply measures the modulus of y_{fs} , which is identical with g_{fs} for sufficiently low frequencies.

– Measurement procedure

The DUT to be measured is set into the measurement circuit; V_{DS} and V_{GS} (or I_D) are adjusted to the specified values. With the switch S in position 1, the value $V_1 = V_{GS}$ is measured, while with the switch S in position 2, the value $V_2 = I_D R_D$ is measured.

Thus:

$$|y_{fs}| \approx \frac{I_D}{V_{GS}} = \frac{V_2}{V_1 R_D}$$

For sufficiently low frequencies: $|y_{fs}| \simeq g_{fs}$.

– Specified conditions

- Reference point or junction temperature T_{vj}
- Drain-source voltage V_{DS}
- Gate-source voltage V_{GS} or drain current I_D
- Frequency of measurement f

6.3.18 Noise (types A, B and C) (F, V_n)

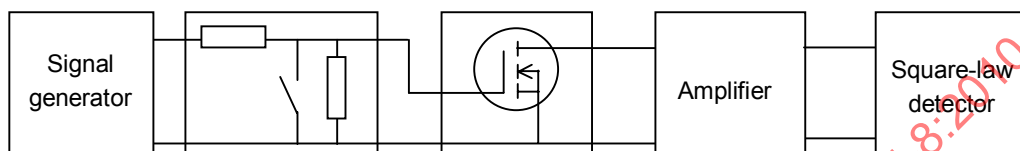
– Purpose

To measure the equivalent input noise voltage or noise factor, under specified conditions.

6.3.18.1 Equivalent input noise voltage

– Circuit diagram

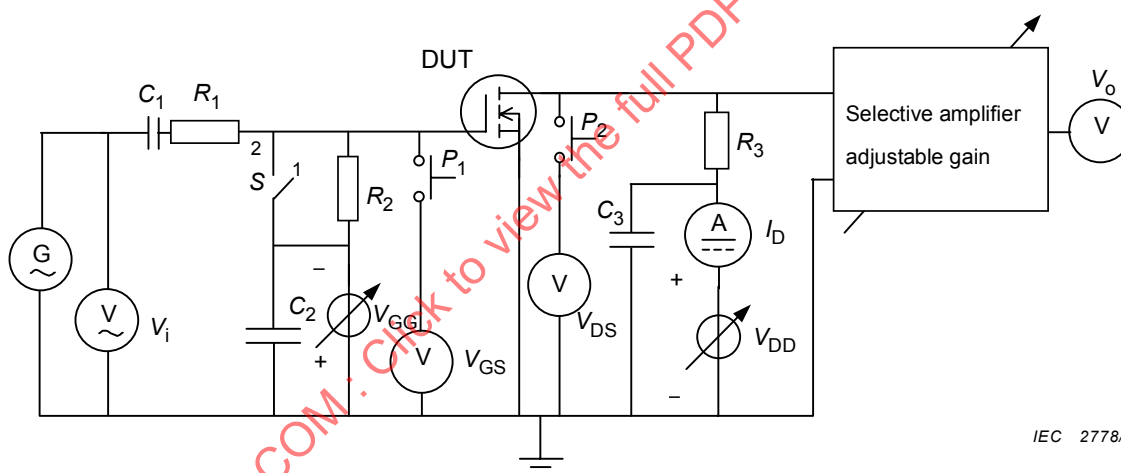
A circuit in accordance with the block diagram shown in Figure 42 shall be used.



IEC 2777/10

Figure 42 – Block diagram for the measurement of equivalent input noise voltage

Figure 43 shows an example of a circuit in accordance with that block diagram.



IEC 2778/10

P_1, P_2 = push-buttons

Figure 43 – Circuit for the measurement of equivalent input noise voltage

– Circuit description and requirements

The frequency of the generator shall be adjusted to be the center frequency of the selective amplifier. The output voltage shall be adjusted in such a way that the input voltage to the transistor is high compared with the noise voltage, but low enough to avoid overloading of the device. The voltage-dividing ratio of the voltage divider (R_2, R_1) shall be known. For the bias source, special care shall be taken to achieve low-noise biasing (especially important for the gate bias). All resistors that might deliver noise to the circuit shall be of a low-noise type (e.g. metallic film resistors). A neutralization network shall be used, when appropriate. Adequate shielding to minimize the influence of external electromagnetic fields shall be provided, when appropriate. The amplifier shall be linear up to a level of at least 20 dB higher than the r.m.s. noise value, so that noise peaks are correctly amplified. The second stage noise shall be as low as possible. The noise level measured with the device removed from the circuit shall be at least 15 dB lower than that measured with the device in the circuit. The output voltmeter shall measure the true r.m.s. value. The equivalent noise bandwidth shall be accurately known. ωC_3 shall be much larger than $1/R_3$ and ωC_2 much larger than $1/R_2$.

– **Measurement procedure**

The DUT is set into the measurement circuit and the operating point is adjusted to the specified values of V_{DS} and V_{GS} (or I_D). The input voltage V_i is adjusted to a suitable value (e.g. 0,1 V). With switch S in position 1, the output voltage V_{o1} is measured, after proper adjustment of the gain of the amplifier. With switch S in position 2, the output voltage V_{o2} is measured.

The noise voltage is given by

$$V_n = \frac{V_{o2}}{V_{o1}} V_i \frac{R_2}{R_1 + R_2}$$

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Values of resistors R_1 and R_2
- Drain-source voltage V_{DS}
- Gate-source voltage V_{GS} or drain current I_D
- Frequency of measurement f and bandwidth

6.3.18.2 Noise factor

All methods of measurement for bipolar transistors (see 6.3.14 of IEC 60747-7:2000) are applicable for field-effects transistors.

6.3.19 On-state drain-source resistance (under small-signal conditions) ($r_{ds(on)}$)

– **Purpose**

To measure the on-state drain-source resistance, by means of a low-frequency bridge.

– **Circuit diagram**

See Figure 44 below.

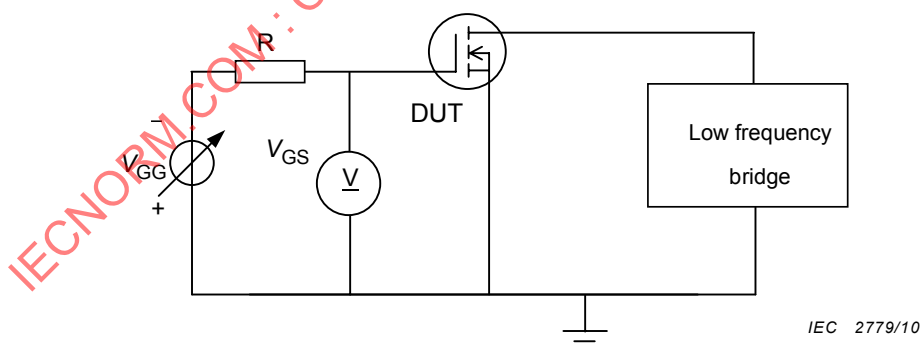


Figure 44 – Circuit diagram for the measurement of on-state drain-source resistance

– **Circuit description and requirements**

The bridge shall be able to pass d.c. For type B and C devices, the case and/or substrate shall be connected to the source.

– **Measurement procedure**

The bridge is first balanced without the DUT. The DUT is then set into the measurement circuit and the gate-source voltage is adjusted to the specified value. The bridge is rebalanced, and the value of the on-state resistance is read from the bridge.

– **Specified conditions**

- Reference point or junction temperature T_{vj}
- Drain-source voltage (equal to zero) V_{DS}
- Gate-source voltage V_{GS}
- Frequency (1 kHz, unless otherwise specified) f

NOTE The bridge may be replaced by an a.c. voltmeter, a.c. ammeter and signal generator, if desired.

6.3.20 Channel-case transient thermal impedance ($Z_{th(j-c)}$) and thermal resistance ($R_{th(j-c)}$) of a field-effect transistor

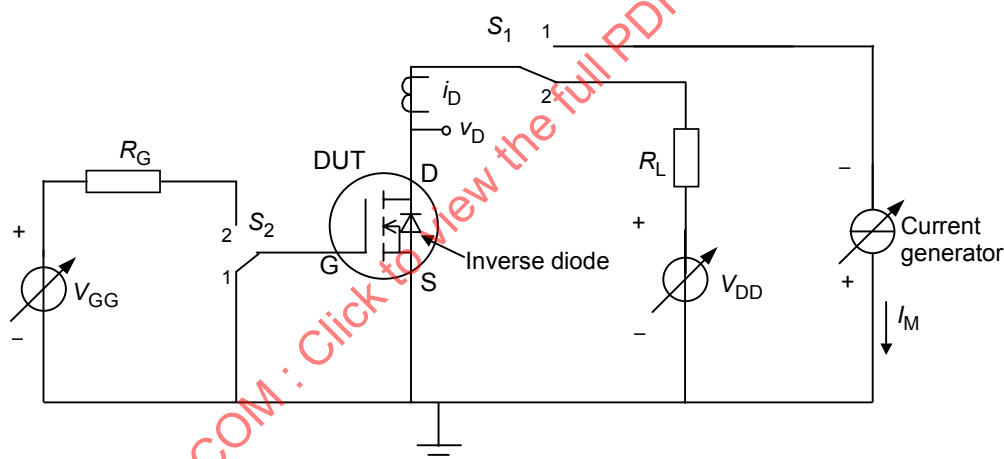
– **Purpose**

To measure the channel-case transient thermal impedance and channel-case thermal resistance of a field-effect transistor.

This method cannot be used if an isolation material is used having a varying temperature coefficient, e.g. beryllium oxide.

Method 1: Cooling method

– **Circuit diagram**



IEC 2780/10

DUT = transistor being measured (MOSFET or JFET)
(Example: *n*-channel enhancement MOSFET)

Figure 45 – Circuit diagram

– **Circuit description and requirements**

- | | | |
|------------|--|---|
| V_{GG} | = adjustable voltage source | } set to obtain the intended heating power $P(H)$ |
| V_{DD} | = adjustable voltage source | |
| I_M | = reference (direct) current generator | |
| S_1, S_2 | = synchronous switches | |
| R_L | = limiting resistors for drain current I_D | |
| R_G | = protective resistor | |

As a temperature-sensitive characteristic, the forward voltage of the inverse diode (V_{SD} in Figure 45) is chosen to be measured at a fixed reference current (I_M in Figure 45). After a heating current has been applied and thermal equilibrium is established, the heating current is switched off. During the following cooling period, V_{SD} and the case temperature are recorded

as a function of time. From the recorded values and the initial heating power, the values of $Z_{th(j-c)}$ and $R_{th(j-c)}$ are determined by means of a calibration curve. Care must be taken that the drain-source channel is not conducting when the forward voltage of the inverse diode is measured. In the example, this is reached by setting V_{GS} equal to zero. Make sure that switch S_2 is in position 1 before S_1 is switched to position 1. The change-over time of switches S_1 , S_2 shall be short enough so that $Z_{th(j-c)}$ can (at least by interpolation back to $t = 0$) be measured for the shortest required cooling period t_c . I_M shall be sufficiently small so that the corresponding power $P(M) = I_M \cdot V_{SD}$ is relatively small compared to the heating power $P(H) = I_D \cdot V_{DS}$ or may even be neglected (see equation (1) below).

– Measurement procedure

A thermosensor is fixed at the reference point of the transistor being measured to measure its case temperature T_c . A calibration curve is established as follows: the transistor is externally heated to rising step values of case temperature T_c^* . At each step, after thermal equilibrium has been reached, the forward voltage of the inverse diode V_{SD} is measured. From the measured values, the calibration curve $T_c^* = f(V_{SD})$ is established. With the switches in position 2, the heating power $P(H) = I_D \cdot V_{DS}$ is set to the intended value, and this setting is subsequently maintained. $P(H)$ is recorded. After thermal equilibrium has been reached, the case temperature $T_c(0)$ and the forward voltage of the inverse diode $V_{SD}(0)$ are recorded. Switching back to position 1, the heating process is interrupted, and the courses $V_{SD}(t)$ and $T_c(t)$ during the cooling process are recorded. By means of the calibration curve, the recorded values of $V_{SD}(0)$ and $V_{SD}(t)$ are converted to the corresponding values of $T_c^*(0)$ and $T_c^*(t)$ respectively. The channel-case transient thermal impedance after a particular cooling period t_c is calculated as

$$Z_{th(j-c)}(t_c) = \frac{[T_c^*(0) - T_c^*(t_c)] - [T_c(0) - T_c(t_c)]}{P(H) - P(M)} \quad (1)$$

where

$T_c^*(0)$, $T_c^*(t_c)$ are the values taken from the calibration curve for $V_{SD}(0)$ and $V_{SD}(t_c)$;

$T_c(0)$, $T_c(t_c)$ are the values of T_c at $t = 0$ and $t = t_c$ respectively;

$P(H) = I_D \cdot V_{DS}$ is the heating power in position 2;

$P(M) = I_M \cdot V_{SD}$ is the measuring power in position 1.

The channel-case thermal resistance $R_{th(j-c)}$ is the value finally reached of $Z_{th(j-c)}$ after the cooling period is settled, i.e. thermal equilibrium has again been reached.

Method 2: Heating method

– Circuit diagram

Same as in Method 1 above.

– Circuit description and requirements

Same as in Method 1 above.

As a temperature-sensitive characteristic, the forward voltage of the inverse diode (V_{SD} in Figure 45) is chosen to be measured at a fixed reference current (I_M in Figure 45). Starting from thermal equilibrium at heating current zero, a heating current is applied to specified values of heating power and duration. The values of V_{SD} and of the case temperature are measured just before and after the application of heating current. From the measured values of V_{SD} , the channel temperature may be determined from the calibration curve. The values of $Z_{th(j-c)}$ and $R_{th(j-c)}$ may then be calculated using the values of heating power, channel temperature and reference-point temperature.

– Measurement procedure

A thermosensor is fixed at the reference point of the transistor being measured to measure its case temperature T_c . With the switches in position 2, the heating power $P(H) = I_D \cdot V_{DS}$ is set to the intended value and this setting is subsequently maintained. $P(H)$ is recorded. The heating power is switched off by switching back to position 1. When thermal equilibrium has been reached, the case temperature $T_c(0)$ and the forward voltage of the inverse diode $V_{SD}(0)$ are recorded. By switching first to position 2 and then back to position 1, the heating power is applied for the intended heating period t_h . Immediately after having switched back to position 1, the case temperature $T_c(t_h)$ and the forward voltage of the inverse diode $V_{SD}(t_h)$ are recorded. By means of the calibration curve, the recorded values of $V_{SD}(0)$ and $V_{SD}(t_h)$ are converted to the corresponding values $T_c^*(0)$ and $T_c^*(t_h)$ respectively. The channel-case transient thermal impedance for the heating pulse duration t_h is calculated as

$$Z_{th(j-c)}(t_h) = \frac{[T_c^*(t_h) - T_c^*(0)] - [T_c(t_h) - T_c(0)]}{P(H) - P(M)} \quad (2)$$

where

$T_c^*(t_h)$, $T_c^*(0)$ are the values taken from the calibration curve for $V_{SD}(t_h)$ and $V_{SD}(0)$ respectively;

$T_c(t_h)$, $T_c(0)$ are the values at $t = t_h$ and $t = 0$ respectively;

$P(H) = I_D \cdot V_{DS}$ is the heating power in position 2;

$P(M) = I_M \cdot V_{SD}$ is the dissipation in position 1.

The channel-case thermal resistance $R_{th(j-c)}$ is the value finally reached of $Z_{th(j-c)}$ when the pulse duration is long enough to reach the new thermal equilibrium.

7 Acceptance and reliability

7.1 General requirements

Clause 7 of IEC 60747-1:2006 applies. The testing times of the endurance tests shall be introduced in the data sheet.

7.2 Acceptance-defining characteristics

Acceptance-defining characteristics, their criteria and measurement conditions are listed in Table 2.

NOTE Characteristics should be measured in the sequence in which they are listed in Table 3, because the changes in characteristics caused by some failure mechanisms may be wholly or partially masked by the influence of other measurements.

Table 3 – Acceptance-defining characteristics for endurance and reliability tests

Characteristics	Criteria (see note)	Measurement conditions
I_{DSS} or I_{DSX}	< USL	Specified V_{DS} and gate condition
I_{GSS}	< USL	Specified V_{GS}
$V_{GS(off)}$ or $V_{GS(th)}$	> LSL < USL	Specified V_{DS} and I_D
$R_{DS(on)}$	< USL	Specified V_{GS} and I_D
R_{th}	< USL	
USL: upper specification limit		
LSL: lower specification limit		

7.3 Endurance and reliability tests

7.3.1 High-temperature blocking (HTRB)

The test is performed as specified in IEC 60749-23:2004, Subclause 5.2.3.3.

– Operating conditions

- Voltage: preferably 80 % of V_{DSSmax} or V_{DSXmax}
- Temperature: preferably maximum virtual junction temperature $T_{vj(max)}$ or $T_c = T_{stg(max)} - 5\text{ °C}$ as specified

– Test circuit

R is the current limiting resistor in Figure 46.

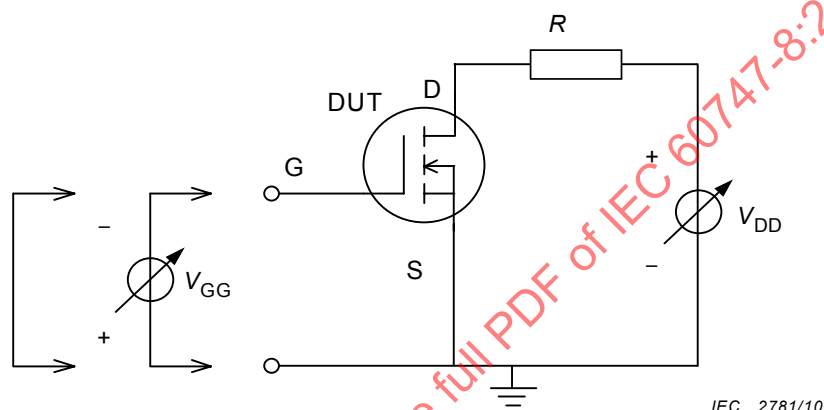


Figure 46 – Circuit for high-temperature blockings

7.3.2 High-temperature gate bias

The test is performed as specified in IEC 60749-23:2004, Subclause 5.2.3.4.

– Operating conditions

- Voltage: preferably 80 % of specified continuous V_{GSSmax}
- Temperature: preferably $T_{vj(max)}$ or $T_c = T_{stg(max)} - 5\text{ °C}$

– Test circuit

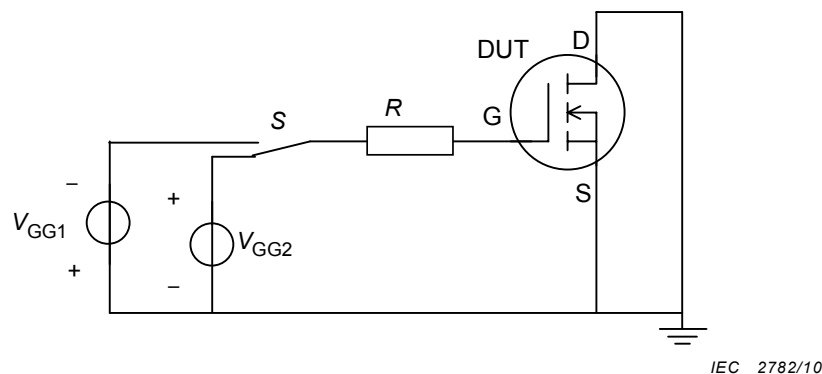


Figure 47 – Circuit for high-temperature gate bias

7.3.3 Intermittent operating life (load cycles)

The test is performed as specified in IEC 60749-34.

– Operating conditions

- Current: specified value
- Temperature: ΔT_{vj} as specified
- Gate voltage V_{GS} : specified value
- Case temperature
- Method 1: $T_c = \text{constant}$
- Method 2: $T_c = \text{variable with } T_{vj}$
- On-time t_p and off-time ($t_c - t_p$) specified

NOTE Mechanical stress in the device under test by method 1 concentrates on the wire-bonded emitter portions of dies of the module type devices. Mechanical stress in the device under test by method 2 concentrates mainly on the soldering material portion or the pressure contact portion of dies of the devices.

– Test circuits

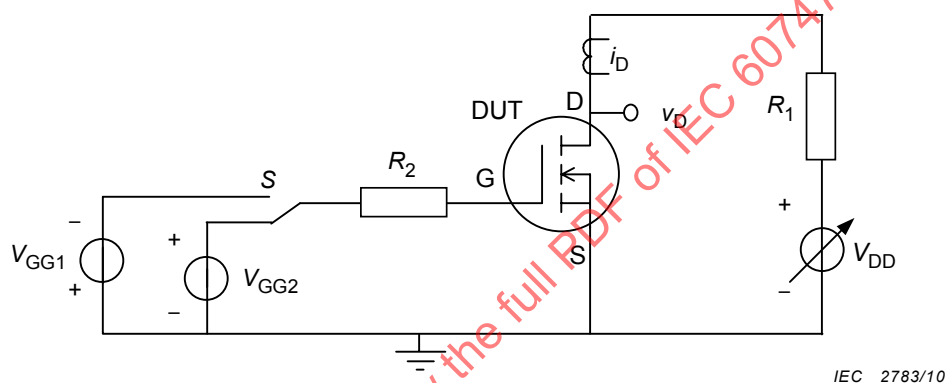


Figure 48 – Circuit for intermittent operating life

7.4 Type tests and routine tests

7.4.1 Type tests

Type tests are carried out on new products on a sample basis, in order to confirm the electrical and thermal ratings (limiting values) and characteristics to be given in the data sheet and to be referenced to the test limits for future routine tests.

Some or all of the type tests may be repeated from time to time on samples drawn from current production or deliveries, so as to confirm that the quality of the product continuously meets the specified requirements.

The minimum items of type tests to be carried out on FETs are listed in Table 3. Some of the type tests are destructive.

7.4.2 Routine tests

The routine tests are carried out on the current production or deliveries normally on a 100 % basis, in order to verify that the ratings (limiting values) and characteristics specified in the data sheet are met by each specimen. Routine tests may comprise distribution of the devices into groups. The minimum items of routine tests to be carried out on FETs are listed in Table 4, unless otherwise agreed between supplier and purchaser.

Table 4 – Minimum type and routine tests for FETs when applicable

Subclause		Type test	Routine test
Verification of ratings			
6.1.1.1	Drain-source voltage V_{DS^*}	X	X
6.1.1.2	Gate-source voltage $\pm V_{GS^*}$	X	
6.1.1.3	Gate-drain (d.c.) voltage (V_{GD^*}) ^b	X	
6.1.1.4	Drain current (I_D)	X	
6.1.1.5	Pulse drain current I_{DM}	X	
6.1.1.6	Reverse drain current (I_{DRS}) or (I_{DRX})	X	
6.1.1.7	Peak reverse drain current (I_{DRM})	X	X
6.1.1.1	Forward-bias safe operating area (FBSOA) ^b	X	X
6.1.1.2	Reverse biased safe operating area (RBSOA)	X	
6.1.1.3	Short circuit safe operating area (SCSOA)	X	
6.1.1.1	Repetitive avalanche energy (E_{AR}) ^a	X	X
6.1.1.2	Non-repetitive avalanche energy (E_{AS}) ^a	X	
Electrical characteristics			
6.2.1	Breakdown voltage, drain to source ($V_{(BR)DS^*}$)	X	X
6.2.3	Drain leakage current (d.c.) (I_{DSS} , I_{DSR} , I_{DSX})	X	X
6.2.4	Gate leakage current (I_{GSS})	X	X
6.2.2	Gate-source off-state voltage $V_{GS(off)}$ (for type B)	X	X
6.2.2	Gate-source threshold voltage $V_{GS(th)}$ (for type C)	X	X
6.2.5	Drain-source on-state resistance ($r_{DS(on)}$)	X	X
6.2.15	Drain-source reverse voltage (V_{DSR})	X	
6.2.6	Switching times ($t_{d(on)}$, t_r , $t_{d(off)}$, and t_f)	X	
6.2.10	Common source short-circuit input capacitance C_{iss}	X	
6.2.13	Internal gate resistance r_g	X	
Electrical characteristics			
6.2.11	Common source short-circuit output capacitance C_{oss}	X	
6.2.12	Common source short-circuit reverse transfer capacitance C_{rss}	X	
6.2.17	Forward transconductance g_{fs}	X	
6.2.9	Total gate charge Q_G	X	
	Threshold gate charge $Q_{GS(th)}$ ^b	X	
	Plateau gate charge $Q_{GS(pl)}$ ^b	X	
	Gate drain charge Q_{GD} ^b	X	
6.2.14	MOSFET forward recovery time (t_{fr}) and MOSFET forward recovery charge (Q_f)	X	X
6.2.20	Thermal resistance junction to case ($R_{th(j-c)}$)	X	
6.2.20	Transient thermal impedance junction to case ($Z_{th(j-c)}$) ^b	X	X
Electrical endurance tests			
7.3.1	High temperature blocking (HTRB)	X	
7.3.2	High temperature gate bias (HTGB)	X	
7.3.3	Intermittent operating life	X	
^a Terms are applied for avalanche type MOSFETs only.			
^b Terms are applied where appropriate.			

Bibliography

IEC 60747-2:2000, *Semiconductor devices – Discrete devices and integrated circuits – Part 2: Rectifier diodes*

IECNORM.COM : Click to view the full PDF of IEC 60747-8:2010

SOMMAIRE

AVANT-PROPOS	80
1 Domaine d'application	82
2 Références normatives	82
3 Termes et définitions	83
3.1 Types de transistors à effet de champ	83
3.2 Termes généraux	85
3.2.1 Régions physiques (d'un transistor à effet de champ)	85
3.2.2 Régions fonctionnelles	86
3.3 Termes relatifs aux valeurs assignées et aux caractéristiques	86
3.4 Termes conventionnels utilisés	91
4 Symboles littéraux	91
4.1 Généralités	91
4.2 Indices généraux supplémentaires	91
4.3 Liste de symboles littéraux	92
4.3.1 Tension	92
4.3.2 Courants	92
4.3.3 Dissipation de puissance	93
4.3.4 Paramètres pour petits signaux	93
4.3.5 Autres paramètres	94
4.3.6 Transistors à effet de champ appariés	96
4.3.7 Diodes inverses intégrées dans des MOSFET	96
5 Valeurs assignées et caractéristiques essentielles	96
5.1 Généralités	96
5.1.1 Catégories de dispositifs	96
5.1.2 Dispositifs à grilles multiples	96
5.1.3 Précautions de manipulation	97
5.2 Valeurs assignées (valeurs limites)	97
5.2.1 Températures	97
5.2.2 Dissipation de puissance (P_{tot})	97
5.2.3 Aire de sécurité de fonctionnement (SOA) pour MOSFET uniquement	97
5.2.4 Tensions et courants	97
5.3 Caractéristiques	98
5.3.1 Caractéristiques pour amplificateur basse fréquence	98
5.3.2 Caractéristiques pour amplificateur haute fréquence	100
5.3.3 Caractéristiques pour découpeur et commutation de puissance de niveau haut et de niveau bas	102
5.3.4 Caractéristiques pour amplificateur de niveau bas	106
5.3.5 Caractéristiques pour une résistance commandée par la tension	107
5.3.6 Caractéristiques spécifiques des transistors à effet de champ appariés pour différentiel en basse fréquence	108
6 Méthodes de mesure	109
6.1 Généralités	109
6.2 Vérification des valeurs assignées (valeurs limites)	109
6.2.1 Tensions et courants	110
6.2.2 Aire de sécurité de fonctionnement	116
6.2.3 Énergie d'avalanche	121

6.3	Méthodes de mesure	124
6.3.1	Tension de claquage, drain-source ($V_{(BR)DS^*}$)	124
6.3.2	Tension grille-source à l'état bloqué ($V_{GS(off)}$) (type A et B), seuil de tension grille-source ($V_{GS(th)}$) (type C)	125
6.3.3	Courant (continu) de fuite de drain (I_{DS^*})(type C), courant (continu) de drain résiduel (I_{DSX}) (type A et B)	125
6.3.4	Courant de grille résiduel (I_{GS^*})(type A), courant de fuite de grille (I_{GS^*})(type B et C)	126
6.3.5	Résistance drain-source à l'état passant (statique) ($r_{DS(on)}$) ou tension drain-source à l'état passant ($V_{DS(on)}$)	127
6.3.6	Temps de commutation ($t_{d(on)}$, t_r , $t_{d(off)}$, et t_f)	129
6.3.7	Dissipation d'énergie d'établissement (P_{on}), énergie d'établissement (par impulsion) (E_{on})	130
6.3.8	Dissipation d'énergie de coupure (P_{off}), énergie de coupure (par impulsion) (E_{off})	131
6.3.9	Charges de grille (Q_G , Q_{GD} , $Q_{GS(th)}$, $Q_{GS(pl)}$)	132
6.3.10	Capacité d'entrée en montage source commune, la sortie étant en court-circuit (C_{iss})	132
6.3.11	Capacité de sortie en montage source commune, l'entrée étant en court-circuit (C_{oss})	133
6.3.12	Capacité de transfert inverse en montage source commune (en court-circuit) (C_{rss})	134
6.3.13	Résistance interne de la grille (r_g)	135
6.3.14	Temps de recouvrement direct de MOSFET (t_{fr}) et charge de recouvrement directe de MOSFET (Q_f)	136
6.3.15	Tension inverse drain-source (V_{DSR})	140
6.3.16	Conductance de sortie, l'entrée étant en court-circuit, en petits signaux (type A, B et C) (g_{oss})	141
6.3.17	Transconductance directe, la sortie étant en court-circuit, en petits signaux (types A, B et C)	143
6.3.18	Bruit (types A, B et C) (F , V_n)	145
6.3.19	Résistance drain-source à l'état passant (en petits signaux) ($r_{ds(on)}$)	147
6.3.20	Impédance thermique transitoire canal-boîtier ($Z_{th(j-c)}$) et résistance thermique canal-boîtier ($R_{th(j-c)}$) d'un transistor à effet de champ	148
7	Réception et fiabilité	150
7.1	Exigences générales	150
7.2	Caractéristiques définissant la réception	150
7.3	Essais d'endurance et de fiabilité	151
7.3.1	Blocage haute température (HTRB)	151
7.3.2	Polarisation de grille haute température	151
7.3.3	Durée en fonctionnement intermittente (cycles de charge)	152
7.4	Essais de type et essais individuels de série	153
7.4.1	Essais de type	153
7.4.2	Essais individuels de série	153
	Bibliographie	155
	Figure 1 – Formes d'onde de base pour spécifier les charges de grille	88
	Figure 2 – Temps d'intégration pour l'énergie d'établissement E_{on} et l'énergie de coupure E_{off}	90
	Figure 3 – Temps de commutation	95
	Figure 4 – Schéma de circuit pour les essais de tension drain-source	110

Figure 5 – Schéma de circuit pour les essais de tension grille-source	111
Figure 6 – Schéma de circuit pour les essais de tension grille-drain.....	112
Figure 7 – Circuit de base pour les essais de courant de drain	113
Figure 8 – Schéma de circuit pour les essais de courant de drain de crête	114
Figure 9 – Circuit de base pour les essais de courant de drain inverse des transistors MOSFET	115
Figure 10 – Circuit de base pour les essais de courant de drain inverse de crête des transistors MOSFET	116
Figure 11 – Schéma de circuit pour vérifier l'aire FBSOA.....	117
Figure 12 – Schéma de circuit pour vérifier l'aire RBSOA.....	118
Figure 13 – Formes d'onde d'essai pour vérifier l'aire RBSOA.....	118
Figure 14 – Circuit pour essais de durée d'impulsion de sécurité de fonctionnement en court-circuit de charge (SCSOA)	120
Figure 15 – Formes d'onde de tension grille-source V_{GS} , de courant de drain I_D et de tension V_{DS} pendant un état de court-circuit de charge SCSOA	120
Figure 16 – Circuit pour la commutation inductive par avalanche.....	121
Figure 17 – Formes d'onde de I_D , V_{DS} et V_{GS} pendant la commutation inductive non nivelée	122
Figure 18 – Formes d'onde de I_D , V_{DS} et V_{GS} pour la commutation d'avalanche non répétitive	123
Figure 19 – Schémas de circuit pour la mesure de la tension de claquage drain-source.....	124
Figure 20 – Schéma de circuit pour la mesure de la tension grille-source à l'état bloqué et du seuil de tension grille-source	125
Figure 21 – Schéma de circuit pour mesurer le courant de drain de fuite (ou à l'état bloqué) ou le courant de drain résiduel	126
Figure 22 – Schéma de circuit pour mesurer le courant résiduel de grille ou le courant de fuite de grille	127
Figure 23 – Circuit de base de mesure pour la résistance à l'état passant	128
Figure 24 – Résistance à l'état passant	128
Figure 25 – Schéma de circuit pour le temps de commutation	129
Figure 26 – Formes d'onde et temps de commutation schématiques	129
Figure 27 – Circuit pour déterminer la puissance dissipée et/ou l'énergie d'établissement et de coupure	130
Figure 28 – Schéma de circuit pour la mesure des charges de grille	132
Figure 29 – Circuit de base pour la mesure de capacité d'entrée, sortie en court-circuit.....	133
Figure 30 – Circuit de base pour mesurer la capacité de sortie, l'entrée étant en court-circuit (C_{OSS})	134
Figure 31 – Circuit pour la mesure de capacité de transfert inverse C_{rss}	135
Figure 32 – Circuit pour la mesure de résistance interne de grille	136
Figure 33 – Schéma de circuit pour le temps de recouvrement direct du MOSFET et la charge recouvrée du MOSFET (Méthode 1).....	137
Figure 34 – Forme d'onde du courant à travers le MOSFET (Méthode 1).....	137
Figure 35 – Schéma de circuit pour le temps de recouvrement direct du MOSFET et la charge recouvrée (Méthode 2)	138
Figure 36 – Forme d'onde du courant à travers le MOSFET (Méthode 2).....	139
Figure 37 – Schéma de circuit pour la mesure de la tension inverse drain-source	140

Figure 38 – Circuit de base pour la mesure de la conductance de sortie g_{oss} (Méthode 1: méthode de zéro)	141
Figure 39 – Circuit de base pour la mesure de la conductance de sortie g_{oss} (Méthode 2: méthode des deux voltmètres)	142
Figure 40 – Circuit pour la mesure de la transconductance directe, la sortie étant en court-circuit g_{fs} (Méthode 1: Méthode de zéro)	143
Figure 41 – Circuit pour la mesure de la transconductance directe g_{fs} (Méthode 2: méthode des deux voltmètres)	144
Figure 42 – Schéma de principe pour la mesure de la tension de bruit équivalente à l'entrée	145
Figure 43 – Circuit pour la mesure de la tension de bruit équivalente à l'entrée.....	146
Figure 44 – Schéma de circuit pour la mesure de la résistance drain-source à l'état passant	147
Figure 45 – Schéma de circuit	148
Figure 46 – Circuit pour les blocages haute température	151
Figure 47 – Circuit pour la polarisation de grille haute température.....	152
Figure 48 – Circuit pour la durée intermittente de fonctionnement.....	152
Tableau 1 – Termes pour le MOSFET dans la présente norme et termes conventionnels utilisés pour la diode inverse intégrée dans le MOSFET	91
Tableau 2 – Caractéristiques définissant la réception	110
Tableau 3 – Caractéristiques définissant la réception pour les essais d'endurance et de fiabilité.....	151
Tableau 4 – Essais de type et essais individuels de série minima pour les transistors à effet de champ lorsqu'ils sont applicables	154

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS – DISPOSITIFS DESCRETS –

Partie 8: Transistors à effet de champ

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de la CEI. La CEI n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60747-8 a été établie par le sous-comité 47E: Dispositifs discrets à semiconducteurs, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Cette troisième édition de la CEI 60747-8 annule et remplace la deuxième édition parue en 2000. Cette troisième édition constitue une révision technique.

Les principaux changements par rapport à l'édition précédente sont énumérés ci-dessous.

- a) L'Article 3 «Classification» a été déplacé et ajouté à l'Article 1.
- b) L'Article 4 «Terminologie et symboles littéraux» a été divisé en Article 3 «Termes et définitions» et Article 4 «Symboles littéraux», ce dernier a été amendé avec des additions et des suppressions.
- c) Les Articles 5, 6 et 7 ont été amendés avec les nécessaires additions et suppressions.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
47E/398/FDIS	47E/406/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Il convient que la présente partie 8 soit utilisée conjointement avec la CEI 60747-1 :2006.

Une liste de toutes les parties de la série CEI 60747, présentée sous le titre général *Dispositifs à semiconducteurs – Dispositifs discrets*, peut être consultée sur le site web de la CEI.

Les futures normes de cette série porteront dorénavant le nouveau titre général cité ci-dessus. Le titre des normes existant déjà dans cette série sera mis à jour lors de la prochaine édition.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de la CEI sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IECNORM.COM : Click to view the full PDF of IEC 60747-8:2010

DISPOSITIFS À SEMICONDUCTEURS – DISPOSITIFS DESCRETS –

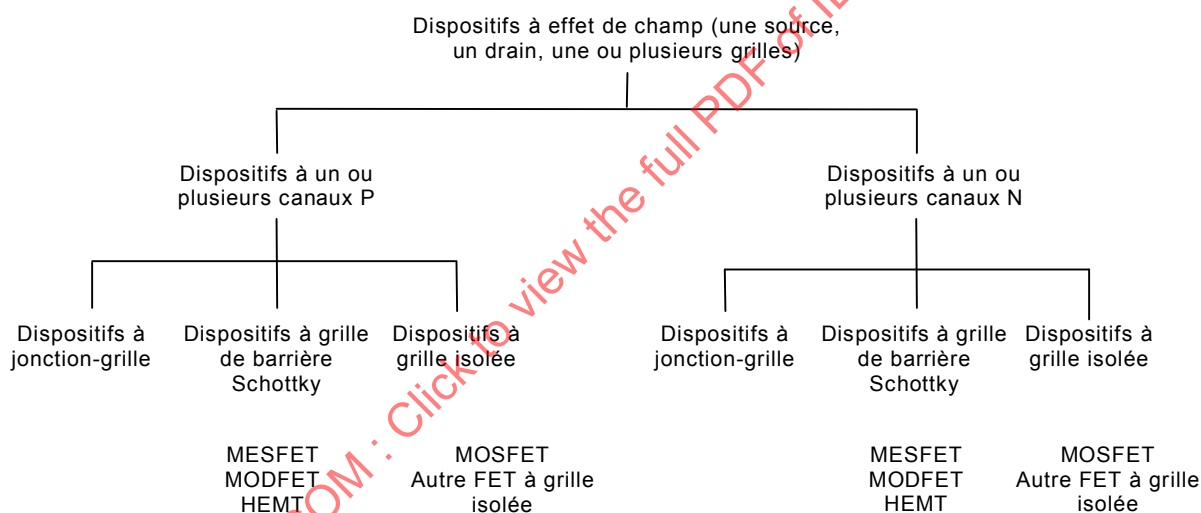
Partie 8: Transistors à effet de champ

1 Domaine d'application

La présente partie de la CEI 60747 donne les normes pour les catégories suivantes de transistors à effets de champ:

- type A: type à jonction de grille;
- type B: type à grille isolée à déplétion (appauvrissement) (normalement à l'état passant);
- type C: type à grille isolée à enrichissement (normalement à l'état bloqué).

Étant donné qu'un transistor à effet de champ peut avoir une ou plusieurs grilles, il en résulte la classification suivante:



NOTE 1 Les dispositifs à grille de barrière Schottky et à grille isolée comprennent les dispositifs à mode déplétion (appauvrissement) et les dispositifs à mode à enrichissement.

NOTE 2 Les MOSFET pour certaines applications peuvent ne pas avoir de caractéristiques de diode inverse dans la fiche technique. Des configurations spéciales d'élément de circuit pour éliminer la diode sont en cours de développement pour de telles applications. Les applications des MOSFET telles que des équipements de commande de moteur nécessitent de spécifier les caractéristiques de diode inverse dans le MOSFET pour utiliser la diode inverse comme diode de roue libre.

NOTE 3 Seul le symbole graphique pour le type C est utilisé dans la présente norme. La norme s'applique également aux dispositifs à canal P et aux dispositifs de type A et B.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 61340 (toutes les parties), *Électrostatique*

CEI 60747-1:2006, *Dispositifs à semiconducteurs – Partie 1: Généralités*

CEI 60747-7:2000, *Dispositifs à semiconducteurs – Partie 7: Transistors bipolaires*

CEI 60749-23 :2004, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 23:Durée de vie en fonctionnement à haute température*

CEI 60749-34, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 34: Cycles en puissance*

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions suivants s'appliquent.

3.1 Types de transistors à effet de champ

3.1.1

transistor à effet de champ à canal N

transistor à effet de champ ayant au moins un canal de conduction de type N

3.1.2

transistor à effet de champ à canal P

transistor à effet de champ ayant au moins un canal de conduction de type P

3.1.3

transistor à effet de champ à jonction de grille (JFET)

transistor à effet de champ dont:

- la région source et la région drain sont connectées l'une à l'autre par la région canal, ces trois régions ayant le même type de conductivité;
- la région grille, adjacente au canal, est de type opposé, formant ainsi avec la source, le canal et le drain une jonction PN,

NOTE La tension grille-source commande la conduction du canal en agissant sur la largeur de la zone de charge-espace de la grille et par conséquent sur la section du canal

3.1.4

transistor à effet de champ à grille isolée (IGFET)

transistor à effet de champ dont:

- une ou plusieurs électrodes de grille sont électriquement isolées de la zone active de grille;
- le type de conductivité de la région source et de la région drain est opposé à celui de la région grille localisée dans le semiconducteur;
- le courant principal traverse le canal formé par inversion de la couche reliant les zones source et drain;

NOTE L'inversion de la couche est soit présente à tension grille-source nulle, soit créée par une tension directe grille-source suffisante provoquant une accumulation de porteurs minoritaires dans la zone active de grille. La conductibilité du canal est commandée par la tension grille-source, qui commande le champ électrique entre l'électrode de grille et la zone active de grille, et par conséquent la quantité de porteurs minoritaires accumulés.

3.1.5

transistor à effet de champ métal-oxyde-semiconducteur (MOSFET)

transistor à effet de champ à grille isolée dans lequel la couche isolante entre chaque électrode de grille et le canal est un oxyde

3.1.6

transistor à effet de champ du type à déplétion (appauvrissement) (normalement à l'état passant)

transistor à effet de champ dans lequel une couche d'inversion présente dans la surface de la région semi-conductrice active provoque une conduction du canal appréciable qui peut être augmentée (réduite) en appliquant une tension grille-source directe (inverse)

3.1.7

transistor à effet de champ du type à enrichissement (normalement à l'état bloqué)

transistor à effet de champ ayant essentiellement une conduction du canal nulle pour une tension grille-source nulle. Un canal de conduction peut y être obtenu en appliquant une tension grille-source directe suffisamment élevée, ce qui provoque une couche d'inversion au-dessous de l'électrode de grille

3.1.8

transistor à effet de champ à grille unique

transistor à effet de champ possédant une région de grille, une région de source et une région de drain

NOTE Lorsqu'il n'existe pas de risque d'ambiguïté, il est permis d'utiliser le terme abrégé «transistor à effet de champ».

3.1.9

transistor à effet de champ à double grille

transistor à effet de champ possédant deux régions de grille indépendantes, une région de source et une région de drain

3.1.10

transistor à effet de champ à grille de barrière Schottky

transistor à effet de champ dont:

- la région source et la région drain sont connectées l'une à l'autre par la région canal, ces trois régions ayant le même type de conductivité;
- une ou plusieurs électrodes de grille forment chacune une barrière Schottky avec la région canal;

la tension grille-source commande la conductance du canal conducteur en faisant varier sa section

3.1.11

transistor à effet de champ métal-semiconducteur (MESFET)

transistor à effet de champ à grille de barrière Schottky dans lequel les électrodes de grille sont métalliques

3.1.12

transistor à effet de champ à dopage modulé (MODFET)

transistor à mobilité des électrons élevée (HEMT)

transistor à effet de champ métal-semiconducteur dans lequel un matériau dopé forme une hétérojonction avec un canal non dopé; le matériau dopé fournit des électrons au canal non dopé dont la mobilité élevée des électrons suscite une augmentation de la conductance du canal

NOTE Il convient d'utiliser MODFET ou HEMT indifféremment.

3.2 Termes généraux

3.2.1 Régions physiques (d'un transistor à effet de champ)

3.2.1.1

source (d'un transistor à effet de champ)

région physique conçue par le fabricant pour contenir la région génératrice dans les conditions de fonctionnement définies auxquelles se réfèrent les spécifications

3.2.1.2

drain (d'un transistor à effet de champ)

région physique conçue par le fabricant pour contenir la région collectrice dans les conditions de fonctionnement définies auxquelles se réfèrent les spécifications

3.2.1.3

grille (d'un IGFET)

couche isolante entre l'électrode de grille et la surface du corps semiconducteur, en dessous de laquelle le canal se forme ou est susceptible de se former

3.2.1.4

grille (d'un JFET)

région au-dessous de l'électrode de grille qui est de type de conductivité opposé par rapport à celui de la région source, la région canal et la région drain

3.2.1.5

canal (d'un IGFET du type à déplétion)

couche d'inversion technologiquement placée au-dessous de la région grille

3.2.1.6

canal (d'un JFET)

région entre la région source et la région drain ayant le même type de conductivité entre ces deux régions

3.2.1.7

sous-canal (d'un IGFET)

région située entre la région source et la région drain, à l'exclusion de la région canal d'un transistor à effet de champ à grille isolée à déplétion et de toutes les zones de transition adéquates

3.2.1.8

substrat (d'un JFET ou d'un IGFET)

partie d'un matériau d'origine qui demeure inchangée lorsque les éléments du dispositif sont réalisés sur le matériau d'origine ou à l'intérieur de celui-ci

NOTE Le matériau d'origine peut être une couche de matériau semiconducteur coupée dans un seul cristal, une couche de matériau semiconducteur déposée sur un support de base ou le support de base lui-même.

3.2.1.9

substrat (d'un JFET ou d'un IGFET)

matériau semiconducteur d'origine avant son traitement

NOTE La signification de ce terme sera éclairée par le contexte dans lequel il est employé. On peut faire une distinction si nécessaire entre le «substrat d'origine» et le «substrat restant».

3.2.1.10

substrat (d'un transistor à effet de champ à couche mince)

isolant qui porte les électrodes de source et de drain, la couche grille isolante et la couche mince de semiconducteur

3.2.2 Régions fonctionnelles

3.2.2.1

région source fonctionnelle

région d'alimentation qui fournit au canal les porteurs de charge de courant principal

3.2.2.2

région drain fonctionnelle

région collectrice qui capte les porteurs de charge de courant principal en provenance du canal

3.2.2.3

canal (d'un IGFET)

région fonctionnelle traversée par les porteurs de charge de courant principal et dans laquelle la concentration de porteurs est déterminée par la tension grille-source, le courant principal résultant du champ interne produit par la tension drain-source

3.2.2.4

canal (d'un JFET)

région fonctionnelle traversée par les porteurs de charge de courant principal et dont la section transversale est déterminée par la tension grille-source, le courant principal résultant du champ interne produit par la tension drain-source

3.2.2.5

région de charge d'espace sous-canal (d'un IGFET)

région de charge d'espace associée d'un côté aux régions de transition entre la région sous-canal et de l'autre à la région source, la région canal et la région drain

3.2.2.6

région sous-canal fonctionnelle

partie neutre restante de la région sous canal physique qui est délimitée par la région de charge d'espace sous-canal l'entourant

3.3 Termes relatifs aux valeurs assignées et aux caractéristiques

3.3.1

courant résiduel de grille (d'un transistor à effet de champ à jonction de grille)

courant circulant dans la borne de grille d'un transistor à effet de champ à jonction lorsque la jonction pn est polarisée en inverse

3.3.2

courant de fuite de grille (d'un transistor à effet de champ à grille isolée)

courant de fuite circulant à travers la grille isolée d'un transistor à effet de champ à grille isolée

3.3.3

capacités

3.3.3.1

capacité d'entrée (en court-circuit)

capacité entre les bornes de grille et de source, la borne de drain étant court-circuitée à la borne de source pour les signaux en courant alternatif

3.3.3.2

capacité de sortie (en court-circuit)

capacité entre les bornes de drain et de source, la borne de grille étant court-circuitée à la borne de source pour les signaux en courant alternatif

3.3.3.3**capacité de transfert inverse**

capacité entre les bornes de drain et de grille, à l'exclusion des capacités parallèles entre drain et source, et entre grille et source

3.3.4**résistance grille-source**

résistance en courant continu entre les bornes de grille et de source pour des tensions grille-source et drain-source spécifiées

3.3.5**résistance drain-source à l'état passant**

résistance en courant continu entre les bornes de drain et de source lorsque le transistor à effet de champ est à l'état passant

3.3.6**charge de grille**

charge nécessaire pour augmenter la tension grille-source de zéro à une valeur spécifiée

3.3.6.1**charge de grille totale**

charge qui est requise pour augmenter la tension grille-source de zéro à une valeur spécifiée et calculée par l'équation ci-dessous (voir Figure 1)

$$Q_G = \int_{t_0}^{t_4} i_{GG}(t) dt$$

3.3.6.2**seuil de charge de grille**

charge requise pour augmenter la tension grille-source de zéro à $V_{GS(th)}$ et calculée par l'équation ci-dessous (voir Figure 1)

$$Q_{GS(th)} = \int_{t_0}^{t_1} i_{GG}(t) dt$$

3.3.6.3**plateau de charge de grille**

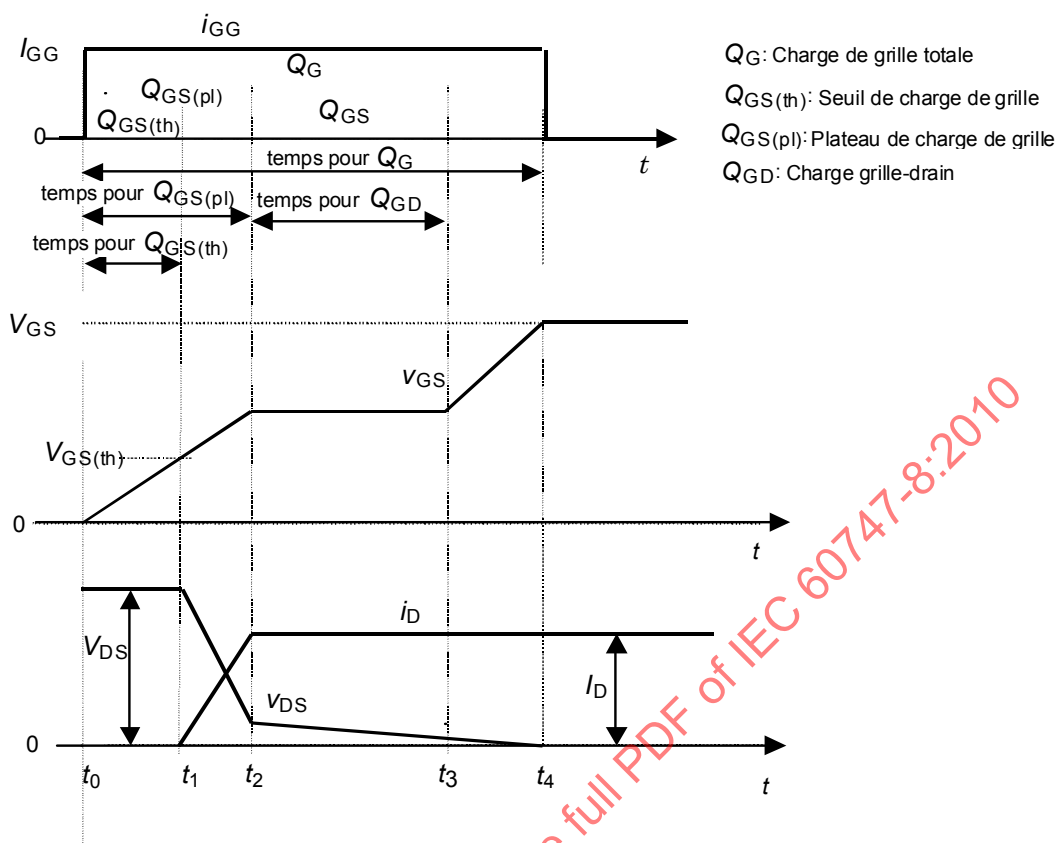
charge requise pour augmenter la tension grille-source de zéro à la tension de plateau $V_{GS(pl)}$ et calculée par l'équation ci-dessous (voir Figure 1)

$$Q_{GS(pl)} = \int_{t_0}^{t_2} i_{GG}(t) dt$$

3.3.6.4**charge grille-drain**

différence de charge entre le début et la fin de région plateau, requise pour charger C_{GD} et calculée par l'équation ci-dessous (voir Figure 1)

$$Q_{GD} = \int_{t_2}^{t_3} i_{GG}(t) dt$$



IEC 2736/10

NOTE Les intervalles de temps indiqués par des lignes fléchées sont des intervalles d'intégration pour calculer les charges de grille.

Figure 1 – Formes d'onde de base pour spécifier les charges de grille

3.3.7

rendement global

rapport de la puissance de sortie sur la somme de la puissance de signal d'entrée et de la puissance d'entrée en courant continu

$$\eta_{tot} = \frac{P_{out}}{P_{in} + P_{(c.c.)}}$$

3.3.8

rendement de drain

rapport de la puissance de sortie sur la puissance de drain en courant continu

$$\eta_d = \frac{P_{out}}{P_{d(c.c.)}}$$

3.3.9

rendement en puissance ajoutée

rapport de la différence entre la puissance de sortie et la puissance de signal d'entrée sur la puissance d'entrée en courant continu

$$\eta_{\text{add}} = \frac{P_{\text{out}} - P_{\text{in}}}{P_{\text{d(c.c.)}}}$$

3.3.10**vitesse de croissance de la tension à l'état bloqué**

vitesse de croissance de la tension drain-source à l'état bloqué induite pendant la période de recouvrement inverse de la diode inverse

3.3.11**aire de sécurité de fonctionnement en polarité inverse**

région du courant de drain en fonction de la tension drain-source dans laquelle le MOSFET est capable d'être coupé à répétitions avec une charge inductive nivelée sans défaillance

3.3.12**aire de sécurité de fonctionnement en court-circuit**

région du courant de drain en fonction de la tension drain-source dans laquelle le MOSFET peut être mis sous tension et coupé de façon non répétitive, sans défaillance

3.3.13**énergie d'avalanche (pour les dispositifs à avalanche)**

capacité en énergie d'avalanche pendant la période de coupure

3.3.14**énergie d'avalanche répétitive (pour les dispositifs à avalanche)**

capacité en énergie d'avalanche répétitive pendant la période de coupure

3.3.15**énergie d'avalanche non répétitive (pour les dispositifs à avalanche)**

capacité en énergie d'avalanche non répétitive pendant la période de coupure (impulsion unique)

3.3.16**courant de fuite de drain**

courant de drain dans l'état bloqué

3.3.17**tension de claquage, drain-source**

tension de claquage drain-source dans l'état bloqué

3.3.18**résistance interne de grille**

résistance interne de grille en court-circuit (voir Figure 32)

3.3.19**temps de commutation**

forme d'onde d'entrée est la tension grille-source, et la forme d'onde de sortie est le courant de drain (voir la CEI 60747-1:2006)

3.3.20**énergie d'établissement**

valeur de l'intégrale du produit de la tension drain-source V_{DS} et du courant de drain I_{D} pendant l'établissement décrite dans l'équation suivante: $E_{\text{on}} = \int_0^{t_1} i_{\text{D}} \times v_{\text{DS}} \times dt$ (Voir Figure 2)

3.3.21

énergie de coupure

valeur de l'intégrale du produit de la tension drain-source V_{DS} et du courant de drain I_D pendant la coupure décrite dans l'équation suivante: $E_{off} = \int_{t_2}^{t_3} i_D \times v_{DS} \times dt$ (Voir Figure 2)

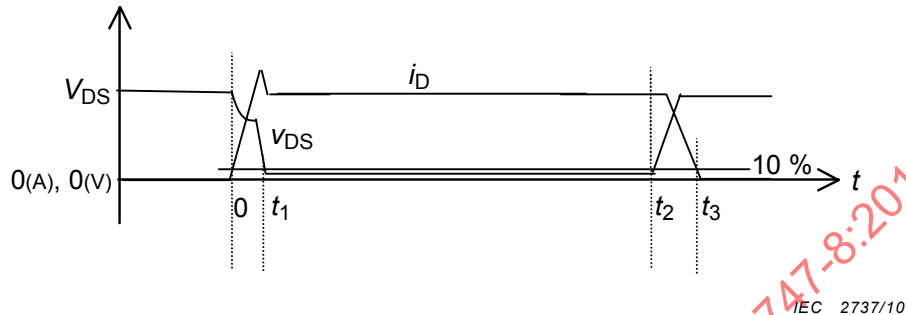


Figure 2 – Temps d'intégration pour l'énergie d'établissement E_{on} et l'énergie de coupure E_{off}

3.3.22

charge de capacité de sortie

charge requise pour changer la tension pour une capacité de sortie C_{oss} pendant l'établissement et la coupure

3.3.23

tension de plateau grille-source

tension pendant l'établissement, où la tension V_{GS} est relativement constante (Miller-Plateau) et pendant laquelle la capacité C_{GD} est chargée

NOTE Voir Figure 1.

3.3.24

tension inverse drain-source

tension à travers le MOSFET qui résulte de la circulation du courant dans le sens inverse allant de la source vers le drain

3.3.25

courant de recouvrement direct de MOSFET

courant de recouvrement du MOSFET qui résulte de la circulation du courant dans le sens inverse allant de la source vers le drain

3.3.26

temps de recouvrement direct de MOSFET

temps de recouvrement du MOSFET qui résulte de la circulation du courant dans le sens inverse allant de la source vers le drain

3.3.27

charge de recouvrement directe de MOSFET

charge de recouvrement du MOSFET qui résulte de la circulation du courant dans le sens inverse allant de la source vers le drain

3.3.28**énergie de recouvrement directe de MOSFET**

énergie de recouvrement du MOSFET qui résulte de la circulation du courant dans le sens inverse allant de la source vers le drain

3.4 Termes conventionnels utilisés

Tableau 1 – Termes pour le MOSFET dans la présente norme et termes conventionnels utilisés pour la diode inverse intégrée dans le MOSFET

Termes préférentiels	Symbole littéral	Termes déconseillés pour la diode inverse avec le MOSFET dans l'état bloqué
Tension inverse drain-source	V_{DSR}	Tension directe de diode inverse
Courant de recouvrement direct de MOSFET	I_{FR}	Courant de recouvrement inverse de diode inverse
Courant de recouvrement direct de crête de MOSFET	I_{FRM}	Courant de recouvrement inverse de crête de diode inverse
Temps de recouvrement direct de MOSFET	t_{fr}	Temps de recouvrement inverse de diode inverse
Charge de recouvrement directe de MOSFET	Q_f	Charge de recouvrement inverse de diode inverse
Énergie de recouvrement directe de MOSFET	E_{fr}	Énergie de recouvrement inverse de diode inverse
Courant de drain inverse	I_{DR}	Courant direct de diode inverse
Courant de drain inverse de crête	I_{DRM}	Courant direct de crête de diode inverse

4 Symboles littéraux**4.1 Généralités**

Les symboles littéraux généraux pour les MOSFET sont définis dans les paragraphes 4.4 et 4.5 de la CEI 60747-1:2006.

4.2 Indices généraux supplémentaires

En supplément à la liste des indices généraux recommandés donnée en 4.2.3 de la CEI 60747-1:2006, les indices spéciaux suivants sont recommandés pour les transistors à effet de champ:

D, d	= drain
G, g	= grille
S, s	= source ou terminaison avec un court-circuit
B, b; U, u	= substrat
T; th; (TO)	= seuil
O	= terminaison avec un circuit ouvert
R	= terminaison avec une résistance
X	= terminaison avec une valeur spécifiée de la tension grille-source
pl	= plateau

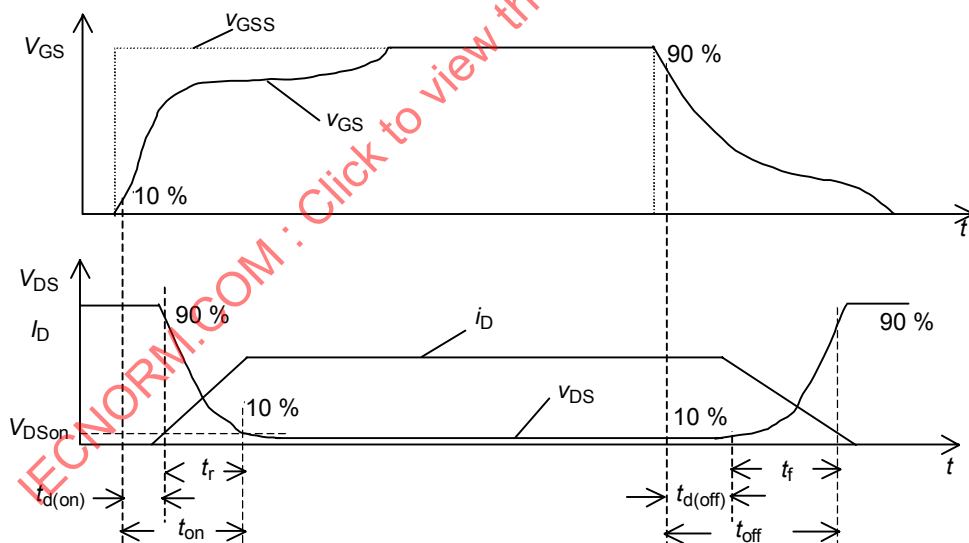
4.3 Liste de symboles littéraux

Nom et désignation	Symbole littéral	Remarques
4.3.1 Tension		
Tension (continue) drain-source	V_{DS}	
Tension (continue) grille-source	V_{GS}	
Tension grille-source au blocage (d'un transistor à effet de champ à jonction et d'un transistor à effet de champ à grille isolée du type à déplétion)	$V_{GS(OFF)}; V_{GSoff}$	
Tension de seuil grille-source (d'un transistor à effet de champ à grille isolée du type à enrichissement)	$V_{GST}; V_{GS(th)}; V_{GS(TO)}$	
Tension directe (continue) grille-source	V_{GSF}	
Tension inverse (continue) grille-source	V_{GSR}	
Tension (continue) grille-drain	V_{GD}	
Tension (continue) source-substrat	$V_{SB}; V_{SU}$	
Tension (continue) drain-substrat	$V_{DB}; V_{DU}$	
Tension (continue) source-substrat	$V_{GB}; V_{GU}$	
Tension grille-grille (pour les dispositifs à plusieurs grilles)	$V_{G1 - G2}$	
Tension de claquage grille-source, le drain étant court-circuité à la source	$V_{(BR)GSS}$	
Tension de claquage, drain-source (pour le type B)	$V_{(BR)DSX}$	
Tension de claquage, drain-source (pour le type C)	$V_{(BR)DSS}$	
Tension drain-source à l'état passant	$V_{DS(on)}$	
Tension inverse drain-source	V_{DR}	
Tension de plateau grille-source	$V_{GS(pl)}$	
4.3.2 Courants		
Courant (continu) de drain	I_D	
Courant de drain de crête	I_{DM}	
Courant de drain inverse de crête	I_{DRM}	
Courant de drain, dans des conditions grille-source spécifiées	I_{DSX}	
Courant de drain, pour une résistance grille-source extérieure spécifiée	I_{DSR}	
Courant de drain, la grille étant court-circuitée à la source ($V_{GS} = 0$)	I_{DSS}	
Courant (continu) de source	I_S	
Courant de source, dans des conditions grille-drain spécifiées	I_{SDX}	
Courant de source, la grille étant court-circuitée au drain ($V_{GD} = 0$)	I_{SDS}	
Courant (continu) de grille	I_G	
Courant direct de grille	I_{GF}	
Courant résiduel de grille (d'un transistor à effet de champ à jonction), la source étant en circuit ouvert	I_{GDO}	
Courant résiduel de grille (d'un transistor à effet de champ à jonction), le drain étant en circuit ouvert	I_{GSO}	
Courant résiduel de grille (d'un transistor à effet de champ à jonction), le drain étant court-circuité à la	I_{GSS}	

Nom et désignation	Symbole littéral	Remarques
source		
Courant de fuite de grille (d'un transistor à effet de champ à grille isolée), le drain étant court-circuité à la source	I_{GSS}	
Courant de fuite de grille (d'un transistor à effet de champ à jonction), dans des conditions de circuit drain-source spécifiées	I_{GSX}	
Courant de substrat	$I_B; I_U$	
4.3.3 Dissipation de puissance		
Puissance totale dissipée	P_{tot}	
4.3.4 Paramètres pour petits signaux		
Résistance drain-source	r_{ds}	
Résistance grille-source	r_{gs}	
Résistance grille-drain	r_{gd}	
Résistance de grille (avec $V_{DS} = 0$ ou $v_{ds} = 0$)	r_{gss}	
Résistance drain-source à l'état passant	$r_{ds(on)}$	
Résistance drain-source à l'état bloqué	$r_{ds(off)}$	
Résistance interne de grille	R_g	
Capacité grille-source, le drain étant en circuit ouvert (les circuits drain-source et grille-drain étant en circuit ouvert au point de vue alternatif)	C_{gs0}	
Capacité grille-drain, la source étant en circuit ouvert (les circuits drain-source et grille-source étant en circuit ouvert au point de vue alternatif)	C_{gdo}	
Capacité drain-source, la grille étant en circuit ouvert (les circuits grille-drain et grille-source étant en circuit ouvert au point de vue alternatif)	C_{dso}	
Capacité d'entrée en montage source commune, la sortie étant en court-circuit; capacité grille-source (le drain et la source étant en court-circuit au point de vue alternatif)	$C_{iss}; C_{11ss}$	
Capacité de sortie en montage source commune, l'entrée étant en court-circuit; capacité drain-source (la grille et la source étant en court-circuit au point de vue alternatif)	$C_{oss}; C_{22ss}$	
Capacité de réaction en montage source commune, l'entrée étant en court-circuit au point de vue alternatif	$C_{rss}; C_{12ss}$	
Capacité de sortie en montage drain commun, l'entrée étant en court-circuit (la grille et de drain étant en court-circuit au point de vue alternatif)	$C_{ods}; C_{22ds}$	
Capacité grille-source (dans le circuit en π équivalent)	C_{gs}	
Capacité grille-drain (dans le circuit en π équivalent)	C_{gd}	
Capacité drain-source (dans le circuit en π équivalent)	C_{ds}	
Conductance d'entrée en montage source commune, la sortie étant en court-circuit	G_{iss}	
Conductance de sortie en montage source commune, l'entrée étant en court-circuit	G_{oss}	
Conductance grille-source (dans le circuit en π équivalent)	G_{gs}	
Conductance grille-drain	G_{gd}	

Nom et désignation	Symbole littéral	Remarques
(dans le circuit en π équivalent)		
Conductance drain-source (dans le circuit en π équivalent)	G_{ds}	
Admittance d'entrée, la sortie étant en court-circuit	$y_{is} = \text{Re}_{(y_{is})} + j\omega C_{is}$ $y_{11s} = \text{Re}_{(y_{11s})} + j\omega C_{11s}$	
Admittance de transfert inverse, l'entrée étant en court-circuit	$y_{rs} = \text{Re}_{(y_{rs})} + j\omega C_{rs}$ $y_{12s} = \text{Re}_{(y_{12s})} + j\omega C_{12s}$	
Admittance de transfert direct, la sortie étant en court-circuit	$y_{fs} = \text{Re}_{(y_{fs})} + j\text{Im}_{y_{fs}}$ $y_{21s} = \text{Re}_{(y_{21s})} + j\text{Im}_{y_{21s}}$	
Admittance de sortie, l'entrée étant en court-circuit	$y_{os} = \text{Re}_{(y_{os})} + j\omega C_{os}$ $y_{22s} = \text{Re}_{(y_{22s})} + j\omega C_{22s}$	
Module de l'admittance de transfert inverse, l'entrée étant en court-circuit	$ y_{rs} ; y_{12s} $	
Phase de l'admittance de transfert inverse, l'entrée étant en court-circuit	$\varphi_{yrs} ; \varphi_{y12s}$	
Module de l'admittance de transfert direct, la sortie étant en court-circuit	$ y_{fs} ; y_{21s} $	
Phase de l'admittance de transfert direct, la sortie étant en court-circuit	$\varphi_{yfs} ; \varphi_{y21s}$	
Transconductance directe (dans le circuit en π équivalent)	$g_{ms} ; g_m ; g_{fs}$	
Coefficient de réflexion d'entrée: – en montage source commune – en montage grille commune – en montage drain commun	s_{11s} OU s_{is} s_{11g} OU s_{ig} s_{11d} OU s_{id}	
Coefficient de réflexion de sortie: – en montage source commune – en montage grille commune – en montage drain commun	s_{22s} OU s_{os} s_{22g} OU s_{og} s_{22d} OU s_{od}	
Coefficient de transmission direct: – en montage source commune – en montage grille commune – en montage drain commun	s_{21s} OU s_{fs} s_{21g} OU s_{fg} s_{21d} OU s_{fd}	
Coefficient de transmission inverse: – en montage source commune – en montage grille commune – en montage drain commun	s_{12s} OU s_{rs} s_{12g} OU s_{rg} s_{12d} OU s_{rd}	
4.3.5 Autres paramètres		
Charge de grille totale	Q_G	
Plateau de charge de grille	$Q_{GS(pl)}$	
Charge grille-drain	Q_{GD}	
Seuil de charge de grille	$Q_{GS(th)}$	
Gain de puissance	$G_P ; G_p$	
Puissance de sortie pour une puissance d'entrée spécifiée	P_o	
Rendement global	η_{tot}	
Rendement de drain	η_d	
Rendement en puissance ajoutée	η_{add}	
Fréquence de coupure (dans le montage en source commune)	f_{yfs}	
Tension de bruit	V_n	

Nom et désignation	Symbole littéral	Remarques
Facteur de bruit	F	
Coefficient de température du courant de drain	α_{ID}	
Coefficient de température de la résistance drain-source	α_{rds}	
Retard de croissance	$t_{d(on)}$	Temps de commutation (Voir Figure 3) $t_{on} = t_{d(on)} + t_r$ $t_{off} = t_{d(off)} + t_f$
Retard de décroissance	$t_{d(off)}$	
Temps de croissance	t_r	
Temps de décroissance	t_f	
Temps total d'établissement	t_{on}	
Temps total de coupure	t_{off}	
Énergie d'établissement	E_{on}	
Énergie de coupure	E_{off}	
Énergie d'avalanche répétitive	E_{AR}	
Énergie d'avalanche non répétitive à une seule impulsion	E_{AS}	
Fréquence pour laquelle le coefficient de transmission direct est égal à l'unité: – en montage source commune – en montage grille commune – en montage drain commun	f_{ss} ou f_{iss} f_{sg} ou f_{isg} f_{sd} ou f_{isd}	$f_{ss} = f$ pour $ s_{21s} = 1$ $f_{sg} = f$ pour $ s_{21g} = 1$ $f_{sd} = f$ pour $ s_{21d} = 1$



IEC 2738/10

Figure 3 – Temps de commutation

Nom et désignation	Symbole littéral	Remarques
4.3.6 Transistors à effet de champ appariés		
Différence entre les courants de fuite de grille (pour les transistors à effet de champ à grille isolée) et différence entre les courants résiduels de grille (pour les transistors à effet de champ à jonction)	$I_{G1} - I_{G2}$	La plus faible valeur est soustraite de la plus forte valeur
Rapport des courants de drain pour une tension grille-source nulle	I_{DSS1} / I_{DSS2}	La plus faible des deux valeurs est prise comme numérateur.
Différence des conductances de sortie en petits signaux et en source commune	$g_{os1} - g_{os2}$	La plus faible valeur est soustraite de la plus forte valeur
Rapport des conductances de transfert direct en petits signaux et en source commune	g_{fs1} / g_{fs2}	La plus faible des deux valeurs est prise comme numérateur.
Différence des tensions grille-source	$V_{GS1} - V_{GS2}$	La plus faible valeur est soustraite de la plus forte valeur.
Variation de la différence des tensions grille-source entre deux températures	$ \Delta(V_{GS1} - V_{GS2}) _{\Delta T}$	
4.3.7 Diodes inverses intégrées dans des MOSFET		
Tension inverse drain-source	V_{DSR}	Tension directe de la diode inverse
Courant de recouvrement direct de MOSFET	I_{FR}	Courant de recouvrement inverse de la diode inverse
Courant de recouvrement direct de crête de MOSFET	I_{FRM}	Courant de recouvrement inverse de crête de la diode inverse
Temps de recouvrement direct de MOSFET	t_{fr}	Temps de recouvrement inverse de la diode inverse
Charge de recouvrement directe de MOSFET	Q_f	Charge de recouvrement inverse de la diode inverse
Énergie de recouvrement directe de MOSFET	E_{fr}	Énergie de recouvrement inverse de la diode inverse
Courant de drain inverse	I_{DR}	Courant direct de la diode inverse

5 Valeurs assignées et caractéristiques essentielles

5.1 Généralités

5.1.1 Catégories de dispositifs

Les transistors à effet de champ sont divisés en trois catégories:

- type A: type à jonction de grille;
- type B: type à grille isolée à déplétion (à appauvrissement);
- type C: type à grille isolée à enrichissement.

5.1.2 Dispositifs à grilles multiples

Pour les dispositifs à grilles multiples, les valeurs assignées et les caractéristiques de grille exigées doivent être données pour chaque grille séparément, sauf indication contraire.

5.1.3 Précautions de manipulation

À cause de la très grande résistance d'entrée des transistors à effet de champ, la couche isolant la grille (pour les types à grille isolée) ou la jonction de grille (pour les types à jonction de grille) peut être endommagée de façon irréversible si une tension trop élevée peut se développer, due par exemple au contact de personnes chargées électrostatiquement, aux courants de fuite des fers à souder, etc.

Les exigences de l'Article 8 de la CEI 60747-1:2006 s'appliquent à ces dispositifs.

5.2 Valeurs assignées (valeurs limites)

5.2.1 Températures

5.2.1.1 Températures de stockage minimale et maximale (T_{stg})

5.2.1.2 Température virtuelle de jonction (T_{vj})

Valeur assignée maximale.

5.2.2 Dissipation de puissance (P_{tot})

Dissipation de puissance totale maximale dans la gamme spécifiée des températures de fonctionnement (température ambiante ou température de boîtier).

5.2.3 Aire de sécurité de fonctionnement (SOA) pour MOSFET uniquement

Sur la gamme spécifiée de températures de fonctionnement, dans des conditions d'impulsion spécifiées.

5.2.3.1 Aire de sécurité de fonctionnement en polarisation directe (FBSOA)

Aire de sécurité de fonctionnement maximale de V_{DS} et I_D dans l'état de conduction.

5.2.3.2 Aire de sécurité de fonctionnement en polarisation inverse (RBSOA)

Aire de sécurité de fonctionnement maximale de V_{DS} et I_D dans l'état bloqué.

5.2.3.3 Aire de sécurité de fonctionnement en court-circuit (SCSOA)

Aire de sécurité de fonctionnement maximale non répétitive de V_{DS} et I_D dans l'état bloqué à la suite d'une condition de court-circuit.

5.2.4 Tensions et courants

Les valeurs assignées s'appliquent sur toute la gamme de températures de fonctionnement, sauf spécification contraire.

5.2.4.1 Tension maximale drain-source

Dans des conditions de grille spécifiées.

5.2.4.2 Tension grille-source inverse maximale et, s'il y a lieu,

TYPES		
A	B	C
+	+	+
+	+	+
+	+	+
	+	+
	+	+
	+	+
+	+	+
+	+	+

	TYPES		
	A	B	C
tension directe grille-source maximale Dans des conditions de drain spécifiées.			
5.2.4.3 Tension grille-substrat maximale Dans des conditions de source spécifiées; Pour les transistors à effet de champ à grille isolée ayant des sorties de source et de substrat séparées (type découpeur ou commutateur analogique).		+	+
5.2.4.4 Tension maximale drain-substrat Dans des conditions grille-source spécifiées; Pour les transistors à effet de champ à grille isolée ayant des sorties de source et de substrat séparées (type découpeur ou commutateur analogique).		+	+
5.2.4.5 Tension maximale source-substrat Dans des conditions grille-drain spécifiées; Pour les transistors à effet de champ à grille isolée ayant des sorties de source et de substrat séparées (type découpeur ou commutateur analogique).		+	+
5.2.4.6 Courant de drain maximal (I_D)	+	+	+
5.2.4.7 Courant de drain de crête maximal (I_{DM}) Dans des conditions d'impulsion spécifiées. Pour MOSFET uniquement.		+	+
5.2.4.8 Courant (continu) inverse permanent maximal de drain (I_{DR}) (courant direct de la diode inverse)		+	+
5.2.4.9 Courant inverse de crête maximal (I_{DRM}) (courant direct de crête maximal de la diode inverse) Dans des conditions d'impulsion spécifiées.		+	+
5.2.4.10 Courant direct maximal de grille	+		
5.3 Caractéristiques Les caractéristiques sont données pour 25 °C, sauf indication contraire et pour (au moins) une autre température.			
5.3.1 Caractéristiques pour amplificateur basse fréquence			
5.3.1.1 Courant de grille résiduel	+		

	TYPES		
	A	B	C
Courant de fuite de grille Valeur maximale, à une tension grille-source ou drain-grille spécifiée, les autres connexions des bornes étant spécifiées, pour une température de 25 °C ou pour une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale. Également: Valeur maximale du courant de toutes les grilles connectées ensemble, à une tension grille-source ou drain-grille spécifiée, pour une température de 25 °C ou pour une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.		+	+
5.3.1.2 Courant de drain au blocage Valeur maximale, à des tensions drain-source et grille-source spécifiées, les autres connexions des bornes étant spécifiées, pour une température de 25 °C ou pour une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.	+	+	+
5.3.1.3 Courant de drain pour une tension grille-source nulle (I_{DSS}) Valeurs minimale et maximale, pour une tension grille-source nulle, à une tension drain-source spécifiée, les autres connexions des bornes étant spécifiées, pour une température de 25 °C ou pour une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.	+	+	
5.3.1.4 Courant de drain pour une tension grille-source spécifiée (I_{DSX}) Valeurs minimale et maximale, pour des tensions grille-source et drain-source spécifiées, les autres connexions des bornes étant spécifiées, pour une température de 25 °C ou pour une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.			+
5.3.1.5 Tension grille-source au blocage (V_{GSoff}) Valeurs minimale et maximale de la tension grille-source, à laquelle le courant de drain a été réduit à une valeur basse spécifiée, les autres connexions des bornes étant spécifiées, à une température de 25 °C ou à une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.	+	+	
5.3.1.6 Seuil de tension grille-source ($V_{GS(th)}$) Valeurs minimale et maximale, à une tension drain-source élevée spécifiée et à une valeur du courant de drain supérieure ou égale à 10 fois la valeur maximale du courant de drain pour une tension de grille nulle, les autres connexions des bornes étant spécifiées, à une température de 25 °C ou à une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.			+
5.3.1.7 Capacité d'entrée (en court-circuit) (C_{iss}) Valeur maximale, en petits signaux et en montage source commune, dans des conditions de polarisation spécifiées et pour une fréquence basse spécifiée, la sortie étant court-circuitée au point de vue alternatif.	+	+	+
5.3.1.8 Conductance (et s'il y a lieu, capacité) de sortie, entrée en	+	+	+

	TYPES		
	A	B	C
court-circuit (g_{oss}, C_{oss}) Valeur maximale, en petits signaux et en montage source commune, dans des conditions de polarisation spécifiées et pour une fréquence basse spécifiée, l'entrée étant court-circuitée au point de vue alternatif.			
5.3.1.9 Capacité de transfert inverse (s'il y a lieu) (C_{rss}) Valeur maximale, en petits signaux et en montage source commune avec l'entrée court-circuitée au point de vue alternatif, dans des conditions de polarisation spécifiées et pour une fréquence basse spécifiée.	+	+	+
5.3.1.10 Transconductance directe (g_{ms}, g_m, g_{fs}) Valeurs minimale et maximale dans des conditions de polarisation spécifiées et pour une fréquence basse spécifiée.	+	+	+
5.3.1.11 Pour les applications à faible bruit, tension de bruit et, s'il y a lieu, facteur de bruit (V_n, F) Valeur maximale en montage source commune, pour des conditions spécifiées de la polarisation, de la résistance de source, de la fréquence centrale et de la bande passante efficace.	+	+	+
5.3.1.12 Résistance thermique canal- température ambiante ou canal- température boîtier ($R_{th(j-a)}$ ou ($R_{th(j-c)}$) Valeur maximale.	+	+	+
5.3.2 Caractéristiques pour amplificateur haute fréquence			
5.3.2.1 Courant de grille résiduel Courant de fuite de grille Valeur maximale, à une tension grille-source ou drain-grille spécifiée, les autres connexions des bornes étant spécifiées, pour une température de 25 °C ou pour une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale. Également: Valeur maximale du courant de toutes les grilles connectées ensemble, à une tension grille-source ou drain-grille spécifiée, pour une température de 25 °C ou pour une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.	+	+	+
5.3.2.2 Courant de drain au blocage Valeur maximale, à des tensions drain -source et grille-source spécifiées, les autres connexions des bornes étant spécifiées, pour une température de 25 °C ou pour une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.	+	+	+
5.3.2.3 Courant de drain pour une tension grille-source nulle (I_{DSS}) Valeurs minimale et maximale, pour une tension grille-source nulle et une tension drain-source spécifiée, les autres connexions des bornes étant spécifiées, pour une température de 25 °C ou pour une autre température plus	+	+	

élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.2.4 Courant de drain pour une tension grille-source spécifiée (I_{DSX})

Valeurs minimale et maximale, pour une tension drain-source spécifiée, les autres connexions des bornes étant spécifiées, à une température de 25 °C ou à une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.2.5 Tension grille-source au blocage (V_{GSoff})

Valeurs minimale et maximale de la tension grille-source, à laquelle le courant de drain a été réduit à une valeur basse spécifiée, les autres connexions des bornes étant spécifiées, à une température de 25 °C ou à une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.2.6 Seuil de tension grille-source ($V_{GS(th)}$)

Valeurs minimale et maximale, à une tension drain-source élevée spécifiée et à une valeur du courant de drain supérieure ou égale à 10 fois la valeur maximale du courant de drain pour une tension de grille nulle, les autres connexions des bornes étant spécifiées, à une température de 25 °C ou à une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.2.7 Paramètres y

5.3.2.7.1 Pour tous les transistors à effet de champ, à des valeurs spécifiées de polarisation et de fréquences

y_{is} – parties réelle et imaginaire, valeurs maximales;

y_{os} – parties réelle et imaginaire, valeurs maximales;

y_{fs} – parties réelle et imaginaire, valeurs minimale et maximale (voir aussi 5.3.2.7.2);

y_{rs} – parties réelle et imaginaire, valeurs maximales.

5.3.2.7.2 Pour le MOSFET de puissance en substitution à y_{fs} , transconductance directe (g_{ms} , g_m , g_{fs})

Valeur minimale avec le drain et la source en court-circuit du point de vue alternatif, pour une tension drain-source et un courant de drain spécifiés, à une température de 25 °C ou à une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.2.8 Puissance de sortie pour une puissance d'entrée spécifiée (P_o)

Valeurs minimale et type dans des conditions spécifiées de circuit et de polarisation

ou:

gain de puissance (G_p)

Valeurs minimale et type dans des conditions spécifiées de circuit et de polarisation

5.3.2.9 S'il y a lieu, rendement global (η_{tot})

TYPES		
A	B	C
		+
+	+	
		+
+	+	+
	+	+
+	+	+
+	+	+
+	+	+

Valeurs minimale et type dans des conditions spécifiées de circuit et de polarisation

NOTE $\eta_{\text{tot}} = \frac{P_{\text{out}}}{P_{\text{in}} + P_{\text{(c.c.)}}}$

5.3.2.10 En variante, rendement du collecteur (η_d)

Valeurs minimale et type dans des conditions spécifiées de circuit et de polarisation

NOTE $\eta_d = \frac{P_{\text{out}}}{P_{\text{d(c.c.)}}}$

5.3.2.11 Rendement en puissance ajoutée (η_{add})

Valeurs minimale et type dans des conditions spécifiées de circuit et de polarisation

NOTE $\eta_{\text{add}} = \frac{P_{\text{out}} - P_{\text{in}}}{P_{\text{d(c.c.)}}}$

5.3.2.12 Facteur de bruit (F)

Valeur maximale, dans des conditions spécifiées de polarisation, d'impédance de source, de fréquence centrale et de bande passante efficace. Ces conditions doivent être celles qui donnent la plus faible valeur du facteur de bruit.

5.3.2.13 Résistance thermique canal-ambiante ou canal-boîtier ($R_{\text{th(j-a)}}$) ou ($R_{\text{th(j-c)}}$)

Valeur maximale.

5.3.3 Caractéristiques pour découpeur et commutation de puissance de niveau haut et de niveau bas

5.3.3.1 Courant de grille résiduel

Courant de fuite de grille

Valeur maximale, à une tension grille-source ou drain-grille spécifiée, les autres connexions des bornes étant spécifiées, pour une température de 25 °C ou pour une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

Également:

Valeur maximale du courant de toutes les grilles connectées ensemble, à une tension grille-source ou drain-grille spécifiée, pour une température de 25 °C ou pour une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.3.2 Courant de drain au blocage

Valeur maximale, à des tensions drain -source et grille-source spécifiées, les autres connexions des bornes étant spécifiées, pour une température de

TYPES		
A	B	C
+	+	+
+	+	+
+	+	+
	+	+
+	+	+

25 °C ou pour une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.3.3 Tension grille-source au blocage ($V_{GS(off)}$)

Valeurs minimale et maximale de la tension grille-source, à laquelle le courant de drain a été réduit à une valeur basse spécifiée, les autres connexions des bornes étant spécifiées, à une température de 25 °C ou à une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.3.4 Seuil de tension grille-source ($V_{GS(th)}$)

Valeurs minimale et maximale, à une tension drain-source élevée spécifiée et à une valeur du courant de drain supérieure ou égale à 10 fois la valeur maximale du courant de drain pour une tension de grille nulle, les autres connexions des bornes étant spécifiées, à une température de 25 °C ou à une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.3.5 Caractéristiques à l'état passant

5.3.3.5.1 Tension drain-source à l'état passant ($V_{DS(on)}$)

Tension de saturation drain-source

Valeur maximale, à une grande valeur spécifiée du courant de drain et de la tension grille-source, à une température de 25 °C ou à une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

ou (pour MOSFET uniquement).

5.3.3.5.2 Résistance drain-source à l'état passant ($r_{DS(on)}$)

Valeur maximale, à une grande valeur spécifiée du courant de drain et de la tension grille-source, à une température de 25 °C ou à une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.3.5.3 Conductance de sortie, entrée en court-circuit (g_{oss})

Valeur maximale, en petits signaux et en montage source commune, dans des conditions de polarisation spécifiées et pour une fréquence basse spécifiée, l'entrée étant court-circuitée au point de vue alternatif.

5.3.3.6 Capacité d'entrée (en court-circuit) (C_{iss})

Valeur maximale, en petits signaux et en montage source commune, dans des conditions de polarisation spécifiées et pour une fréquence basse spécifiée, la sortie étant court-circuitée au point de vue alternatif.

5.3.3.7 Capacité de sortie, entrée en court-circuit (s'il y a lieu) (C_{oss})

Valeur maximale, en petits signaux et en montage source commune, dans des conditions de polarisation spécifiées et pour une fréquence basse spécifiée, l'entrée étant court-circuitée au point de vue alternatif.

5.3.3.8 Capacité de transfert inverse (s'il y a lieu) (C_{rss})

Valeur maximale, en petits signaux et en montage source commune, dans

TYPES		
A	B	C
+	+	
		+
+	+	+
	+	+
+	+	+
+	+	+
+	+	+

des conditions de polarisation spécifiées et pour une fréquence basse spécifiée, l'entrée étant court-circuitée au point de vue alternatif.

5.3.3.9 Temps de commutation (voir Figure 3)

Ils sont donnés dans les conditions suivantes:

- a) en montage source commune;
- b) dans une condition spécifiée où doivent être incluses la capacité et la résistance de charge de sortie;
- c) les temps de transition, l'amplitude et la fréquence de répétition de l'impulsion d'entrée doivent être spécifiés;
- d) V_{GS} (à l'état bloqué) doit être supérieure ou égale à la tension grille-source au blocage maximal pour les dispositifs de types A et B, ou inférieure à la tension grille-source de seuil minimale pour les dispositifs de type C;
- e) V_{GS} (à l'état passant) doit correspondre à un fort courant de drain.
- f) valeurs maximales de: $t_{d(on)}$, t_r , $t_{d(off)}$ et t_f séparément.

NOTE Lorsque $t_{d(off)}$ est seulement une petite fraction du temps total de coupure (t_{off}), une valeur maximale pour t_{off} seulement est adéquate.

5.3.3.10 Caractéristiques de la diode inverse (pour les transistors à effet de champ MOS de puissance uniquement)

5.3.3.10.1 Tension inverse drain-source (V_{DSR}) (Tension directe de la diode inverse)

Valeur maximale à un courant inverse de drain spécifié (I_{DR}) (courant direct de la diode inverse) et à $V_{GS} = 0$.

5.3.3.10.2 Temps de recouvrement direct (t_{fr}) (Temps de recouvrement inverse de la diode inverse)

Valeur maximale dans des conditions spécifiées.

5.3.3.10.3 Courant de recouvrement direct de crête (I_{FRM}) (courant de recouvrement inverse de crête de la diode inverse)

Valeur maximale dans des conditions spécifiées.

5.3.3.10.4 Énergie de recouvrement direct (t_{fr}) (énergie de recouvrement inverse de la diode inverse)

Valeur maximale dans des conditions spécifiées.

5.3.3.11 Résistance thermique canal-ambiante ou canal-boîtier ($R_{th(j-a)}$) ou ($R_{th(j-c)}$)

Valeur maximale.

5.3.3.12 Courant de drain résiduel ou résistance drain-source à l'état bloqué

Valeur maximale du courant drain-source au blocage (ou bien, valeur minimale de la résistance drain-source à l'état bloqué), à des valeurs faibles de la tension drain-source, pour les deux polarités et à une tension grille-source spécifiée.

5.3.3.13 Transconductance directe (g_{ms} , g_m , g_{fs}) (pour MOSFET de

TYPES		
A	B	C
+	+	+
	+	+
	+	+
	+	+
	+	+
+	+	+
	+	+

	TYPES		
	A	B	C
puissance uniquement) Valeur minimale, pour des valeurs spécifiées de la tension drain-source et du courant de drain, à une température de 25 °C ou à une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.			
5.3.3.14 Tension de claquage, drain-source ($V_{(BR)DSX}$) (pour type B) Valeur minimale au courant de drain maximal à l'état bloqué I_{D0} et une tension grille-source spécifiée.		+	
5.3.3.15 Tension de claquage, drain-source ($V_{(BR)DSS}$) (pour type C) Valeur minimale, au courant de drain maximal à l'état bloqué I_{D0}, la grille et la source étant en court-circuit.			+
5.3.3.16 Tension grille-source à l'état passant ($V_{GSM(on)}$) (pour type B et C) Valeur maximale dans l'état passant		+	+
5.3.3.17 Résistance interne de grille (r_g), s'il y a lieu Valeur maximale et/ou type, dans des conditions électriques spécifiées et à une fréquence spécifiée		+	+
5.3.3.18 Énergie d'établissement (par impulsion) (E_{on}), s'il y a lieu Valeur maximale dans des conditions spécifiées: – tension drain-source avant établissement; – courant de drain de crête après établissement; – tension grille-source; – résistance dans le circuit grille-source; – température de boîtier ou température ambiante ou température virtuelle de jonction.		+	+
5.3.3.19 Énergie de coupure (par impulsion) (E_{off}), s'il y a lieu Valeur maximale dans des conditions spécifiées: – courant de drain de crête avant coupure; – tension drain-source après coupure; – tension grille-source; – résistance dans le circuit grille-source; – température de boîtier ou température ambiante ou température virtuelle de jonction.		+	+
5.3.3.20 Charges de grille (Q_G, Q_{GD}, $Q_{GD(th)}$, $Q_{GS(pl)}$) Valeurs types, à des valeurs spécifiées du courant de drain (I_D), de la tension drain-source (V_{DS}) et du courant de grille (I_{GG}) (voir Figure 1).		+	+
5.3.3.21 Impédance thermique canal-ambiante ou canal-boîtier ($Z_{th(j-a)}$) ou ($Z_{th(j-c)}$), s'il y a lieu Valeur maximale.		+	+

5.3.4 Caractéristiques pour amplificateur de niveau bas

5.3.4.1 Courant de grille résiduel

Courant de fuite de grille

Valeur maximale, à une tension grille-source ou drain-grille spécifiée, les autres connexions des bornes étant spécifiées, pour une température de 25 °C ou pour une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

Également:

Valeur maximale du courant de toutes les grilles connectées ensemble, à une tension grille-source ou drain-grille spécifiée, pour une température de 25 °C ou pour une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.4.2 Courant de drain au blocage

Valeur maximale, à des tensions drain-source et grille-source spécifiées, les autres connexions des bornes étant spécifiées, pour une température de 25 °C ou pour une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.4.3 Courant de drain pour une tension grille-source nulle (I_{DSS})

Valeurs minimale et maximale, à une tension drain-source spécifiée, les autres connexions des bornes étant spécifiées, pour une température de 25 °C ou pour une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.4.4 Courant de drain pour une tension grille-source spécifiée (I_{DSX})

Valeurs minimale et maximale, pour des tensions grille-source et drain-source spécifiées, les autres connexions des bornes étant spécifiées, pour une température de 25 °C ou pour une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.4.5 Tension grille-source au blocage (V_{GSoff})

Valeurs minimale et maximale de la tension grille-source à laquelle le courant de drain a été réduit à une valeur basse spécifiée, les autres connexions des bornes étant spécifiées à une température de 25 °C ou à une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.4.6 Seuil de tension grille-source ($V_{GS(th)}$)

Valeurs minimale et maximale, à une tension drain-source élevée spécifiée et à une valeur du courant de drain supérieure ou égale à 10 fois la valeur maximale du courant de drain pour une tension de grille nulle, les autres connexions des bornes étant spécifiées, à une température de 25 °C ou à une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.4.7 Tension de bruit (s'il y a lieu) (V_n)

Valeur maximale en montage source commune, dans des conditions de

TYPES		
A	B	C
+		
	+	+
+	+	+
+	+	
		+
+	+	
		+
+	+	+

circuit spécifiées.

5.3.4.8 Transconductance directe pour petits signaux (g_{ms} , g_m , g_{fs})

Valeur minimale, pour une tension drain-source et un courant de drain spécifiés, à la température de fonctionnement de 25 °C et, s'il y a lieu, à une température de fonctionnement plus élevée spécifiée, à une fréquence spécifiée.

5.3.4.9 Caractéristiques de la diode inverse (s'il y a lieu)

5.3.4.9.1 Courant de drain inverse (I_{DR}) (courant direct de la diode inverse)

Valeur maximale au courant de drain inverse (I_{DR}) spécifié et à $V_{GS} = 0$.

5.3.4.9.2 Temps de recouvrement direct (t_{fr}) (Temps de recouvrement inverse de la diode inverse)

Valeur maximale dans des conditions spécifiées.

5.3.4.10 Résistance thermique canal-ambiante ou canal-boîtier ($R_{th(j-a)}$) ou ($R_{th(j-c)}$)

Valeur maximale.

5.3.5 Caractéristiques pour une résistance commandée par la tension

5.3.5.1 Courant de grille résiduel

Courant de fuite de grille

Valeur maximale, à une tension grille-source ou grille-drain spécifiée, les autres connexions des bornes étant spécifiées, à une température de 25 °C ou à une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.5.2 Résistance dynamique drain-source (r_{ds})

Valeurs minimale et maximale en petits signaux, à une tension drain-source nulle et à au moins deux tensions grille-source spécifiées, à une température de 25 °C ou à une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.5.3 Taux de distorsion de non-linéarité de la résistance drain-source en petits signaux, s'il y a lieu

Valeur maximale (contenus harmoniques totaux ou individuels), à des tensions drain-source et grille-source spécifiées et à un signal alternatif drain-source spécifié, à une température de 25 °C ou à une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.5.4 Coefficient de température de la résistance drain-source en petits signaux

Valeur typique.

5.3.5.5 Capacité drain-source

Valeur maximale mesurée en petits signaux, pour une tension drain-source

TYPES		
A	B	C
+	+	+
	+	+
	+	+
	+	+
+		
	+	+
+	+	+
+	+	+
+	+	+
+	+	+

nulle et une tension grille-source spécifiée, la grille étant court-circuitée à la source du point de vue alternatif.

5.3.5.6 Capacité drain-grille

Valeur maximale mesurée en petits signaux à une tension drain-source nulle, à une tension grille-source spécifiée.

5.3.5.7 Capacité grille-source (s'il y a lieu)

Valeur maximale mesurée en petits signaux, à une tension drain-source nulle, à tension grille-source spécifiée, le drain étant court-circuité à la source du point de vue alternatif.

5.3.5.8 Transconductance directe (g_{ms} , g_m , g_{fs}) (pour MOSFET de puissance uniquement)

Valeur minimale, pour des valeurs spécifiées de la tension drain-source et du courant de drain, à une température de 25 °C ou à une autre température plus élevée, de préférence égale à la température virtuelle de jonction maximale.

5.3.5.9 Résistance thermique canal- air ambiant ou canal-boîtier ($R_{th(j-a)}$ ou $R_{th(j-c)}$)

Valeur maximale.

5.3.6 Caractéristiques spécifiques des transistors à effet de champ appariés pour différentiel en basse fréquence

5.3.6.1 Différence des courants de grille résiduels

Différence des courants de fuite de grille ($I_{G1} - I_{G2}$)

Valeur absolue maximale, pour des valeurs spécifiées de la tension drain-grille ou drain-source et du courant de drain.

5.3.6.2 Rapport des courants de drain

5.3.6.2.1 Rapport des courants de drain pour une tension grille-source nulle (I_{DSS1} / I_{DSS2})

Valeur minimale du rapport des courants de drain, pour une valeur spécifiée de la tension drain-source et une tension grille-source nulle.

5.3.6.2.2 Rapport des courants de drain pour une tension grille-source spécifiée

Valeur minimale du rapport des courants de drain, pour des valeurs spécifiées des tensions drain-source et grille-source

NOTE Il convient d'énoncer ce rapport comme étant le quotient de la plus petite valeur par la plus grande.

5.3.6.3 Différence des conductances de sortie en source commune mesurées en petits signaux, s'il y a lieu ($g_{os1} - g_{os2}$)

Valeur absolue maximale de la différence des conductances de sortie, pour des valeurs spécifiées de la tension drain-grille ou drain-source, du courant de drain et de la fréquence.

TYPES		
A	B	C
+	+	+
+	+	+
	+	+
	+	+
+		
	+	+
+	+	
+		+
+	+	+

5.3.6.4 Rapport des transconductances directes en montage source commune mesurées en petits signaux (g_{fs1} – g_{fs2})

Valeur minimale du rapport des transconductances directes, à des valeurs spécifiées de la tension drain-grille ou drain-source, du courant de drain et de la fréquence.

NOTE Il convient d'énoncer ce rapport comme étant le quotient de la plus petite valeur par la plus grande.

5.3.6.5 Différence des tensions grille-source (V_{GS1} – V_{GS2})

Valeur absolue maximale de la différence des tensions grille-source, pour des valeurs spécifiées de la tension drain-grille ou drain-source et du courant de drain.

5.3.6.6 Variation de la différence des tensions grille-source entre deux températures ($|\Delta(V_{GS1} - V_{GS2})|_{\Delta T}$)

Valeur absolue maximale de la variation de la différence des tensions grille-source (décrites en 5.3.6.5) pour deux températures spécifiées, pour les mêmes valeurs spécifiées de la tension drain-grille ou drain-source et du courant de drain.

TYPES		
A	B	C
+	+	+
+	+	+
+	+	+

6 Méthodes de mesure

6.1 Généralités

Les polarités des alimentations, indiquées dans les circuits figurant dans la présente norme, sont valables pour les dispositifs de type à canal N. Cependant, on peut adapter les circuits pour les dispositifs de type à canal P en changeant la polarité des appareils de mesure et des alimentations.

Les précautions générales énumérées en 6.4 de la CEI 60747-1:2006 s'appliquent. En outre, il convient de prendre tout particulièrement soin d'utiliser des alimentations continues dont le taux d'ondulation est faible et de découpler correctement toutes les sources de tension de polarisation à la fréquence de mesure. Pour les dispositifs à quatre bornes, il convient de connecter la quatrième borne comme spécifié.

Pour manipuler ces dispositifs, les précautions de manutention données dans la CEI 61340 doivent être observées. Il convient de placer à l'intérieur d'un écran électrostatique le circuit complet indiqué dans les paragraphes.

6.2 Vérification des valeurs assignées (valeurs limites)

Après l'essai suivant, confirmer les caractéristiques du transistor à effet de champs spécifiées dans le Tableau 2.

Tableau 2 – Caractéristiques définissant la réception

Caractéristiques	Critères de réception
I_{GSS}	$I_{GSS} < LSS$
I_{DS^*}	$I_{DS^*} < LSS$
$V_{GS(th)}$ (ou $V_{GS(off)}$)	$V_{GS(th)} < LSS$ ou $V_{GS(th)} > LIS$
$V_{DS(on)}$	$V_{DS(on)} < LSS$
$r_{DS(on)}$	$r_{DS(on)} < LSS$ (uniquement pour MOSFET)
LSS: limite supérieure spécifiée. LIS: limite inférieure spécifiée	

6.2.1 Tensions et courants

6.2.1.1 Tension (continue) drain-source (V_{DS^*})

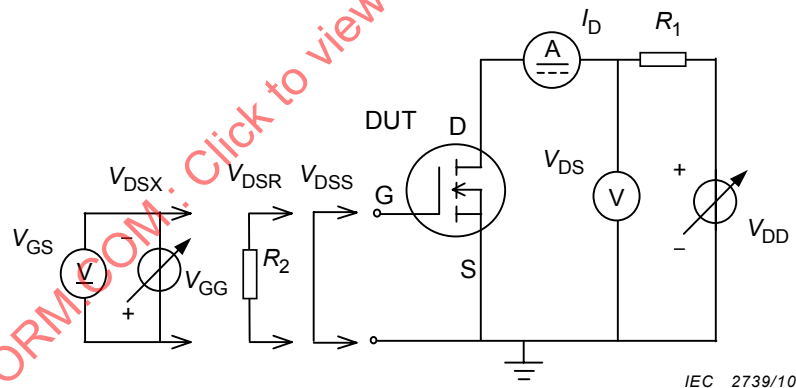
NOTE * = O, R, S ou X.

– But

Vérifier la tension (continue) drain-source V_{DS^*} dans des conditions spécifiées.

– Schéma du circuit

Voir la Figure 4 ci-dessous.



Légende

DUT Dispositif en essai

Figure 4 – Schéma de circuit pour les essais de tension drain-source

– Description du circuit et exigences

V_{DD} et V_{GG} sont les tensions continues d'alimentation. R_1 est une résistance de protection de circuit.

– Procédure d'essai

Régler la grille-source en fonction des conditions spécifiées. Augmenter V_{DD} jusqu'à ce que la tension drain-source mesurée sur le voltmètre V_{DS} atteigne la tension (continue) drain-source spécifiée V_{DS^*} . Après l'essai ci-dessus, confirmer que les caractéristiques définissant la réception du dispositif en essai sont normales selon les critères du Tableau 2.

– **Conditions spécifiées**

- Température de point de référence ou de jonction (T_{vj});
- Conditions de polarisation grille-source;
- Tension drain-source: tension drain-source assignée.

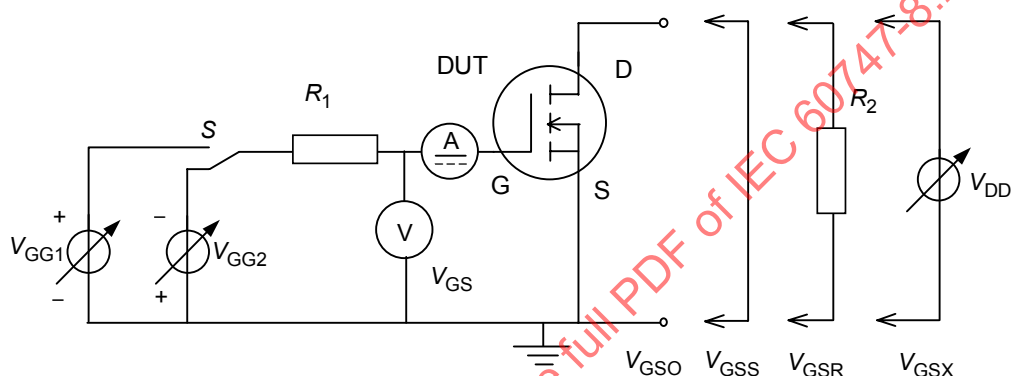
6.2.1.2 Tension (continue) grille-source (V_{GS^*})

– **But**

Vérifier la tension (continue) grille-source pour les deux polarités, dans des conditions spécifiées.

– **Schéma du circuit**

Voir la Figure 5 ci-dessous.



Légende

DUT Dispositif en essai

Figure 5 – Schéma de circuit pour les essais de tension grille-source

– **Description du circuit et exigences**

V_{DD} , V_{GG1} et V_{GG2} sont les tensions (continues) d'alimentation. La tension V_{GSX} est appliquée uniquement pour la condition de polarisation inverse de la grille de V_{GG2} . R_1 est une résistance de protection.

– **Procédure d'essai**

Régler la tension drain-source en fonction des conditions spécifiées. Augmenter V_{GG} jusqu'à ce que la tension grille-source mesurée sur le voltmètre V_{GS} atteigne la tension grille-source spécifiée V_{GS^*} . Après l'essai ci-dessus, confirmer que les caractéristiques définissant la réception du dispositif en essai sont normales selon les critères du Tableau 2.

– **Conditions spécifiées**

- Température de point de référence ou de jonction (T_{vj});
- Conditions de polarisation drain-source;
- Tension grille-source: tension grille-source assignée.

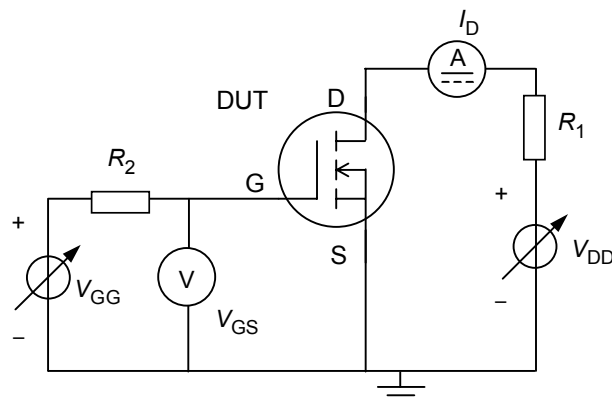
6.2.1.3 Tension (continue) grille-drain (V_{GD^*})

– **But**

Vérifier la tension (continue) grille-drain pour les deux polarités, dans des conditions spécifiées.

– Schéma de circuit

Voir la Figure 7 ci-dessous.



IEC 2742/10

Légende

DUT Dispositif en essai

Figure 7 – Circuit de base pour les essais de courant de drain

– Description du circuit et exigences

V_{DD} et V_{GG} sont les tensions continues d'alimentation. R_1 et R_2 sont des résistances de protection.

– Procédure d'essai

Appliquer à la grille la tension grille-source spécifiée. La température (T_a ou T_c ou T_{vj}) et la tension grille-source sont fixées et maintenues à la valeur spécifiée. Le courant de drain est fourni à des conditions spécifiées. Après l'essai ci-dessus, confirmer que les caractéristiques définissant la référence du dispositif en essai sont normales selon les critères du Tableau 2. Le courant de drain est fourni dans les conditions spécifiées jusqu'à ce que l'équilibre thermique soit atteint.

– Conditions spécifiées

- Température de point de référence ou de jonction (T_{vj});
- Tension grille-source V_{GS} ;
- Courant de drain I_D .

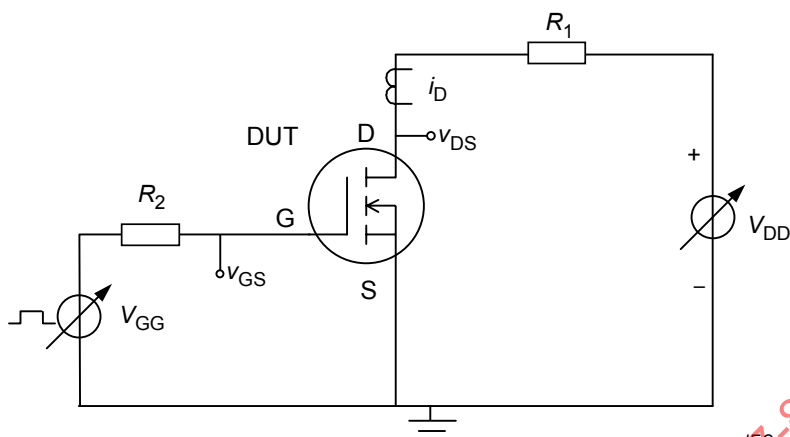
6.2.1.5 Courant de drain de crête (I_{DM})

– But

Vérifier le courant de drain de crête dans des conditions spécifiées.

– Schéma de circuit

Voir la Figure 8 ci-dessous.



Légende

DUT Dispositif en essai

Figure 8 – Schéma de circuit pour les essais de courant de drain de crête

– Description du circuit et exigences

V_{DD} est la tension continue d'alimentation et V_{GG} est le générateur d'impulsions de grille. R_1 et R_2 sont des résistances de protection.

– Procédure d'essai

Appliquer une impulsion de tension grille-source spécifiée pour mettre le dispositif sous tension et hors tension. La température (T_a ou T_c ou T_{vj}) est fixée et maintenue à la valeur spécifiée. Le courant de drain de crête est conduit dans les conditions spécifiées. Après l'essai ci-dessus, confirmer que les caractéristiques définissant la réception du dispositif en essai sont normales selon les critères du Tableau 2.

– Conditions spécifiées

- Température de point de référence ou de jonction (T_{vj});
- Tension grille-source V_{GS} ;
- Large d'impulsion et facteur d'utilisation;
- Courant de drain de crête I_{DM} .

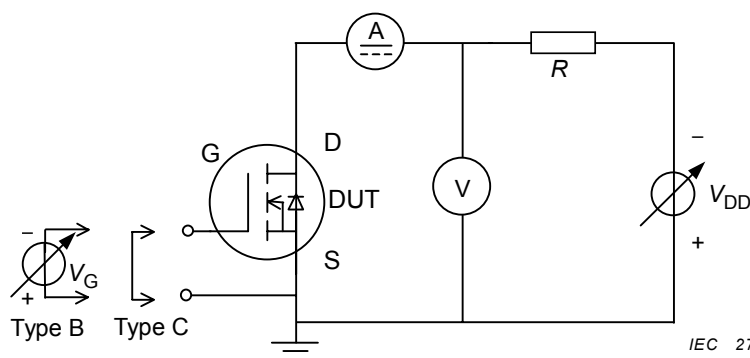
6.2.1.6 Courant de drain inverse (I_{DRS}) ou (I_{DRX})

– But

Vérifier le courant de drain inverse dans des conditions spécifiées.

– Schéma de circuit

Voir la Figure 9 ci-dessous.



Légende

DUT Dispositif en essai

Figure 9 – Circuit de base pour les essais de courant de drain inverse des transistors MOSFET

– Description du circuit et exigences

V_{DD} est la tension continue d'alimentation. R est une résistance de protection.

– Procédure d'essai

Les bornes grille-source sont en court-circuit (type C) ou alimentées avec une polarisation de coupure (type B). La température (T_a ou T_c ou T_{vj}) est fixée et maintenue à la valeur spécifiée dans des conditions spécifiées. Le courant de drain inverse est conduit au dispositif en essai avec le MOSFET à l'état bloqué. Après l'essai ci-dessus, confirmer que les caractéristiques définissant la réception du dispositif en essai sont normales selon les critères du Tableau 2.

– Conditions spécifiées

- MOSFET dans l'état bloqué: l'état de la grille de type B est réglé pour être maintenu dans l'état bloqué;
- Température de point de référence ou de jonction (T_{vj});
- Résistance de protection R ;
- Courant de drain inverse I_{DR} .

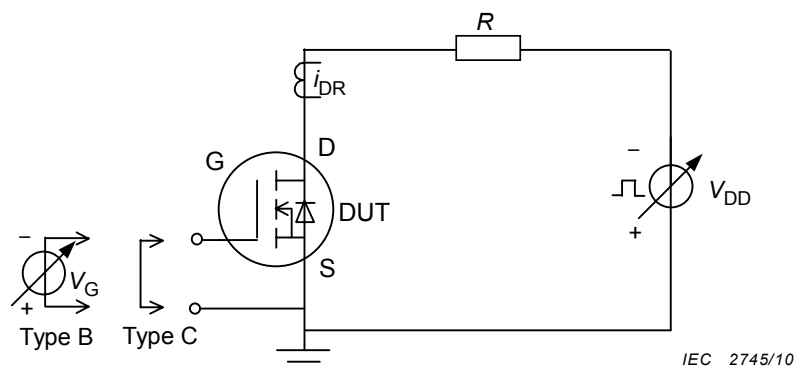
6.2.1.7 Courant de drain inverse de crête (I_{DRM})

– But

Vérifier le courant de drain inverse de crête dans des conditions spécifiées.

– Schéma de circuit

Voir la Figure 10 ci-dessous.



Légende

DUT Dispositif en essai

Figure 10 – Circuit de base pour les essais de courant de drain inverse de crête des transistors MOSFET

– Description du circuit et exigences

V_{DD} est une source de tension d'impulsion avec une largeur d'impulsion réglable et une commande du facteur d'utilisation. R est une résistance de protection.

– Procédure d'essai

Les bornes grille-source sont connectées comme spécifié. La température (T_a ou T_c ou T_{vj}) est fixée et maintenue à la valeur spécifiée. Le courant de drain inverse de crête est conduit au dispositif en essai en mettant sous tension le V_{DD} , le transistor MOSFET étant à l'état bloqué. Après l'essai ci-dessus, confirmer que les caractéristiques définissant la réception du dispositif en essai sont normales selon les critères du Tableau 2.

– Conditions spécifiées

- MOSFET dans l'état bloqué;
- Température de point de référence ou de jonction (T_{vj}) ;
- Largeur d'impulsion et facteur d'utilisation; installation par l'unité de commutation d'impulsion;
- Courant de drain inverse de crête I_{DRM} .

6.2.2 Aire de sécurité de fonctionnement

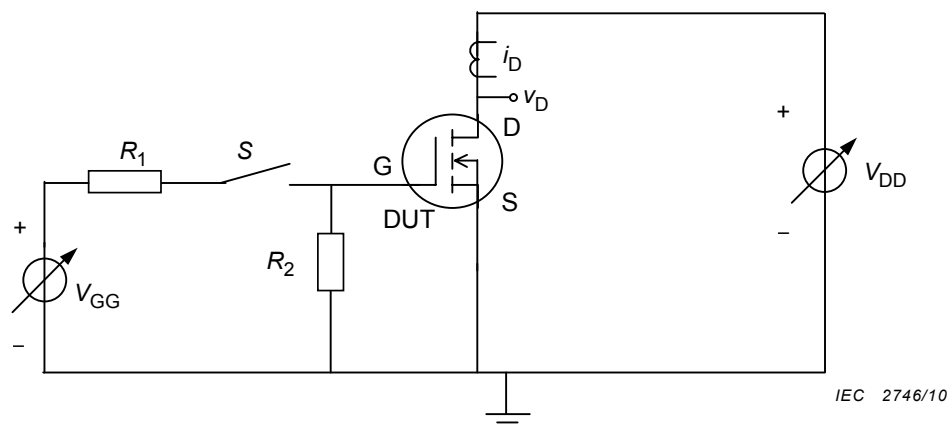
6.2.2.1 Aire de sécurité de fonctionnement en polarisation directe (FBSOA)

– But

Vérifier l'aire de sécurité en polarité directe d'un transistor de puissance à effet de champ dans des conditions spécifiées, avec charge non inductive.

– Schéma de circuit

Voir la Figure 11 ci-dessous.

**Légende**

DUT Dispositif en essai, transistor en mesure (MOSFET ou JFET)

Figure 11 – Schéma de circuit pour vérifier l'aire FBSOA

– **Description du circuit et exigences**

V_{GG} , V_{DD} = sources de tension réglable

R_1 , R_2 = 10 k Ω ou comme spécifié

S = commutateur pour obtenir la séquence spécifiée d'impulsions de courant

– **Procédure d'essai**

Fixer la température de boîtier à la valeur spécifiée. Mettre sous tension et hors tension le dispositif avec la durée d'impulsion et le facteur d'utilisation spécifiés. Surveiller V_{DS} et I_D . Augmenter V_{GG} et/ou V_{DD} jusqu'à ce que les valeurs d'impulsions spécifiées pour V_{DS} et I_D soient atteintes. Soumis à ces conditions, le dispositif en mesure fonctionne pendant la durée spécifiée de l'essai ou pour le nombre donné d'impulsions, s'il y a lieu. La vérification de la valeur assignée de FBSOA est obtenue à partir des mesures effectuées après l'essai. Après l'essai ci-dessus, confirmer que les caractéristiques définissant la réception du dispositif en essai sont normales selon les critères du Tableau 2.

– **Conditions spécifiées**

- Température de boîtier T_C ;
- Tension drain-source V_{DS} ;
- Courant de drain I_D ;
- Selon spécification, soit le fonctionnement en courant continu ou en impulsions répétitives, soit la combinaison de ces conditions;
- Durée des impulsions t_p et facteur d'utilisation de l'impulsion δ selon ce qui est approprié;
- Selon spécification, soit durée de l'essai ou nombre d'impulsions de l'essai;
- R_1 , R_2 si elle diffère de 10 k Ω ;
- Limites de mesure après essai.

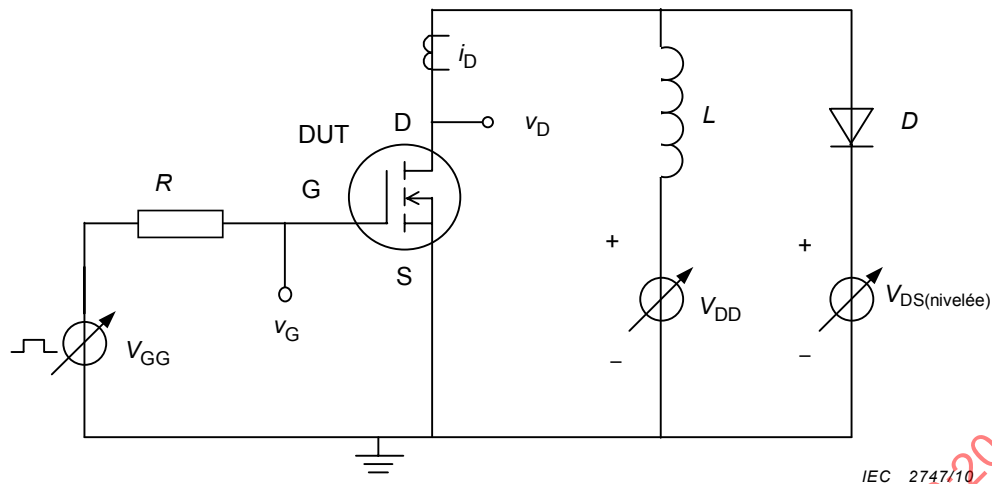
6.2.2.2 Aire de sécurité de fonctionnement en polarisation inverse (RBSOA)

– **But**

Vérifier l'aire de sécurité de fonctionnement en polarisation inverse dans des conditions spécifiées avec charge inductive.

– **Schéma de circuit et formes d'onde d'essai**

Voir la Figure 12 et la Figure 13 ci-dessous.

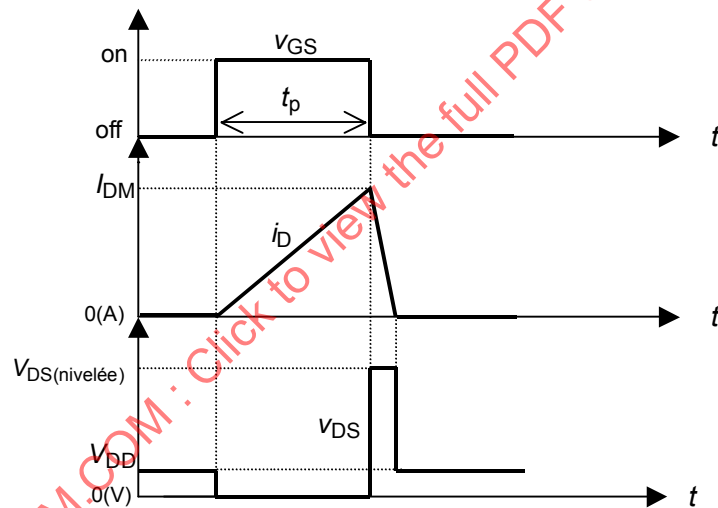


IEC 2747/10

Légende

DUT Dispositif en essai

Figure 12 – Schéma de circuit pour vérifier l'aire RBSOA



IEC 2748/10

Figure 13 – Formes d'onde d'essai pour vérifier l'aire RBSOA

– **Description du circuit et exigences**

D = diode de niveau

L = charge inductive

V_{DD} = source de tension réglable

V_{DS} = source de tension réglable pour la tension de nivellement

t_p = largeur d'impulsion de la tension grille-source

V_{GG} = générateur d'impulsions de grille

R = résistance de grille

– **Procédure d'essai**

Mettre hors tension le dispositif en essai à la valeur spécifiée de I_D . Surveiller V_{DS} et I_S (I_D). Le DUT doit couper I_D et résister à $V_{DS} = V_{DS(nivelée)}$.

NOTE Tension de crête drain-source $V_{DSM} < V_{(BR)DS^*}$.

La température (*température du point de référence* ou T_{vj}) est fixée et maintenue à une valeur spécifiée. Soumis à ces conditions, le dispositif en essai fonctionne pendant la durée spécifiée de l'essai ou pour le nombre donné d'impulsions, selon ce qui est approprié. La vérification de la valeur assignée de RBSOA est obtenue à partir des mesures effectuées après l'essai. Après l'essai ci-dessus, confirmer que les caractéristiques définissant la réception du dispositif en essai sont normales selon les critères du Tableau 2. Le dispositif est considéré défectueux si, à n'importe quel moment de l'essai, la tension drain-source chute ou oscille durant la décroissance des impulsions de courant.

– **Conditions spécifiées**

- Courant de drain I_D ;
- Tension inverse de grille $-V_{GS}$ avant et après la coupure;
- Tension drain-source $V_{DS(nivelée)}$;
- Nombre d'impulsions, s'il est supérieur à 1, et largeur d'impulsion et facteur d'utilisation;
- Inductance L ;
- Température de point de référence ou température virtuelle de jonction (T_{vj}) ;
- Résistance de grille R_G .

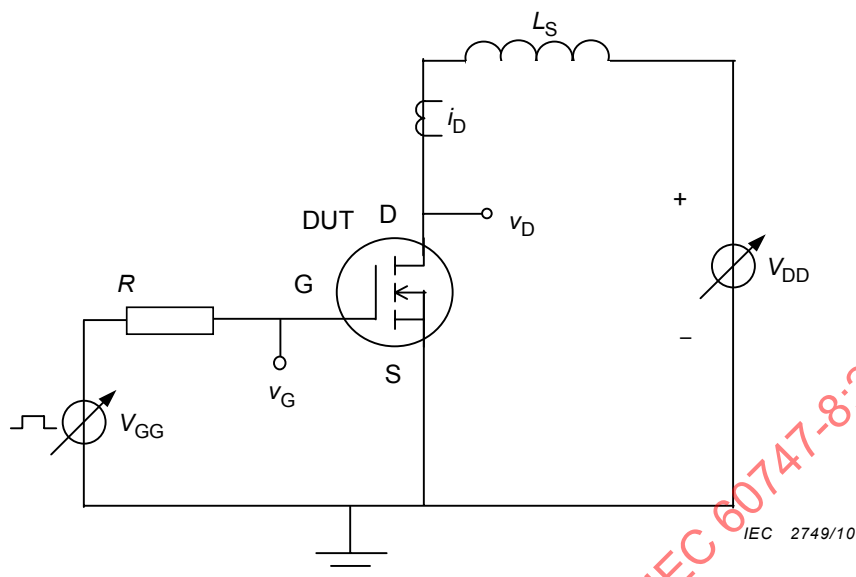
6.2.2.3 Aire de sécurité de fonctionnement en court-circuit (SCSOA)

– **But**

Vérifier par cet essai que le MOSFET fonctionne en toute fiabilité sans défaillance dans des conditions de court-circuit de charge. Un court-circuit peut se produire lorsque le MOSFET est déjà conducteur ou lorsque le MOSFET est actionné dans un état de court-circuit. Un essai pour ce dernier cas est décrit ci-après.

– Schéma de circuit et formes d'onde

Voir la Figure 14 et la Figure 15 ci-dessous.



Légende

DUT Dispositif en essai

Figure 14 – Circuit pour essais de durée d'impulsion de sécurité de fonctionnement en court-circuit de charge (SCSOA)

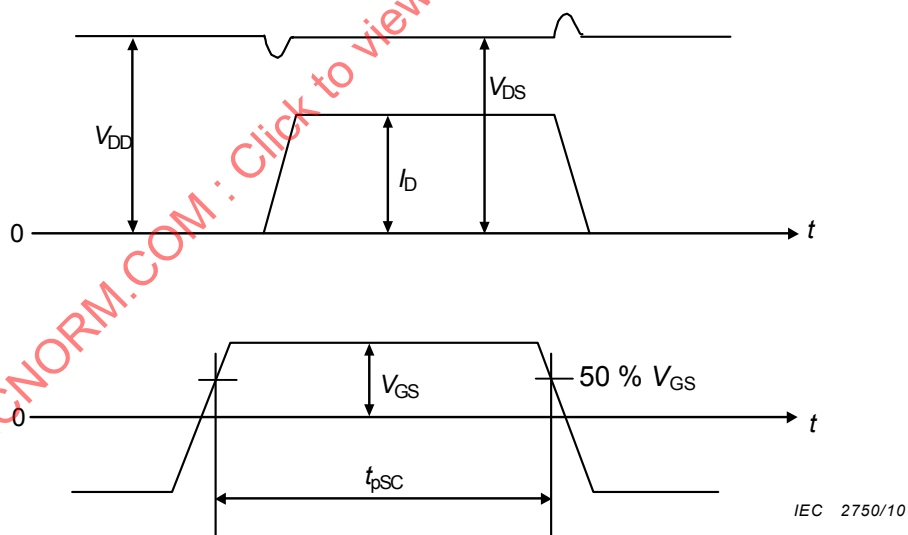


Figure 15 – Formes d'onde de tension grille-source V_{GS} , de courant de drain I_D et de tension V_{DS} pendant un état de court-circuit de charge SCSOA

– Descriptions de circuit et exigences

L_S représente l'inductance parasite admissible maximale; elle doit être suffisamment faible pour assurer que le courant maximal de court-circuit sera atteint dans les premiers 25 % de la durée des impulsions de grille t_{pSC} .

L_S = inductance parasite

V_{DD} = source de tension réglable

t_{pSC} = largeur d'impulsion de la tension grille-source

V_{GG} = générateur d'impulsions de grille

R = résistance de grille telle que spécifiée

– Procédure d'essai

Régler la température à la valeur spécifiée. Régler la tension grille-source V_{GS} et la durée des impulsions aux valeurs spécifiées. Régler la tension drain-source V_{DS} à une valeur spécifiée. Surveiller les courants de drain I_D et V_{DS} afin de voir si le MOFSET se met correctement sous tension et hors tension. Après l'essai ci-dessus, confirmer que les caractéristiques définissant la réception du dispositif en essai sont normales selon les critères du Tableau 2.

– Conditions spécifiées

- Tension drain-source $V_{DS} = V_{DD}$;
- Tensions grille-source à l'état passant et à l'état bloqué;
- Durée des impulsions de grille t_{pSC} ;
- Résistance de grille R ;
- Valeur de l'inductance parasite L_S ;
- Température de point de référence ou température virtuelle de jonction (T_{vj}).

6.2.3 Énergie d'avalanche

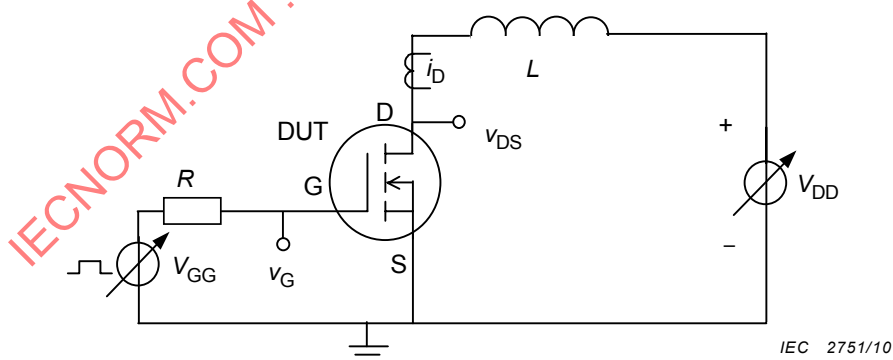
6.2.3.1 Énergie d'avalanche répétitive (E_{AR})

– But

Vérifier la capacité d'énergie d'avalanche répétitive dans un circuit de commutation inductive non nivelé.

– Schéma de circuit et formes d'onde

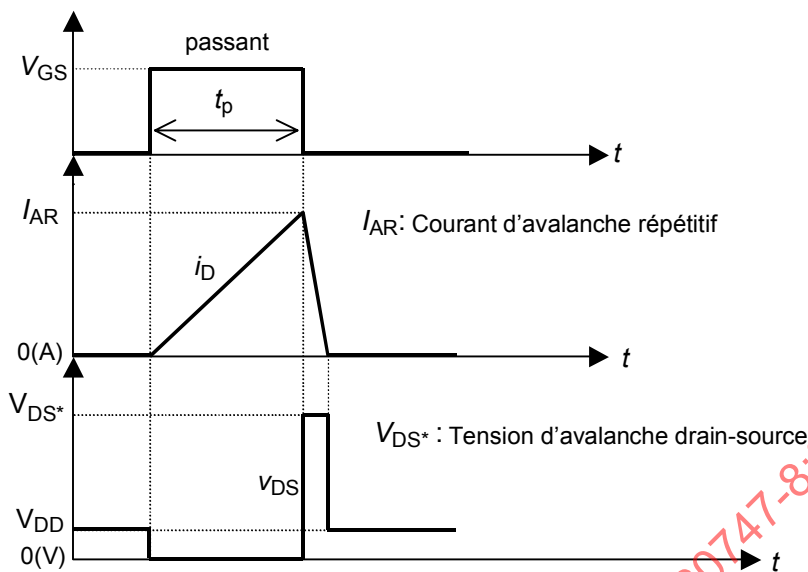
Voir la Figure 16 et la Figure 17 ci-dessous.



Légende

DUT Dispositif en essai

Figure 16 – Circuit pour la commutation inductive par avalanche



IEC 2752/10

Figure 17 – Formes d'onde de I_D , V_{DS} et V_{GS} pendant la commutation inductive non nivelée

– **Descriptions de circuit et exigences**

L = charge inductive

V_{DD} = source de tension réglable

V_{GG} = générateur d'impulsions de grille

R = résistance de grille telle que spécifiée

– **Procédure d'essai**

Régler la température à la valeur spécifiée. Régler la tension d'alimentation (V_{DD}) à la valeur spécifiée. Régler le temps total d'établissement du MOSFET à une valeur permettant d'atteindre le courant d'avalanche spécifié. Soumis à ces conditions, le dispositif en essai fonctionne avec le nombre spécifié d'impulsion et la fréquence de répétitions spécifiée. L'énergie fournie au dispositif en essai peut être calculée comme suit:

$$E_{AR} = \frac{1}{2} L I_{AR}^2 V_{DS*} / (V_{DS*} - V_{DD})$$

Après l'essai ci-dessus, confirmer que les caractéristiques définissant la réception du dispositif en essai sont normales selon les critères du Tableau 2. À la fin de l'essai, le dispositif en essai doit se situer dans les limites de paramètres spécifiées. La valeur mesurée de V_{DS*} doit être supérieure ou égale à la tension minimale de claquage $V_{(BR)DS*}$ avec les courants d'avalanche permis I_{AR} .

NOTE Lorsque V_{DD} est fixée à une valeur plus petite en comparaison à V_{DS*} , l'énergie E_{AR} est calculée à l'aide de l'équation approchée: $E_{AR} = \frac{1}{2} L I_{AR}^2$.

– **Conditions spécifiées**

- Température de point de référence ou de jonction(T_{vj});
- Tension drain-source V_{DD} ;
- Tension grille-source V_{GS} ;
- Courant de drain I_D ;
- Inductance L ;

- Fréquence f .

6.2.3.2 Énergie de commutation d'avalanche non répétitive (E_{AS})

– But

Vérifier l'énergie de commutation d'avalanche non répétitive.

– Schéma de circuit et formes d'onde

Voir Figure 18 ci-dessous.

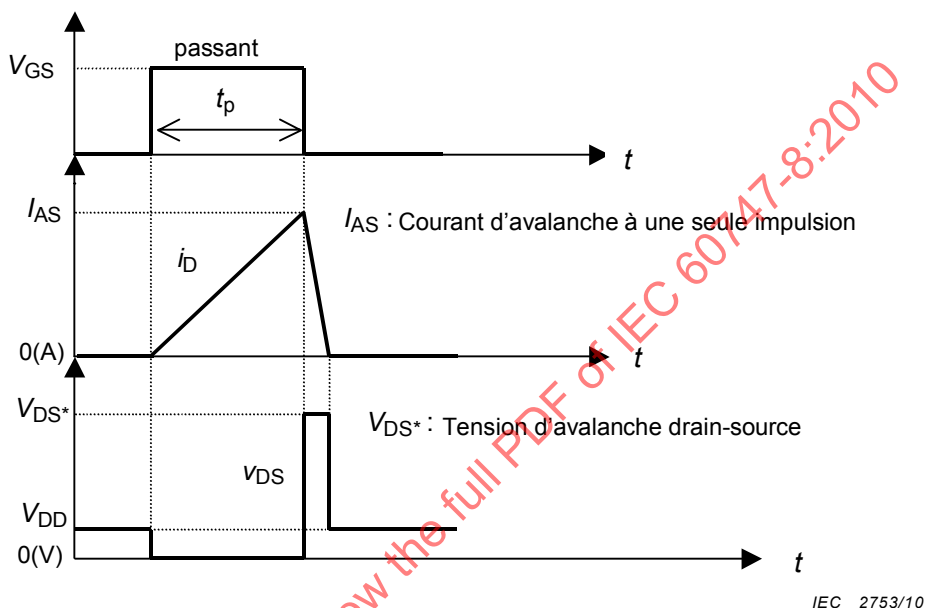


Figure 18 – Formes d'onde de I_D , V_{DS} et V_{GS} pour la commutation d'avalanche non répétitive

– Descriptions de circuit et exigences

L = charge inductive

V_{DD} = source de tension réglable

V_{GG} = générateur d'impulsions de grille

R_G = résistance de grille telle que spécifiée

– Procédure d'essai

Régler la température à la valeur spécifiée. Régler la tension d'alimentation (V_{DD}) à la valeur spécifiée. Régler le temps total d'établissement du MOSFET à une valeur permettant d'atteindre le courant d'avalanche spécifié. Soumis à ces conditions, le dispositif en essai fonctionne avec la seule impulsion. L'énergie fournie au dispositif en essai peut être calculée comme suit:

$$E_{AS} = \frac{1}{2} L I_{AS}^2 V_{DS*} / (V_{DS*} - V_{DD})$$

Après l'essai ci-dessus, confirmer que les caractéristiques définissant la réception du dispositif en essai sont normales selon les critères du Tableau 2. À la fin de l'essai, le dispositif en essai doit se situer dans les limites de paramètres spécifiées. La valeur mesurée de V_{DS*} doit être supérieure ou égale à la tension minimale de claquage $V_{(BR)DS*}$ avec les courants d'avalanche permis I_{AS} .

NOTE Lorsque V_{DD} est fixée à une valeur plus petite en comparaison à V_{DS*} , l'énergie E_{AS} est calculée à l'aide de l'équation approchée: $E_{AS} = \frac{1}{2} L I_{AS}^2$.

– **Conditions spécifiées**

- Température de point de référence ou de jonction(T_{vj});
- Tension drain-source V_{DD} ;
- Tension grille-source V_{GS} ;
- Courant de drain I_D ;
- Inductance L ;
- Impulsion unique.

6.3 Méthodes de mesure

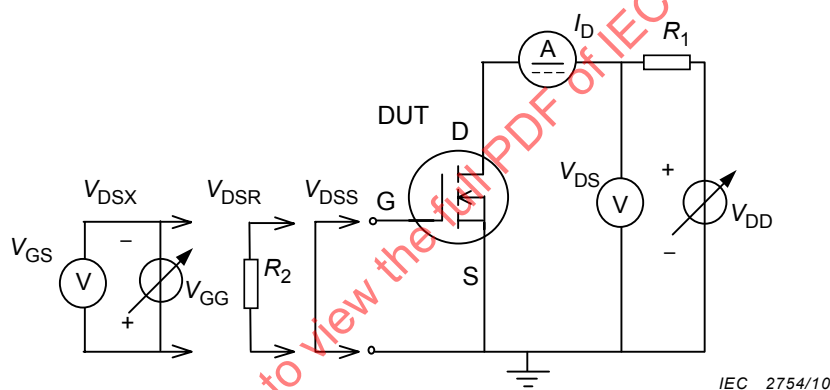
6.3.1 Tension de claquage, drain-source ($V_{(BR)DS^*}$)

– **But**

Mesurer la tension de claquage drain-source, dans des conditions spécifiées.

– **Schéma de circuit**

Voir la Figure 19 ci-dessous.



Légende

DUT Dispositif en essai

Figure 19 – Schémas de circuit pour la mesure de la tension de claquage drain-source

– **Description du circuit et exigences**

V_{DD} et V_{GG} sont les tensions continues d'alimentation. R_1 est une résistance de protection de circuit.

– **Procédure de mesure**

Régler la grille-source en fonction des conditions spécifiées. Augmenter V_{DD} jusqu'à ce que le courant de drain à l'état bloqué mesuré par l'ampèremètre A atteigne la valeur spécifiée I_{DS} . La tension de claquage est mesurée sur le voltmètre V_{DS} .

– **Conditions spécifiées**

- Température de point de référence ou de jonction(T_{vj});
 - Conditions de polarisation grille-source;
- s_x : la tension grille-source est appliquée;
- s_r : la résistance est branchée entre la grille et la source (valeur R_2);
- s_s : la grille et la source sont en court-circuit;
- Courant de drain maximal à l'état bloqué $I_{DS^*,max}$.

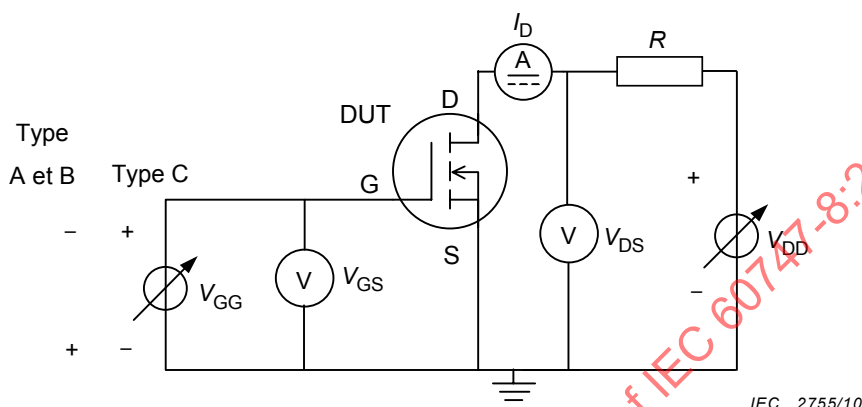
6.3.2 Tension grille-source à l'état bloqué ($V_{GS(off)}$) (type A et B), seuil de tension grille-source ($V_{GS(th)}$) (type C)

– But

Mesurer la tension grille-source à l'état bloqué, dans des conditions spécifiées.

Schéma de circuit

Voir la Figure 20 ci-dessous.



Légende

DUT Dispositif en essai

Figure 20 – Schéma de circuit pour la mesure de la tension grille-source à l'état bloqué et du seuil de tension grille-source

– Description du circuit et exigences

V_{DD} et V_{GG} sont les tensions continues d'alimentation. R est une résistance de protection de circuit.

– Procédure de mesure

Appliquer la tension drain-source spécifiée. Ajuster la tension grille-source à la valeur à laquelle le courant de drain est égal à la valeur spécifiée. La tension mesurée par V_{GS} est la tension grille-source à l'état bloqué (type A et B), respectivement le seuil de tension grille-source (type C).

– Conditions spécifiées

- Température de point de référence ou de jonction (T_{vj});
- Tension drain-source V_{DS} ;
- Courant de drain I_D .

6.3.3 Courant (continu) de fuite de drain (I_{DS*})(type C), courant (continu) de drain résiduel (I_{DSX}) (type A et B)

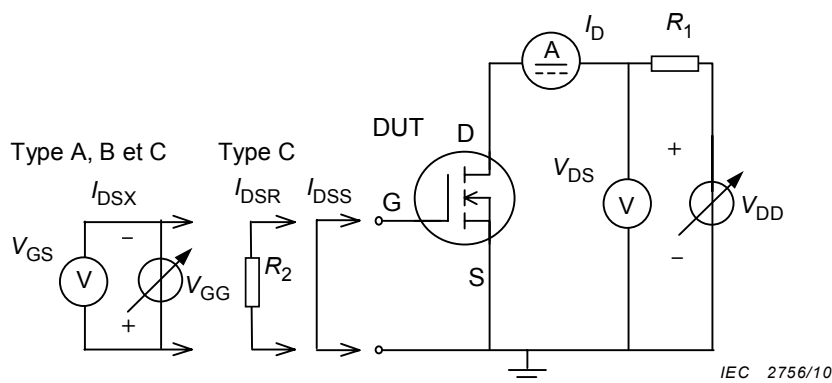
NOTE * = R, S ou X.

But

Mesurer le courant (continu) de drain de fuite (ou à l'état bloqué) I_{DS*} dans des conditions spécifiées ou le courant (continu) résiduel de drain I_{DSX} sous la tension grille-source.

Schéma de circuit

Voir la Figure 21 ci-dessous.



Légende

DUT Dispositif en essai

Figure 21 – Schéma de circuit pour mesurer le courant de drain de fuite (ou à l'état bloqué) ou le courant de drain résiduel

– Description du circuit et exigences

V_{DS} et V_{GG} sont les tensions continues d'alimentation. R_1 est une résistance de protection de circuit.

– Procédure de mesure

Régler les valeurs grille-source en fonction des conditions de polarisation spécifiées. Augmenter V_{DD} jusqu'à ce que la tension drain-source mesurée par le voltmètre V_{DS} atteigne la valeur spécifiée. Relever la valeur mesurée du courant de drain de fuite (ou à l'état bloqué) I_D sur l'ampèremètre. Si requis, calculer $r_{DS(off)}$ par la formule: $r_{DS(off)} = V_{DS}/I_{Dx}$.

– Conditions spécifiées

- Température de point de référence ou de jonction (T_{vj});
- Conditions de polarisation grille-source;
 - s_x : la tension grille-source est appliquée;
 - s_R : la résistance est branchée entre la grille et la source (valeur R_2);
 - s_S : la grille et la source sont en court-circuit;
- Tension drain-source: la valeur n'est pas supérieure à la tension de claquage.

6.3.4 Courant de grille résiduel (I_{GS*})(type A), courant de fuite de grille (I_{GS*})(type B et C)

But

Mesurer le courant résiduel de grille ou le courant de fuite de grille dans des conditions spécifiées.

Schéma de circuit

Voir la Figure 22 ci-dessous.