

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE
NORME DE LA CEI

INTERNATIONAL ELECTROTECHNICAL COMMISSION
IEC STANDARD

Publication 748-2

Première édition — First edition

1985

Dispositifs à semiconducteurs

Circuits intégrés

Deuxième partie: Circuits intégrés digitaux

Semiconductor devices

Integrated circuits

Part 2: Digital integrated circuits



© CEI 1985

Droits de reproduction réservés — Copyright — all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

Bureau Central de la Commission Electrotechnique Internationale

3, rue de Varembe
Genève, Suisse

Prix
Price Fr. s. **250.—**

SOMMAIRE

	Pages
PRÉAMBULE	10
PRÉFACE	10
Index des références croisées	12
 Articles	
CHAPITRE I: GÉNÉRALITÉS	
1. Note d'introduction	16
2. Domaine d'application	16
 CHAPITRE II: TERMINOLOGIE ET SYMBOLES LITTÉRAUX	
1. Terminologie pour les circuits intégrés combinatoires et séquentiels	18
1.1 Termes généraux	18
1.2 Termes relatifs à la fonction	20
1.3 Types de circuits	26
1.4 Termes relatifs aux valeurs limites et aux caractéristiques	30
2. Exemples	34
3. Terminologie pour les mémoires à circuit intégré	62
3.1 Termes généraux	62
3.2 Termes généraux relatifs à la fonction et à l'organisation d'une mémoire	64
3.3 Types de mémoires	66
3.4 Termes relatifs aux valeurs limites et aux caractéristiques	70
3.5 Formes d'onde typiques pour les mémoires à écriture-lecture à fonctionnement statique	72
4. Terminologie pour les microprocesseurs à circuit intégré	78
5. Terminologie pour les dispositifs à transfert de charge	78
6. Symboles littéraux pour circuits combinatoires et séquentiels	86
7. Symboles littéraux pour les paramètres dynamiques des circuits intégrés séquentiels, y compris des mémoires ..	86
 CHAPITRE III: VALEURS LIMITES ET CARACTÉRISTIQUES ESSENTIELLES	
SECTION UN — GÉNÉRALITÉS SUR LES CIRCUITS INTÉGRÉS DIGITAUX	
1. Identification et description du circuit	112
1.1 Désignation et type	112
1.2 Technologie	112
1.3 Identification du boîtier	112
2. Spécifications fonctionnelles	112
2.1 Schéma synoptique	112
2.2 Description fonctionnelle	114
2.3 Structures complexes	114
3. Valeurs limites	114
3.1 Tensions et courants continus	116
3.2 Tensions et courants non continus	116
3.3 Températures	116
3.4 Aptitude à supporter un court-circuit	116
4. Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée) ..	116
5. Caractéristiques électriques statiques pour les circuits intégrés bipolaires	118
5.1 Caractéristiques essentielles en tension des signaux digitaux	118
5.2 Tension d'écroûtage d'entrée (s'il y a lieu)	120
5.3 Caractéristiques essentielles des courants d'entrée et de sortie	120
5.4 Conditions appliquées pour le pire cas	126
6. Caractéristiques électriques statiques et quasi statiques pour les circuits intégrés MOS	126
6.1 Caractéristiques essentielles en tension des signaux digitaux	126
6.2 Caractéristiques essentielles des courants	128
7. Caractéristiques électriques dynamiques	128
7.1 Introduction	130
7.2 Temps caractérisant la réponse d'un circuit	130
7.3 Exigences sur les entrées pour assurer un fonctionnement séquentiel correct	132
7.4 Impédances d'entrée et de sortie	136
8. Puissance totale ou courants fournis par les alimentations	140
9. Courant total extrait des alimentations (fonctionnement dynamique)	140

CONTENTS

FOREWORD	Page 11
PREFACE	11
Cross reference index	13

Clause

CHAPTER I: GENERAL

1. Introductory note	17
2. Scope	17

CHAPTER II: TERMINOLOGY AND LETTER SYMBOLS

1. Terminology for combinatorial and sequential integrated circuits	19
1.1 General terms	19
1.2 Terms related to functions	21
1.3 Types of circuits	27
1.4 Terms related to ratings and characteristics	31
2. Examples	35
3. Terminology for integrated circuit memories	63
3.1 General terms	63
3.2 General terms relating to memory function and organization	65
3.3 Types of memories	67
3.4 Terms related to ratings and characteristics	71
3.5 Typical waveforms for static read/write memories	73
4. Terminology for integrated circuit microprocessors	79
5. Terminology for charge-transfer devices	79
6. Letter symbols for combinatorial and sequential circuits	87
7. Letter symbols for the dynamic parameters of sequential integrated circuits, including memories	87

CHAPTER III: ESSENTIAL RATINGS AND CHARACTERISTICS

SECTION ONE — DIGITAL INTEGRATED CIRCUITS, GENERAL

1. Circuit identification and description	113
1.1 Designation and type	113
1.2 Technology	113
1.3 Package identification	113
2. Functional specifications	113
2.1 Block diagram	113
2.2 Functional description	115
2.3 Complex structures	115
3. Ratings (limiting values)	115
3.1 Continuous voltages and currents	117
3.2 Non-continuous voltages and currents	117
3.3 Temperatures	117
3.4 Capability of sustaining a short circuit	117
4. Recommended operating conditions (within the specified operating temperature range)	117
5. Static electrical characteristics for bipolar integrated circuits	119
5.1 Essential characteristics of the digital voltage signals	119
5.2 Input clamping voltage (where appropriate)	121
5.3 Essential characteristics for input and output currents	121
5.4 Applied conditions for worst case	127
6. Static and quasi-static electrical characteristics for MOS integrated circuits	127
6.1 Essential characteristics of the digital voltage signals	127
6.2 Essential characteristics for currents	129
7. Dynamic electrical characteristics	129
7.1 Introduction	131
7.2 Times characterizing the response of the circuit	131
7.3 Requirements at the inputs to ensure correct sequential operation	133
7.4 Input and output impedances	137
8. Total power or currents provided from the supplies	141
9. Total current drawn from the power supplies (dynamic operation)	141

Articles	Pages
10. Informations sur les impulsions de commande (s'il y a lieu)	140
11. Résistance d'isolement	140
12. Valeurs limites, caractéristiques mécaniques et autres données	140
13. Informations supplémentaires	142
13.1 Facteur de charge de sortie	142
13.2 Marges de protection contre les perturbations	142
13.3 Interconnexions de circuits intégrés digitaux	142
14. Précautions de manipulation	142
ANNEXE À LA SECTION UN — Spécification des caractéristiques	142

SECTION DEUX — MÉMOIRES À CIRCUIT INTÉGRÉ

A. Mémoires à lecture-écriture à fonctionnement statique et à fonctionnement dynamique et mémoires à lecture seule

1. Identification et description du circuit	144
2. Spécifications fonctionnelles	144
2.1 Schéma synoptique	144
2.2 Description fonctionnelle	144
3. Valeurs limites	144
4. Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée) ..	146
5. Caractéristiques électriques statiques pour les mémoires bipolaires	146
6. Caractéristiques électriques statiques pour les mémoires MOS	146
7. Caractéristiques électriques dynamiques	146
7.1 Temps caractérisant la réponse du circuit	146
7.2 Exigences sur les entrées pour assurer un fonctionnement séquentiel correct	150
7.3 Capacités d'entrée et de sortie	158
8. Puissance ou courant fourni par chaque alimentation (cas du fonctionnement statique)	158
9. Puissance ou courant fourni par chaque alimentation (cas du fonctionnement dynamique)	158
10. Valeurs limites, caractéristiques mécaniques et autres données	158
11. Informations supplémentaires	158
11.1 Facteur de charge de sortie	158
11.2 Marges de protection contre les perturbations	158
11.3 Interconnexions de circuits similaires	158
11.4 Type de circuit de sortie	160
11.5 Interconnexions avec d'autres types de circuits	160
12. Précautions de manipulation	160

B. — Mémoires à lecture seule à contenu programmable par l'utilisateur

1. Identification et description du circuit	160
2. Spécifications fonctionnelles	160
2.1 Schéma synoptique	160
2.2 Identification des bornes	160
2.3 Description fonctionnelle	162
3. Valeurs limites	162
4. Mode de lecture	162
4.1 Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée)	162
4.2 Caractéristiques électriques statiques	162
4.3 Caractéristiques électriques dynamiques	164
4.4 Exigences de temps	164
5. Mode de programmation	166
5.1 Procédure de programmation	166
5.2 Conditions de programmation recommandées	166
5.3 Exigences de temps	166
6. Mode d'effacement (si applicable)	168
6.1 Mémoires effaçables électriquement	168
6.2 Mémoires effaçables par ultraviolet	170
7. Nombre de cycles de programmation-effacement	170
8. Informations concernant la rétention des données	170
9. Puissance ou courant fourni par chaque alimentation (cas du fonctionnement statique)	170
10. Puissance ou courant fourni par chaque alimentation (cas du fonctionnement dynamique)	172
11. Valeurs limites et caractéristiques mécaniques et autres données	172
12. Informations supplémentaires	172
13. Précautions de manipulation	172

SECTION TROIS — MICROPROCESSEURS À CIRCUIT INTÉGRÉ

1. Identification et description du circuit	174
1.4 Compatibilité électrique	174

Clause	Page
10. Command pulse information (where appropriate)	141
11. Insulation resistance	141
12. Mechanical ratings, characteristics and other data	141
13. Supplementary information	143
13.1 Output loading capability	143
13.2 Noise margins	143
13.3 Interconnections of digital integrated circuits	143
14. Handling precautions	143
APPENDIX TO SECTION ONE — Specification of characteristics	143

SECTION TWO — INTEGRATED CIRCUIT MEMORIES

A. — Static and dynamic read/write memories and read-only memories

1. Circuit identification and description	145
2. Functional specifications	145
2.1 Block diagram	145
2.2 Functional description	145
3. Ratings (limiting values)	145
4. Recommended operating conditions (within the specified operating temperature range)	147
5. Static electrical characteristics for bipolar memories	147
6. Static electrical characteristics for MOS memories	147
7. Dynamic electrical characteristics	147
7.1 Times characterizing the response of the circuit	147
7.2 Requirements at the inputs to ensure correct sequential operation	151
7.3 Input and output capacitances	159
8. Power or current drawn from each supply (static operation)	159
9. Power or current drawn from each supply (dynamic operation)	159
10. Mechanical ratings, characteristics and other data	159
11. Supplementary information	159
11.1 Output loading capability	159
11.2 Noise margins	159
11.3 Interconnections of similar units	159
11.4 Type of output circuit	161
11.5 Interconnections to other types of circuits	161
12. Handling precautions	161

B. — Field-programmable read-only memories

1. Circuit identification and description	161
2. Functional specifications	161
2.1 Block diagram	161
2.2 Identification of terminals	161
2.3 Functional description	163
3. Ratings (limiting values)	163
4. Read mode	163
4.1 Recommended operating conditions (within the specified operating temperature range)	163
4.2 Static electrical characteristics	163
4.3 Dynamic electrical characteristics	165
4.4 Timing requirements	165
5. Programming mode	167
5.1 Programming procedure	167
5.2 Recommended programming conditions	167
5.3 Timing requirements	167
6. Erasing mode (if applicable)	169
6.1 Electrically erasable memories	169
6.2 Ultraviolet erasable memories	171
7. Number of programming/erasing cycles	171
8. Data retention information	171
9. Power or current drawn from each supply (static operation)	171
10. Power or current drawn from each supply (dynamic operation)	173
11. Mechanical ratings, characteristics and other data	173
12. Supplementary information	173
13. Handling precautions	173

SECTION THREE — INTEGRATED CIRCUIT MICROPROCESSORS

1. Circuit identification and description	175
1.4 Electrical compatibility	175

Articles	Pages
2. Spécifications fonctionnelles	174
2.1 Schéma synoptique	174
2.2 Description fonctionnelle	176
2.3 Jeux d'instructions	176
2.4 Configuration de l'instruction	178
2.5 Signaux d'entrée et de sortie	178
3. Valeurs limites	180
3.1 Valeurs limites électriques	180
3.2 Températures	180
3.3 Dissipation de puissance	180
4. Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée) ..	180
4.1 Tension(s) d'alimentation	180
4.2 Entrées d'horloge	182
4.3 Tensions d'entrée (à l'exclusion des entrées d'horloge)	182
4.4 Courants de sortie	182
4.5 Eléments extérieurs (s'il y a lieu)	182
4.6 Temps de préparation et de maintien	182
4.7 Diagrammes des temps (chronogrammes) pour les séquences de commande	182
5. Caractéristiques électriques	182
5.1 Caractéristiques statiques	182
5.2 Caractéristiques dynamiques	186
6. Valeurs limites, caractéristiques mécaniques et autres données	188
7. Informations supplémentaires	188
7.1 Facteur de charge de sortie	188
7.2 Marges de protection contre les perturbations	188
7.3 Données d'application	188
7.4 Autres informations	190
8. Précautions de manipulation	190

CHAPITRE IV: MÉTHODES DE MESURE

SECTION UN — GÉNÉRALITÉS

1. Exigences générales	192
2. Exigences spécifiques	192
2.1 Exigences générales pour les mesures statiques et dynamiques	192
2.2 Conditions spécifiées pour les caractéristiques statiques	192
2.3 Conditions spécifiées pour les caractéristiques dynamiques	194
3. Matrice d'application pour les méthodes de mesure	194

SECTION DEUX — MÉTHODES DE MESURE POUR LES CARACTÉRISTIQUES STATIQUES

1. Tensions de sortie au niveau haut et au niveau bas (V_{OH} et V_{OL}) [37]	198
2. Courants d'entrée au niveau haut et au niveau bas (I_{IH} et I_{IL}) [38]	200
3. Courant de court-circuit en sortie (I_{OS}) [40]	202
4. Courant d'alimentation en fonctionnement statique [41]	204
5. Tensions de seuil (d'entrée) et tension d'hystérésis [48]	206

SECTION TROIS — MESURES DYNAMIQUES

1. Courant total fourni par les alimentations (fonctionnement dynamique) [1]	212
2. Puissance fournie à travers la ligne d'horloge [2]	214
3. Impédances d'entrée et de sortie [6], [11]	220
3.1 Mesure de courant: capacités d'entrée et de sortie pour un fonctionnement en grands signaux [6]	220
3.2 Mesure de tension: capacités d'entrée et de sortie équivalentes, résistances d'entrée et de sortie équivalentes [11]	224
4. Temps caractérisant le circuit	232
4.1 Temps de propagation [3], [7]	232

Clause	Page
2. Functional specifications	175
2.1 Block diagram	175
2.2 Functional description	177
2.3 Instruction set	177
2.4 Configuration of instructions	179
2.5 Input and output signals	179
3. Ratings (limiting values)	181
3.1 Electrical limiting values	181
3.2 Temperatures	181
3.3 Power dissipation	181
4. Recommended operating conditions (within the specified operating temperature range)	181
4.1 Power supply voltage(s)	181
4.2 Clock inputs	183
4.3 Input voltages (excluding clock inputs)	183
4.4 Output currents	183
4.5 External elements (where appropriate)	183
4.6 Set-up and hold times	183
4.7 Timing diagrams for control sequences	183
5. Electrical characteristics	183
5.1 Static characteristics	183
5.2 Dynamic characteristics	187
6. Mechanical ratings, characteristics and other data	189
7. Supplementary information	189
7.1 Output loading capability	189
7.2 Noise margins	189
7.3 Application data	189
7.4 Other information	191
8. Handling precautions	191

CHAPTER IV. MEASURING METHODS

SECTION ONE — GENERAL

1. Basic requirements	193
2. Specific requirements	193
2.1 General requirements for static and dynamic measurements	193
2.2 Specified conditions for static characteristics	193
2.3 Specified conditions for dynamic characteristics	195
3. Application matrix for the measuring methods	195

SECTION TWO — MEASURING METHODS OF STATIC CHARACTERISTICS

1. High-level and low-level output voltages (V_{OH} and V_{OL}) [37]	199
2. High-level and low-level input currents (I_{IH} and I_{IL}) [38]	201
3. Short-circuit output current (I_{OS}) [40]	203
4. Power supply current under static conditions [41]	205
5. (Input) threshold voltages and hysteresis voltage [48]	207

SECTION THREE — DYNAMIC MEASUREMENTS

1. Total current drawn from the power supplies under dynamic conditions [1]	213
2. Power supplied through the clock line [2]	215
3. Input and output impedances [6] , [11]	221
3.1 Current measurement: input and output capacitances for large-signal operation [6]	221
3.2 Voltage measurement: equivalent input and output capacitances, equivalent input and output resistances [11]	225
4. Times characterizing the circuit	233
4.1 Propagation times [3] , [7]	233

Articles	Pages
4.2 Temps de délai et de transition 4 , 5	240
4.3 Temps d'établissement 8 et temps de maintien 9	246
4.4 Temps de résolution 36	252
4.5 Temps d'autorisation et d'inhibition en sortie (pour les sorties «trois états») 49	256
4.6 Temps spécifiques aux mémoires 50 à 54	260
5. Fréquence de commutation d'un circuit séquentiel 10	270

CHAPITRE V: RÉCEPTION ET FIABILITÉ

SECTION UN — ESSAIS D'ENDURANCE ÉLECTRIQUE

1. Exigences générales	276
2. Exigences spécifiques	276
TABLEAU II	278

Withdrawing
IECNORM.COM: Click to view the full PDF of IEC 60748-2:1985

Clause	Page
4.2 Delay and transition times 4 , 5	241
4.3 Set-up time 8 and hold time 9	247
4.4 Resolution time 36	253
4.5 Output enable and disable times (for three-state outputs) 49	257
4.6 Specific times for memories 50 to 54	261
5. Switching frequency of a sequential circuit 10	271

CHAPTER V: ACCEPTANCE AND RELIABILITY

SECTION ONE — ELECTRICAL ENDURANCE TESTS

1. General requirements	277
2. Specific requirements	277
TABLE II	279

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS

Circuits intégrés

Deuxième partie: Circuits intégrés digitaux

PRÉAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.

PRÉFACE

La présente norme a été préparée par le Comité d'Etudes n° 47 de la CEI: Dispositifs à semiconducteurs.

La Publication 748-2 constitue la deuxième partie d'une norme générale sur les circuits intégrés, la Publication 748.

En plus des normes générales des Publications 747-1 et 748-1, les normes données dans la présente publication complètent les normes sur les circuits intégrés digitaux.

Le Comité d'Etudes n° 47, réuni à Londres en septembre 1982, a approuvé le remaniement des Publications 147 et 148 de la CEI qui consiste en une nouvelle articulation en fonction des semiconducteurs traités. Toutes les parties constituantes ayant déjà été approuvées par des votes suivant la Règle des Six Mois ou la Procédure des Deux Mois, il n'a pas été jugé nécessaire d'organiser un nouveau scrutin.

Les informations relatives aux circuits intégrés, figurant dans les Publications 147 et 148, sont incorporées dans la Publication 747-1 et dans les Publications 748.

Les informations relatives aux essais mécaniques et climatiques, figurant dans les Publications 147-5 et 147-5A, sont incorporées dans la Publication 749 de la CEI.

Cette norme sera tenue à jour en révisant et en élargissant son texte parallèlement à la poursuite des travaux du Comité d'Etudes n° 47 pour tenir compte des progrès effectués dans le domaine des circuits intégrés.

Cette norme annule en totalité le contenu des Publications 147-1D et 147-2L.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

SEMICONDUCTOR DEVICES**Integrated circuits****Part 2: Digital integrated circuits****FOREWORD**

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.

PREFACE

This standard has been prepared by IEC Technical Committee No. 47: Semiconductor Devices.

Publication 748-2 constitutes the second part of a general standard on integrated circuits, Publication 748.

In addition to the general standards of Publications 747-1 and 748-1, the standards given in the present publication complete the standards on digital integrated circuits.

The meeting of Technical Committee No. 47, held in London in September 1982, approved the reorganization of Publications 147 and 148 into the present device-oriented arrangement. Since all the constituent parts had been previously approved by votes under the Six Months' Rule or Two Months' Procedure, a new vote was not deemed necessary.

Material concerning integrated circuits, found in Publications 147 and 148, is included in Publication 747-1 and in Publication 748.

Material concerning mechanical and climatic test methods, found in Publications 147-5 and 147-5A, is included in Publication 749.

This standard will be kept up to date by revising and extending the document as the work in Technical Committee No. 47 continues and takes into account advances in the field of integrated circuits.

This standard wholly supersedes the material in Publications 147-1D and 147-2L.

INDEX DES RÉFÉRENCES CROISÉES

Nouveau paragraphe	Ancien paragraphe	Document ou publication	Nouveau paragraphe	Ancien paragraphe	Document ou publication
<i>Chapitre II</i>			3.1.5	1.5	147-0F, VI, D
1.1	1	147-0D, VI, A	3.1.6	1	47(BC)792
1.1.1	1.1	147-0E, VI, A	3.1.7	—	47(BC)945
1.1.2	1.2	147-0D, VI, A	3.2.1	2.1	47(BC)792
1.1.3	1.3	147-0D, VI, A	3.2.2	2.2	47(BC)792
1.1.4	1.4	147-0D, VI, A	3.2.3	2.3	47(BC)792
1.1.5	1.9	147-0D, VI, A	3.3.1 à 3.3.6	2.1 à 2.6	147-0E, VI, D
1.1.6	1.39	147-0F, VI, A	3.3.7	2.7	147-0F, VI, D
1.2.1	1.7	147-0D, VI, A	3.3.8	2.8	147-0F, VI, D
1.2.2	1.8	147-0D, VI, A	3.4.1	3.1	147-0F, VI, D
1.2.3	1.13	147-0D, VI, A	3.4.2	3.2	147-0F, VI, D
1.2.4	1.14	147-0D, VI, A	3.4.3	3.3	147-0F, VI, D
1.2.5	1.17	147-0D, VI, A	3.4.4	3.4	147-0F, VI, D
1.2.6	1.18	147-0D, VI, A	3.4.5	3.5	147-0F, VI, D
1.2.7	1.19	147-0D, VI, A	3.4.6	3.6	147-0F, VI, D
1.2.8	1.20	147-0D, VI, A	3.4.7	—	47(BC)876
1.2.9	1.21	147-0D, VI, A	3.5	4	147-0F, VI, D
1.2.10	1.22	147-0D, VI, A	4.1	1.40	147-0F, VI, A
1.2.11	1.27	147-0D, VI, A	5	—	47(BC)874
1.2.12	1.32	147-0E, VI, A	6	Nouveau	—
1.2.13	1	47(BC)794	7.1 à 7.6	—	47(BC)793
1.2.14	2	47(BC)794	7.7	—	47(BC)877
1.2.15	3	47(BC)794	<i>Chapitre III</i>		
1.2.16	4	47(BC)794	Section un		
1.2.17	5	47(BC)794	1 à 14	1 à 14	147-0D, VI, un
1.2.18	6	47(BC)794	Sauf 5.1.1	—	47A(BC)121
1.2.19	8	47(BC)794	Annexe	Annexe	147-0D, VI, un
1.2.20	9	47(BC)794	<i>Chapitre III</i>		
1.2.21	10	47(BC)794	Section deux		
1.2.22	11	47(BC)794	A:		
1.3.1	1.5	147-0D, VI, A	1 à 7.2.1	1 à 7.2.1	147-1D, VI, deux
1.3.2	1.6	147-0D, VI, A	7.2.2	7.2.2	47A(BC)104
1.3.3	1.10	147-0D, VI, A	7.3 à 7.12	7.3 à 7.12	147-1D, VI, deux
1.3.4	1.11	147-0D, VI, A	B:		
1.3.5	1.12	147-0D, VI, A	1 à 13	—	47A(BC)122
1.3.6	1.23	+147-0E, VI, A	<i>Chapitre III</i>		
1.3.6.1 à 1.3.6.3	—	47(BC)945	Section trois		
1.3.7	1.24	147-0D, VI, A	1 à 8	1 à 8	147-1D, VI, trois
1.3.8	1.25	147-0D, VI, A	<i>Chapitre IV</i>		
1.3.9	1.26	147-0D, VI, A	Section un		
1.3.10	1.28	147-0E, VI, A	1	1.1	147-2L, VI, un
1.3.11	1.29	147-0E, VI, A	2.1.1 à 2.1.7	1.1.1 à 1.1.7	147-2L, VI, un
1.3.12	1.30	147-0E, VI, A	2.2.1	1.2.1	147-2L, VI, un
1.3.13	1.31	147-0E, VI, A	2.2.2	1.2.2	147-2L, VI, un
1.3.14	7	47(BC)794	2.3	Nouveau	—
1.3.15	—	47(BC)945	3	Partie de	147-2L, Sommaire
1.4.1	—	47(BC)944	<i>Chapitre IV</i>		
1.4.2	1.15	147-0D, VI, A	Section deux		
1.4.3	1.16	147-0D, VI, A	1 à 4	1 à 4	47A(BC)105
1.4.4	1.33	{ 147-0E, VI, A +47(BC)795	5	—	47A(BC)120+146
1.4.5 à 1.4.8	1.34 à 1.37	147-0E, VI, A			
1.4.9 à 1.4.15	—	47(BC)875			
1.4.16	1.38	147-0F, VI, A			
2.1	2.1	147-0D, VI, A			
2.2.1 à 2.2.2.15	2.2 à 2.2.2.15	147-0D, VI, A			
2.2.2.16	2.2.2.16	147-0E, VI, A			
3.1.1	1.1	147-0E, VI, D			
3.1.2	1.2	147-0E, VI, D			
3.1.3	1.3	147-0F, VI, D			
3.1.4	1.4	147-0F, VI, D			

CROSS REFERENCE INDEX

New clause number	Old clause number	Document or publication	New clause number	Old clause number	Document or publication
<i>Chapter II</i>			3.1.5	1.5	147-0F, VI, D
1.1	1	147-0D, VI, A	3.1.6	1	47(CO)792
1.1.1	1.1	147-0E, VI, A	3.1.7	—	47(CO)945
1.1.2	1.2	147-0D, VI, A	3.2.1	2.1	47(CO)792
1.1.3	1.3	147-0D, VI, A	3.2.2	2.2	47(CO)792
1.1.4	1.4	147-0D, VI, A	3.2.3	2.3	47(CO)792
1.1.5	1.9	147-0D, VI, A	3.3.1 to 3.3.6	2.1 to 2.6	147-0E, VI, D
1.1.6	1.39	147-0F, VI, A	3.3.7	2.7	147-0F, VI, D
1.2.1	1.7	147-0D, VI, A	3.3.8	2.8	147-0F, VI, D
1.2.2	1.8	147-0D, VI, A	3.4.1	3.1	147-0F, VI, D
1.2.3	1.13	147-0D, VI, A	3.4.2	3.2	147-0F, VI, D
1.2.4	1.14	147-0D, VI, A	3.4.3	3.3	147-0E, VI, D
1.2.5	1.17	147-0D, VI, A	3.4.4	3.4	147-0F, VI, D
1.2.6	1.18	147-0D, VI, A	3.4.5	3.5	147-0F, VI, D
1.2.7	1.19	147-0D, VI, A	3.4.6	3.6	147-0F, VI, D
1.2.8	1.20	147-0D, VI, A	3.4.7	—	47(CO)876
1.2.9	1.21	147-0D, VI, A	3.5	4	147-0F, VI, D
1.2.10	1.22	147-0D, VI, A	4.1	1.40	147-0F, VI, A
1.2.11	1.27	147-0D, VI, A	5	—	47(CO)874
1.2.12	1.32	147-0E, VI, A	6	New	—
1.2.13	1	47(CO)794	7.1 to 7.6	—	47(CO)793
1.2.14	2	47(CO)794	7.7	—	47(CO)877
1.2.15	3	47(CO)794	<i>Chapter III</i>		
1.2.16	4	47(CO)794	Section One		
1.2.17	5	47(CO)794	1 to 14	1 to 14	147-1D, VI, One
1.2.18	6	47(CO)794	except 5.1.1	—	47A(CO)121
1.2.19	8	47(CO)794	Appendix	Appendix	147-1D, VI, One
1.2.20	9	47(CO)794	<i>Chapter III</i>		
1.2.21	10	47(CO)794	Section Two		
1.2.22	11	47(CO)794	A:		
1.3.1	1.5	147-0D, VI, A	1 to 7.2.1	1 to 7.2.1	147-1D, VI, Two
1.3.2	1.6	147-0D, VI, A	7.2.2	7.2.2	47A(CO)104
1.3.3	1.10	147-0D, VI, A	7.3 to 12	7.3 to 12	147-1D, VI, Two
1.3.4	1.11	147-0D, VI, A	B:		
1.3.5	1.12	147-0D, VI, A	1 to 13	—	47A(CO)122
1.3.6	1.23	147-0D, VI, A	<i>Chapter III</i>		
1.3.6.1 to 1.3.6.3	—	+147-0E, VI, A 47(CO)945	Section Three		
1.3.7	1.24	147-0D, VI, A	1 to 8	1 to 8	147-1D, VI, Three
1.3.8	1.25	147-0D, VI, A	<i>Chapter IV</i>		
1.3.4	1.26	147-0D, VI, A	Section One		
1.3.10	1.28	147-0E, VI, A	1	1.1	147-2L, VI, One
1.3.11	1.29	147-0E, VI, A	2.1.1 to 2.1.7	1.1.1 to 1.1.7	147-2L, VI, One
1.3.12	1.30	147-0E, VI, A	2.2.1	1.2.1	147-2L, VI, One
1.3.13	1.31	147-0E, VI, A	2.2.2	1.2.2	147-2L, VI, One
1.3.14	7	47(CO)794	2.3	New	—
1.3.15	—	47(CO)945	3	Part of	147-2L, Contents Appendix II
1.4.1	—	47(CO)944	<i>Chapter IV</i>		
1.4.2	1.15	147-0D, VI, A	Section Two		
1.4.3	1.16	147-0D, VI, A	1 to 4	1 to 4	47A(CO)105
1.4.4	1.33	147-0E, VI, A +47(CO)795	5	—	47A(CO)120+146
1.4.5 to 1.4.8	1.34 to 1.37	147-0E, VI, A			
1.4.9 to 1.4.15	—	47(CO)875			
1.4.16	1.38	147-0F, VI, A			
2.1	2.1	147-0D, VI, A			
2.2.1 to 2.2.2.15	2.2 to 2.2.2.15	147-0D, VI, A			
2.2.2.16	2.2.2.16	147-0E, VI, A			
3.1.1	1.1	147-0E, VI, D			
3.1.2	1.2	147-0E, VI, D			
3.1.3	1.3	147-0F, VI, D			
3.1.4	1.4	147-0F, VI, D			

Nouveau paragraphe	Ancien paragraphe	Document ou publication
<i>Chapitre IV</i>		
Section trois		
1 à 4.4	1 à 4.4	147-2L, VI, deux
4.5	—	47A(BC)141
4.6	—	47A(BC)123
5	5	147-2L, VI, deux

Nouveau paragraphe	Ancien paragraphe	Document ou publication
<i>Chapitre V</i>		
Section un		
1		Référence à 748-1, VIII, trois, 2 (qui est 147-4, II, deux, art. 4)
2	5	147-4, II, deux
Tableau I	Tableau III	147-4, II, deux

IECNORM.COM: Click to view the full PDF of IEC 60748-2:1985

Withdrawing

New clause number	Old clause number	Document or publication
<i>Chapter IV</i>		
Section Three		
1 to 4.4	1 to 4.4	147-2L, VI, Two
4.5	—	47A(CO)141
4.6	—	47A(CO)123
5	5	147-2L, VI, Two

New clause number	Old clause number	Document or publication
<i>Chapter V</i>		
Section One		
1		Reference to 748-1, VIII, Three, 2 (which is 147-4, II, Two, art. 4)
2	5	147-4, II, Two
Table I	Table III	147-4, II, Two

IECNORM.COM: Click to view the full PDF of IEC 60748-2:1985

Without watermark

DISPOSITIFS À SEMICONDUCTEURS

Circuits intégrés

Deuxième partie: Circuits intégrés digitaux

CHAPITRE I: GÉNÉRALITÉS

1. Note d'introduction

La présente publication doit être utilisée avec les Publications 747-1 et 748-1 qui donnent les informations de base sur:

- la terminologie;
- les symboles littéraux;
- les valeurs limites et les caractéristiques essentielles;
- les méthodes de mesure;
- la réception et la fiabilité.

2. Domaine d'application

La présente publication donne les normes pour les catégories ou sous-catégories suivantes de dispositifs:

- Circuits digitaux combinatoires et séquentiels.
 - Mémoires à circuit intégré.
 - Microprocesseurs à circuit intégré.
 - Dispositifs à transfert de charge.
-

SEMICONDUCTOR DEVICES

Integrated circuits

Part 2: Digital integrated circuits

CHAPTER I: GENERAL

1. Introductory note

As a rule, it will be necessary to use Publications 747-1 and 748-1 together with the present publication.

In Publications 747-1 and 748-1, the user will find all basic information on:

- terminology;
- letter symbols;
- essential ratings and characteristics;
- measuring methods;
- acceptance and reliability.

2. Scope

The present publication gives standards for the following categories or sub-categories of devices:

- Combinatorial and sequential digital circuits.
 - Integrated circuit memories.
 - Integrated circuit microprocessors.
 - Charge-transfer devices.
-

CHAPITRE II: TERMINOLOGIE ET SYMBOLES LITTÉRAUX

1. Terminologie pour les circuits intégrés combinatoires et séquentiels

1.1 Termes généraux

Note explicative

Une variable est une représentation physique de l'information. Une variable digitale est le comportement ou la variation temporelle d'une grandeur physique avec un nombre fini de gammes de valeurs, non enchevêtrées. Une variable digitale peut être utilisée pour la transmission d'informations. Pour tenir compte de l'usage courant, on a choisi ci-dessous des définitions simplifiées. Pour ce qui est des circuits digitaux, cela ne produira en général ni ambiguïté, ni confusion.

1.1.1 Variable digitale

Variation temporelle d'une grandeur physique qui possède un nombre fini de gammes disjointes de valeurs et qui est utilisée pour la transmission ou le traitement d'informations.

Notes 1. — La grandeur physique peut être une tension, un courant, une impédance, etc.

2. — Pour simplifier, chaque gamme de valeurs peut être représentée par une valeur unique, par exemple la valeur nominale.

1.1.2 Variable binaire

Variable digitale qui n'a que deux gammes disjointes de valeurs possibles.

Note. — Pour simplifier, chacune des gammes peut être représentée par une seule valeur, par exemple la valeur nominale.

1.1.3 Gamme des valeurs basses (d'une variable binaire)

Gamme des niveaux les moins positifs (les plus négatifs) d'une variable binaire.

Note. — Cette gamme est souvent notée «gamme L» et une valeur quelconque dans cette gamme «niveau L».

1.1.4 Gamme des valeurs hautes (d'une variable binaire)

Gamme des niveaux les plus positifs (les moins négatifs) d'une variable binaire.

Note. — Cette gamme est souvent notée «gamme H» et une valeur quelconque dans cette gamme «niveau H».

1.1.5 Borne d'entrée

Borne par l'intermédiaire de laquelle une variable appliquée à cette entrée peut modifier la configuration de sortie du circuit:

- soit directement;
- soit indirectement, en changeant les conditions pour lesquelles le circuit réagit aux signaux appliqués aux autres entrées.

1.1.6 Sortie «trois-états»

Sortie d'un circuit binaire qui est une source à impédance relativement basse ou un élément qui absorbe le courant aux niveaux haut et bas et qui, en outre, dans des conditions appropriées d'entrée, présente un état à haute impédance voisin d'un circuit ouvert.

Note. — Dans les tables de fonctionnement et dans les matrices (séquentielles) de fonctionnement, on utilise l'abréviation Z pour l'état à haute impédance.

CHAPTER II: TERMINOLOGY AND LETTER SYMBOLS

1. Terminology for combinatorial and sequential integrated circuits

1.1 General terms

Explanatory note

A signal is a physical representation of information. A digital signal is the time-dependent behaviour or variation of a physical quantity with a finite number of non-overlapping ranges of values. A digital signal can be used for transmission of information or for information processing. Taking into account common practice, simplified definitions have been chosen below. Referring to digital circuits, this will generally produce no ambiguity or misunderstanding.

1.1.1 Digital signal

The variation with time of a physical quantity, having a finite number of non-overlapping ranges of values, that is used for transmission or the processing of information.

Notes 1. — The physical quantity may be voltage, or current, or impedance, etc.
2. — For convenience, each range of values can be represented by a single value, e.g. the nominal value.

1.1.2 Binary signal

A digital signal with only two possible ranges of values.

Note. — For convenience, each range of values can be represented by a single value, e.g. the nominal value.

1.1.3 Low range (of a binary signal)

The range of least positive (most negative) levels of a binary signal.

Note. — This range is often denoted by "L-range" and any level in the range by "L-level".

1.1.4 High range (of a binary signal)

The range of most positive (least negative) levels of a binary signal.

Note. — This range is often denoted by "H-range" and any level in the range by "H-level".

1.1.5 Input terminal

A terminal by means of which an applied signal may modify the output configuration (output pattern) of the circuit:

- either directly;
- or indirectly by modifying the ways in which the circuit reacts to signals at other terminals.

1.1.6 Three-state output

An output of a binary circuit that is a relatively low-impedance source or sink at the high and low levels and, in addition, under appropriate input conditions, provides a high-impedance state approaching an open-circuit.

Note. — In function tables and function (sequential) matrices, the abbreviation Z should be used for the high-impedance state.

1.2 Termes relatifs à la fonction

1.2.1 Configuration d'entrée (d'un circuit binaire)

Combinaison des niveaux L et H aux différentes entrées du circuit à un instant donné.

1.2.2 Configuration de sortie (d'un circuit binaire)

Combinaison des niveaux L et H aux différentes sorties du circuit à un instant donné.

Note. — Lorsque aucune ambiguïté ne peut en découler, une configuration de sortie peut être représentée par le niveau (exprimé par L ou H) de la variable à une sortie du circuit déterminée (la sortie de référence).

1.2.3 Table de fonctionnement

Représentation des relations nécessaires ou possibles entre les valeurs des variables digitales aux entrées et aux sorties d'un circuit digital, ces valeurs des variables digitales étant indiquées soit en utilisant directement les valeurs électriques, soit en indiquant la signification électrique des symboles (par exemple, L et H pour les circuits binaires).

En général:

- chaque colonne indique les valeurs des variables digitales à une entrée ou à une sortie du circuit digital;
- chaque ligne indique la combinaison des valeurs des variables digitales aux entrées et les valeurs correspondantes des signaux digitaux en sortie;
- chaque fois que la valeur d'une variable digitale en sortie est indéterminée, elle doit être indiquée par un point d'interrogation;
- chaque fois que la valeur d'une variable digitale à une entrée n'a pas d'influence, elle doit être indiquée par le symbole L/H ou X.

1.2.4 Table de vérité (pour une relation entre des variables digitales)

Représentation de la relation logique entre une ou plusieurs variables digitales indépendantes et une ou plusieurs variables dépendantes, au moyen d'une table qui, pour chaque combinaison possible des valeurs des variables indépendantes, donne les valeurs appropriées des variables dépendantes.

Note. — La distinction entre «table de fonctionnement» et «table de vérité» est fondamentalement nécessaire car le même circuit digital peut réaliser plusieurs opérations logiques différentes, selon le choix arbitraire de la relation entre les valeurs des variables digitales et les valeurs des grandeurs électriques digitales.

1.2.5 Excitation

Configuration, ou changement de configuration, d'entrée qui peut:

- provoquer la modification de configuration de sortie, soit directement, soit eu égard à un état de préparation préalablement existant;
- ou placer le circuit dans un état de préparation;
- ou effacer ou modifier un état de préparation déjà existant.

Notes 1. — La répétition, ou la réitération, d'une excitation donnée ne produit pas forcément le même effet.

2. — Dans certains cas, une excitation peut aussi maintenir une configuration de sortie qu'elle pourrait avoir produite.

1.2.6 Niveau actif (d'une variable digitale d'entrée d'un circuit séquentiel)

Niveau d'une variable digitale d'entrée susceptible de provoquer une excitation.

1.2 Terms related to functions

1.2.1 Input configuration (input pattern) (of a binary circuit)

A combination of the L-levels and H-levels at the input terminals at a given instant.

1.2.2 Output configuration (output pattern) (of a binary circuit)

A combination of the L-levels and H-levels at the output terminals at a given instant.

Note. — When there is no possibility of ambiguity, the output configuration (output pattern) may be represented by the level (expressed as L-level or H-level) of the signal at a stated output terminal of the circuit (the reference output terminal).

1.2.3 Function table

A representation of the necessary or possible relations between the values of the digital signals at the inputs and the outputs of a digital circuit, these values of the digital signals being indicated either by using electrical values directly or by stating the electrical significance of the symbols (e.g., L and H for binary circuits).

Generally:

- every column indicates the values of the digital signals at an input or at an output of the digital circuit;
- every line indicates the combination of values of the digital signals at the input(s) and the resulting values of the digital signals at the output(s);
- whenever the value of the digital signal at an output is not determined, it should be indicated by a question mark;
- whenever the value of a digital signal at an input has no influence, it should be indicated by the symbol L/H or X.

1.2.4 Truth table (for a relation between digital variables)

A representation of the logic relationship between one or more independent digital variables and one or more dependent digital variables, by means of a table which, for each possible combination of the values of the independent variables, gives the appropriate values of the dependent variables.

Note. — The distinction between “function table” and “truth table” is fundamentally necessary, because the same digital circuit may fulfil several different logic operations, according to the arbitrary choice of the assignment of the values of the digital variables to the values of the digital electrical quantities.

1.2.5 Excitation

An input configuration (input pattern), or change in input configuration (input pattern), that can:

- cause the circuit to change its output configuration (output pattern), either directly, or in conjunction with an already existing state of preparedness;
- or put the circuit in a state of preparedness;
- or either cancel or modify an already existing state of preparedness.

Notes 1. — The repetition, or reiteration, of a given excitation will not necessarily produce the same effect.

2. — In some cases, an excitation can also maintain an output configuration (output pattern) which it could have produced.

1.2.6 Active level (of a digital input signal to a sequential circuit)

A level of a digital input signal which can produce excitation.

1.2.7 *Transition active (d'une variable digitale d'entrée d'un circuit séquentiel)*

Transition d'un niveau d'une variable digitale vers un autre niveau, susceptible de produire une excitation.

Note. — Une transition active peut être aussi sujette à des limitations provenant de la pente du signal.

1.2.8 *Configuration de sortie stable (d'un circuit séquentiel)*

Configuration de sortie que conserve un circuit après que l'excitation qui l'a produite, ou toute excitation qui pourrait l'avoir maintenue, ait été remplacée par une configuration d'entrée qui ne soit pas une excitation, ou bien:

configuration de sortie que prend un circuit en l'absence de toute excitation.

Note. — Toute persistance de courte durée de la configuration de sortie, due à des effets indésirables tels que effet capacitif, temps de stockage, temps de propagation, etc., est ignorée.

1.2.9 *Configuration de sortie pseudo-stable (d'un circuit séquentiel)*

Configuration de sortie qui ne persiste pas après que l'excitation qui l'a produite, ou toute autre excitation susceptible de la maintenir, ait été remplacée par une configuration d'entrée qui ne soit pas une excitation.

Note. — Toute configuration de sortie de faible durée, due à des effets indésirables tels que effet capacitif, temps de stockage, temps de propagation, etc., est ignorée.

1.2.10 *Configuration de sortie méta-stable (d'un circuit séquentiel)*

Configuration de sortie qui ne persiste que pour un temps limité après qu'une excitation appropriée ait été appliquée.

Notes 1. — La durée de cette configuration de sortie dépend des caractéristiques du circuit; elle peut dépendre de la durée de l'excitation qui l'a produite et peut être affectée par une excitation ultérieure.

2. — Toute persistance de courte durée de la configuration de sortie, due à des effets indésirables tels que effet capacitif, temps de stockage, temps de propagation, etc., est ignorée.

1.2.11 *Matrice (séquentielle) de fonctionnement*

Table à plusieurs entrées qui donne les configurations possibles de sortie pour chaque configuration d'entrée, et grâce à laquelle on peut connaître, par lecture directe, la (les) configuration(s) de sortie qui résulte(nt) de la transition d'une configuration d'entrée déterminée à une autre configuration d'entrée.

Note. — S'il y a lieu, on pourra compléter une matrice (séquentielle) de fonctionnement par des données ou par des détails supplémentaires relatifs aux conditions de temps (par exemple, temps de transition pour les niveaux d'entrée, temps de délai, durée de la configuration d'entrée avant que l'on puisse obtenir la nouvelle configuration de sortie désirée).

1.2.12 *Entrée de préparation*

Entrée sur laquelle l'application d'une variable digitale peut modifier la façon dont le circuit réagit aux variables appliquées aux autres entrées, mais sans entraîner directement un changement de la configuration de sortie du circuit.

1.2.13 *Entrée d'autorisation*

Entrée qui, lorsqu'elle est active, permet à une ou plusieurs opérations spécifiques de débiter.

1.2.7 *Active transition (of a digital input signal to a sequential circuit)*

A transition from one level of a digital input signal to another level, which can produce excitation.

Note. — An active transition may also be subject to limitations arising from the slope of the signal.

1.2.8 *Stable output configuration (output pattern) (of a sequential circuit)*

An output configuration (output pattern), in which the circuit will remain after the excitation that produced it, or any other that could have maintained it, has been replaced by an input configuration (input pattern) which is not an excitation,

or:

an output configuration (output pattern) which the circuit takes up in the absence of excitation.

Note. — Any short persistence of the output configuration (output pattern) due to undesired effects such as capacitance, storage and propagation times, etc., is ignored.

1.2.9 *Pseudo-stable output configuration (output pattern) (of a sequential circuit)*

An output configuration (output pattern) which does not persist after the excitation that produced it, or other excitations that have maintained it, have been replaced by an input configuration (input pattern) which is not an excitation.

Note. — Any short persistence of the output configuration (output pattern) due to undesired effects such as capacitance, storage and propagation times, etc., is ignored.

1.2.10 *Meta-stable output configuration (output pattern) (of a sequential circuit)*

An output configuration (output pattern) which persists, for a limited duration only, after the appropriate excitation has been applied.

Notes 1. — The duration of the meta-stable output configuration (output pattern) will depend on the design of the circuit, may depend on the duration of the excitation that produced it and may be affected by further excitation.

2. — Any short persistence of the output configuration (output pattern) due to undesired effects such as capacitance, storage and propagation times, etc., is ignored.

1.2.11 *Function (sequential) matrix*

A table having several inputs which gives the possible output configurations for each input configuration(s) and from which the output configuration(s) resulting from a transition from each individual input configuration to any other input configuration can be read directly.

Note. — Where appropriate, a function (sequential) matrix may be completed by additional data or details concerning time conditions (e.g., transition times for the input levels, delay time, duration of the input configuration to produce a desired new output configuration).

1.2.12 *Preparatory input terminal*

An input terminal through which an applied digital signal can modify the manner in which the circuit reacts to signals at other input terminals, without directly causing a change of the output configuration (output pattern) of the circuit.

1.2.13 *Enable input*

An input that when active permits one or more specific operations to be commenced.

Notes 1. — Un signal d'autorisation peut:

- a) soit permettre un ou plusieurs fonctionnements tant que le signal est maintenu à un niveau spécifié;
- b) soit activer un verrou permettant au fonctionnements de continuer même après cessation du signal d'autorisation.

2. — «Autorisation» est un terme générique. On peut le préciser grâce à des qualificatifs convenables selon les cas.

1.2.14 *Entrée d'autorisation boîtier*

Entrée d'autorisation qui, lorsqu'elle est inactive, maintient le circuit intégré dans un état de repos à puissance réduite.

1.2.15 *Entrée de sélection boîtier*

Entrée d'autorisation qui, lorsqu'elle est inactive, interdit toute entrée ou sortie d'informations vers ou à partir du circuit intégré.

1.2.16 *Entrée d'autorisation pour la sortie*

Entrée d'autorisation qui, lorsqu'elle est inactive, interdit la sortie d'informations du circuit intégré.

Note. — Lorsqu'il n'y a pas autorisation, les sorties peuvent être à l'état bas, à l'état haut ou à l'état haute impédance, suivant le type particulier de circuit considéré.

1.2.17 *Entrée d'autorisation d'écriture*

Entrée qui, lorsqu'elle est active, permet d'introduire des informations pour les stocker dans la mémoire.

1.2.18 *Entrée d'inhibition*

Entrée qui, lorsqu'elle est active, interdit d'accomplir une ou plusieurs opérations spécifiques.

Notes 1. — En anglais, il existe deux termes équivalents qui désignent une entrée d'inhibition dont ils soulignent l'aspect complémentaire ou négatif.

2. — Lorsqu'elle est inactive, une entrée d'autorisation inhibe ou interdit les opérations qu'elle aurait autorisées si elle était active. A l'inverse, lorsqu'elle est inactive, une entrée d'inhibition permet d'accomplir l'(les) opération(s) qu'elle aurait empêchée(s) si elle était active.

1.2.19 *Entrée à fonctionnement en niveau*

Entrée qui continue à être active (à causer une excitation) tant qu'elle demeure à un niveau actif.

1.2.20 *Entrée à fonctionnement par transition*

Entrée qui est active (cause une excitation) dans un seul des sens de transition ou entrée qui cause une excitation seulement si la vitesse de variation d'un niveau à un autre est suffisamment grande.

1.2.21 *Positionnement à un état spécifié*

- (1) (ISO) Faire prendre à un compteur l'état correspondant à un nombre spécifié.
- (2) (ISO) Mettre un dispositif de stockage dans un état spécifié, généralement différent de celui qui correspond à zéro.

Note. — A distinguer de «restauration».

Notes 1. — An “enable” signal may either:

- a) permit one or more operations to be performed while the signal is maintained at a specified level, or
- b) operate a latch that will allow an operation to continue even after the “enable” signal has been removed.

2. — “Enable” is a generic term. It may be qualified by suitable descriptive adjectives as required.

1.2.14 *Chip-enable input*

An enable input that when inactive causes the integrated circuit to be in a reduced-power stand-by mode.

1.2.15 *Chip-select input*

An enable input that when inactive prevents both input and output of data to and from the integrated circuit.

1.2.16 *Output enable input*

An enable input that when inactive prevents the output of data from the integrated circuit.

Note. — When not enabled, the outputs will assume a low level, a high level, or a floating (high-impedance) state, depending on the design of the particular circuit.

1.2.17 *Write-enable input*

An input that when active permits data to be entered into a memory for storage.

1.2.18 *Disable input; inhibit input*

An input that when active prevents one or more specific operations from being performed.

Note 1. — These are alternative names for an enable input emphasizing the complementary or negative aspect.

2. — When inactive, an enable input disables or prevents the operations that it would permit if active. Conversely, when inactive, a disable input permits the operation(s) to be performed that it would prevent if active.

1.2.19 *Level-operated input*

An input that continues to be active (to cause excitation) as long as it remains at an active level.

1.2.20 *Transition-operated input*

An input that is active (causes excitation) only on one of the two directions of transition or an input that causes excitation only if the rate of change from one level to another is sufficiently large.

1.2.21 *Set*

- (1) (ISO) To cause a counter to take the state corresponding to a specified number.
- (2) (ISO) To place a storage device into a specified state, usually other than that denoting zero.

Note. — Contrast with “reset”.

1.2.22 *Restauration à l'état initial*

- (1) (ISO) Faire prendre à un compteur l'état correspondant à un nombre initial spécifié.
- (2) (ISO) Remettre un dispositif de stockage dans un état initial prescrit, pas nécessairement dans celui qui correspond à zéro.

Note. — A distinguer de «positionnement».

1.3 *Types de circuits*

1.3.1 *Circuit digital*

Circuit qui est conçu pour fonctionner avec des variables digitales tant en entrée(s) qu'en sortie(s).

Notes 1. — Il est sous-entendu, dans cette définition, que l'alimentation continue n'est ni une entrée, ni une sortie.

2. — Dans certains circuits digitaux, par exemple les circuits astables, les entrées peuvent ne pas exister.

1.3.2 *Circuit binaire*

Circuit digital conçu pour fonctionner à l'aide de variables binaires.

Note. — Les paires de gammes de valeurs des variables binaires peuvent être différentes aux différentes bornes du circuit.

1.3.3 *Circuit (digital) combinatoire*

Circuit digital pour lequel il existe une, et une seule, combinaison des états de sortie pour chaque combinaison des états des entrées.

1.3.4 *Circuit (digital) séquentiel*

Circuit digital pour lequel il existe au moins une combinaison des valeurs des variables d'entrée qui conduisent à plus d'une combinaison des valeurs des variables de sortie.

Note. — Ces combinaisons de sortie sont fonction de l'histoire antérieure du circuit (effet de mémoire interne, retard, etc.).

1.3.5 *Circuit combinatoire élémentaire*

Circuit (digital) combinatoire qui n'a qu'une borne de sortie et dans lequel l'état de la variable de sortie est celui qui n'apparaît qu'une fois dans la table de fonctionnement si, et seulement si, les variables d'entrée sont toutes dans l'état H ou toutes dans l'état L.

Notes 1. — Comme l'état de la variable de sortie (qui n'apparaît qu'une seule fois dans la table de fonctionnement) peut être soit l'état H, soit l'état L, il y a quatre types de circuits combinatoires élémentaires.

Suivant la relation entre les états L et H des variables et les valeurs binaires 0 et 1 de l'algèbre de Boole, on peut réaliser les opérations logiques suivantes au moyen de quatre circuits combinatoires élémentaires: ET, OU, NON-ET, NON-OU.

2. — On peut réaliser des circuits combinatoires non élémentaires à l'aide de circuits combinatoires élémentaires ou à l'aide de circuits combinatoires élémentaires et d'inverseurs.

1.3.6 *Circuit bistable*

Circuit séquentiel qui a deux, et seulement deux, configurations de sortie stables.

Notes 1. — Cette grande classe peut être subdivisée en sous-classes, eu égard au nombre et aux types de configurations de sortie méta-stable ou pseudo-stable du circuit et au nombre d'excitations appropriées nécessaires pour changer de configuration de sortie stable.

1.2.22 *Reset*

- (1) (ISO) To cause a counter to take the state corresponding to a specified initial number.
- (2) (ISO) To restore a storage device to a prescribed initial state, not necessarily that denoting zero.

Note. — Contrast with “set”.

1.3 *Types of circuits*

1.3.1 *Digital circuit*

A circuit which is designed to operate by means of digital signals at the input(s) and at the output(s).

Notes 1. — In this definition, it is understood that “inputs” and “outputs” exclude static power supplies.

2. — In some digital circuits, e.g. certain types of astable circuits, the input(s) need not exist.

1.3.2 *Binary circuit*

A digital circuit designed to operate with binary signals.

Note. — The pairs of ranges of values of the binary signals may be different at different terminals.

1.3.3 *Combinatorial (digital) circuit*

A digital circuit in which there exists one, and only one, combination of the digital signals at the outputs for each possible combination of digital signals at the inputs.

1.3.4 *Sequential (digital) circuit*

A digital circuit in which there exists at least one combination of the digital signals at the inputs for which there is more than one corresponding combination of the digital signals at the outputs.

Note. — These combinations at the outputs are determined by previous history (as a result of internal memory, delay, etc.).

1.3.5 *Elementary combinatorial circuit*

A binary combinatorial (digital) circuit which has only one output terminal, and in which the output signal accepts the value occurring only once in the function if, and only if, the signals applied to all the input terminals are either all in the H-range or all in the L-range.

Notes 1. — Because the output signal value (occurring only once in the function table) can lie either in the H-range or in the L-range, there are four types of elementary combinatorial circuits.

According to the assignment of the signal values L and H to the binary values 0 and 1 of Boolean algebra, the following logic operations can be realized by means of the four types of elementary combinatorial circuits: AND, OR, NAND, NOR.

2. — Non-elementary combinatorial circuits can be formed by combining elementary combinatorial circuits or by combining elementary combinatorial circuits with inverters.

1.3.6 *Bistable circuit*

A sequential circuit which has two, and only two, stable output configurations (output patterns).

Notes 1. — This broad classification can be divided into sub-classes according to the numbers and kinds of pseudo-stable and meta-stable output configurations (output patterns) available and the number of applications of appropriate excitations required to change from one stable output configuration (output pattern) to the other.

2. — Une configuration stable de sortie d'un circuit bistable peut être exprimée par le niveau L ou le niveau H à la borne de sortie prise comme référence.
3. — Le terme «circuit bistable» est utilisé comme terme générique pour couvrir toute la gamme des circuits séquentiels ayant deux, et seulement deux, configurations de sorties stables.
Il peut être utilisé seul pour n'importe quelle classe de circuits bistables, quand il n'en résulte ni ambiguïté ni confusion. En particulier, le terme abrégé «circuit bistable» est souvent utilisé pour les circuits bistables nécessitant une seule excitation.

1.3.6.1 *Circuit bistable à déclenchement par transition*

Circuit bistable ayant une ou plusieurs entrées à fonctionnement par transition.

1.3.6.2 *Circuit bistable à déclenchement par impulsions*

Circuit bistable nécessitant la présence d'un signal à une entrée de préparation avant une première transition d'un signal à une entrée de déclenchement, et son maintien après une deuxième transition se produisant à la même entrée de déclenchement, et qui est susceptible de provoquer le changement d'état des sorties.

Note. — Cette définition n'exclut pas la possibilité que les temps minimaux d'établissement et/ou de maintien puissent être négatifs.

1.3.6.3 *Circuit bistable à verrouillage de sortie*

Circuit bistable nécessitant la présence des signaux aux entrées de préparation avant et après la transition du signal à l'entrée de déclenchement, et qui ne provoque pas le changement d'état des sorties.

1.3.7 *Circuit monostable*

Circuit séquentiel qui n'a qu'une configuration de sortie stable.

Notes 1. — La définition précédente correspond au sens le plus général du terme. Le sens qui est donné généralement au terme «circuit monostable» suppose qu'en plus de la configuration stable il existe au moins une configuration de sortie méta-stable.

2. — En général, de tels circuits peuvent avoir une ou plusieurs configurations de sortie méta-stable ou pseudo-stable.

1.3.8 *Circuit expandeur*

Circuit auxiliaire que l'on peut utiliser pour augmenter le nombre des entrées jouant le même rôle d'un circuit associé, sans modifier la fonction du circuit associé.

1.3.9 *Inverseur binaire*

Circuit binaire qui n'a qu'une borne d'entrée et une borne de sortie et pour lequel, à un état L (H) de la variable d'entrée, correspond un état H (L) de la variable de sortie.

1.3.10 *Association maître-esclave*

Association de deux circuits bistables, de sorte que l'un d'entre eux, appelé «esclave», reproduise la configuration de sortie de l'autre circuit, appelé «maître». Le transfert de l'information du maître à l'esclave s'effectue grâce à un signal approprié.

1.3.11 *Registre*

Association de circuits bistables grâce à laquelle une information peut être enregistrée, conservée et restituée.

Note. — Le registre peut faire partie d'une autre mémoire et a une capacité spécifiée.

2. — A stable output configuration (output pattern) of a bistable circuit can be expressed by the L-level or the H-level of the reference output terminal.
3. — The term "bistable circuit" is used as a generic term to cover the whole range of sequential circuits with two, and only two, stable output configurations.
It may be used by itself for any kind or class of bistable circuits, when such use does not result in ambiguity or misunderstanding. In particular, the abbreviated term "bistable circuit" is often used for the single excitation bistable circuits.

1.3.6.1 *Edge-triggered (transition-operated) bistable circuit*

A bistable circuit having one or more transition-operated inputs.

1.3.6.2 *Pulse-triggered bistable circuit*

A bistable circuit requiring that a signal at a preparatory input be set up with respect to a first transition of a signal at a triggering input and be held with respect to a second transition occurring at the same triggering input and possibly causing the outputs to change state.

Note. — This definition does not preclude the possibilities that minimum set-up and/or hold times may be negative.

1.3.6.3 *Data-lock-out bistable circuit*

A bistable circuit requiring that the signals at the preparatory inputs be set up and held with respect to that transition of the triggering-input signal that does not cause the outputs to change state.

1.3.7 *Monostable circuit*

A sequential circuit which has only one stable output configuration (output pattern).

- Notes*
1. — The definition above is given in its most general form. In present usage, the term "monostable circuit" implies that there is at least one meta-stable output configuration (output pattern) in addition to the stable output configuration (output pattern).
 2. — In general, such circuits may have one or more meta-stable and/or pseudo-stable output configurations (output patterns).

1.3.8 *Expander circuit*

An auxiliary circuit which can be used to expand the number of inputs of equal influence of an associated circuit without modifying the function of the associated circuit.

1.3.9 *Binary inverter*

Binary circuit which has only one input terminal and one output terminal, and in which a signal value L (H) at the input produces a signal value H (L) at the output.

1.3.10 *Master-slave arrangement*

An arrangement of two bistable circuits such that one of them, called the "slave", reproduces the output configuration of the other circuit, called the "master". The transfer of information from the master to the slave is produced by means of an appropriate signal.

1.3.11 *Register*

An arrangement of bistable circuits by means of which information may be accepted, stored, and retrieved.

Note. — The register may form part of another memory and is of a specified capacity.

1.3.12 *Registre à décalage*

Registre qui, grâce à un signal de commande approprié, peut transférer l'information d'un circuit bistable au suivant, la séquence étant préservée.

1.3.13 *Compteur*

Circuit séquentiel organisé pour enregistrer des nombres et qui permet de les augmenter ou de les diminuer d'une constante définie, y compris l'unité.

1.3.14 *Décodeur digital (à circuit intégré)*

Arrangement d'éléments logiques (ou l'équivalent) qui choisit une ou plusieurs voies de sortie selon la combinaison des signaux présents à l'entrée.

1.3.15 *Réseau logique programmable*

Circuit intégré consistant en un réseau d'opérateurs (ou de circuits) logiques combinatoires, ayant une configuration fixe d'interconnexions, dans lequel les connexions peuvent être réalisées ou détruites après la fabrication, de façon à obtenir des fonctions logiques spécifiques.

Note. — Le réseau logique programmable comporte en général un grand nombre de portes ET commandant plusieurs portes OU.

1.4 *Termes relatifs aux valeurs limites et aux caractéristiques*

1.4.1 *Tension de seuil (d'entrée)*

Niveau de tension d'entrée qui, lorsqu'il est franchi, permet à une sortie de changer d'état logique.

Note. — Le terme «hystérésis», utilisé souvent dans les feuilles de caractéristiques, représente la différence entre les tensions de seuil à la transition positive et à la transition négative.

$$V_{\text{hys}} = V_{\text{IT+}} - V_{\text{IT-}}$$

$$\text{ou: } V_{\text{hys}} = V_{\text{ITP}} - V_{\text{ITN}}$$

1.4.1.1 *Tension de seuil (d'entrée) à la transition positive $V_{\text{IT+}}$, V_{ITP}*

Tension de seuil d'entrée lorsque la tension d'entrée est croissante.

Note. — Voir la note du paragraphe 1.4.1.

1.4.1.2 *Tension de seuil (d'entrée) à la transition négative $V_{\text{IT-}}$, V_{ITN}*

Tension de seuil d'entrée lorsque la tension d'entrée est décroissante.

Note. — Voir la note du paragraphe 1.4.1.

1.4.2 *Facteur de charge d'entrée (d'un circuit digital bipolaire)*

Facteur qui indique le rapport du courant d'entrée d'une borne d'entrée spécifiée au courant d'entrée d'un circuit particulier qui est choisi comme charge de référence.

Note. — On choisit de préférence la charge de référence de telle façon que le facteur de charge d'entrée soit un nombre entier.

1.4.3 *Capacité de charge de sortie (d'un circuit digital bipolaire)*

Facteur qui indique le rapport du courant maximal de sortie d'une borne de sortie spécifiée d'un circuit digital au courant d'entrée d'un circuit particulier qui est choisi comme charge de référence.

Note. — On choisit de préférence la charge de référence de telle façon que la capacité de charge de sortie soit un nombre entier.

1.3.12 *Shift register*

A register that, by means of an appropriate control signal, can transfer information between consecutive bistable circuits with the sequence being preserved.

1.3.13 *Counter*

A sequential circuit for storing numbers that permits such numbers to be incremented or decremented by a defined constant, including unity.

1.3.14 *Digital decoder (integrated circuit)*

An arrangement of logic elements (or the equivalent) that selects one or more output channels according to the combination of input signals present.

1.3.15 *Programmable logic array (PLA)*

An integrated circuit consisting of an array of combinatorial logic elements (circuits) with a fixed interconnection pattern in which connections can be made or broken after manufacture to perform specific logic functions.

Note. — The PLA is typically a large set of AND gates driving several OR gates.

1.4 *Terms related to ratings and characteristics*

1.4.1 *(Input) threshold voltage*

The input voltage level that, when crossed, enables an output to change its logic state.

Note. — The term hysteresis, often used in data sheets, denotes the difference between the positive-going and negative-going threshold voltages.

$$V_{\text{hys}} = V_{\text{IT+}} - V_{\text{IT-}}$$

or

$$V_{\text{hys}} = V_{\text{ITP}} - V_{\text{ITN}}$$

1.4.1.1 *Positive-going (input) threshold voltage* $V_{\text{IT+}}$, V_{ITP}

The input threshold voltage when the input voltage is rising.

Note. — See Note to Sub-clause 1.4.1.

1.4.1.2 *Negative-going (input) threshold voltage* $V_{\text{IT-}}$, V_{ITN}

The input threshold voltage when the input voltage is falling.

Note. — See Note to Sub-clause 1.4.1.

1.4.2 *Input loading factor (of a bipolar digital circuit)*

A factor which indicates the ratio of the input current of a specified input terminal of a digital circuit to the input current of a particular circuit which is chosen as a reference load.

Note. — The reference load should preferably be chosen in such a way that the input loading factor becomes an integer.

1.4.3 *Output loading capability (of a bipolar digital circuit)*

A factor which indicates the ratio of the maximum output current of a specified output terminal of a digital circuit to the input current of a particular circuit which is chosen as a reference load.

Note. — The reference load should preferably be chosen in such a way that the output loading capability becomes an integer.

1.4.4 Temps de préparation (temps d'établissement)

Intervalle de temps entre l'application d'un signal qui est maintenu à une borne d'entrée spécifiée et une transition active ultérieure spécifiée se produisant à une autre borne d'entrée.

- Notes 1. — On mesure le temps d'établissement entre les instants où les grandeurs des deux signaux atteignent des valeurs spécifiées situées dans la zone de transition entre deux niveaux de signal.
2. — Le temps d'établissement est le temps qui s'écoule entre l'application des deux signaux; il peut être insuffisant pour obtenir le résultat escompté. On spécifie une valeur minimale qui est le temps le plus court pour lequel un fonctionnement correct du circuit digital est garanti.
3. — Le temps d'établissement peut avoir une valeur négative; dans ce cas, la limite minimale définit l'intervalle le plus long (entre la transition active et l'application de l'autre signal) pour lequel un fonctionnement correct du circuit digital est garanti.

1.4.5 Temps de maintien

Intervalle de temps pendant lequel un signal est maintenu à une borne d'entrée spécifiée après qu'une transition active se soit produite à une autre borne d'entrée spécifiée.

- Notes 1. — On mesure le temps de maintien entre les instants où les amplitudes des deux signaux atteignent des valeurs spécifiées situées dans la zone de transition entre deux niveaux de signal.
2. — Le temps de maintien est le temps qui s'écoule entre l'application des deux signaux; il peut être insuffisant pour obtenir le résultat escompté. On spécifie une valeur minimale qui est le temps le plus court pour lequel un fonctionnement correct du circuit digital est garanti.
3. — Le temps de maintien peut avoir une valeur négative; dans ce cas, la limite minimale définit l'intervalle le plus long (entre la transition active et l'application de l'autre signal) pour lequel un fonctionnement correct du circuit digital est garanti.

1.4.6 Temps de résolution

Intervalle de temps entre la fin d'une impulsion d'entrée et le début de l'impulsion d'entrée suivante appliquée à la même borne d'entrée.

- Notes 1. — On mesure le temps de résolution entre les instants où l'amplitude du signal d'entrée atteint des valeurs spécifiées situées dans la zone de transition entre deux niveaux de signal.
2. — Le temps de résolution est le temps qui s'écoule entre deux impulsions; il peut être insuffisant pour assurer que les deux impulsions sont distinctes. On définit une valeur minimale qui est le temps le plus court pour lequel un fonctionnement correct du circuit digital est garanti.

1.4.7 Temps de propagation du niveau haut au niveau bas (du niveau bas au niveau haut)

Intervalle de temps entre des points de référence spécifiés sur les impulsions à l'entrée et à la sortie lorsque la sortie évolue vers le niveau bas (haut) et que le dispositif est commandé et chargé par des dispositifs typiques d'un type déterminé.

- Notes 1. — Dans certains cas, les circuits de commande et de charge peuvent être remplacés, pour les essais, par des réseaux équivalents qui doivent être spécifiés.
2. — La valeur moyenne entre la limite supérieure de la gamme des valeurs du niveau bas à l'entrée et la limite inférieure de la gamme des valeurs du niveau haut à l'entrée est généralement utilisée comme niveau de référence spécifié.

1.4.8 Temps de transition du niveau haut au niveau bas (du niveau bas au niveau haut)

Intervalle de temps entre des points de référence spécifiés sur le flanc de l'impulsion de sortie, lorsque la sortie évolue vers le niveau bas (haut) et qu'un signal d'entrée spécifié est appliqué à travers un réseau spécifié, la sortie étant chargée par un autre réseau spécifié.

1.4.9 Temps d'autorisation

Intervalle de temps entre un point spécifié sur la transition du signal d'autorisation et un point spécifié sur la forme d'onde de sortie qui représente le début du fonctionnement prévu.

1.4.4 *Set-up time*

The time interval between application of a signal that is maintained at a specified input terminal and a specified subsequent active transition at another input terminal.

- Notes* 1. — The set-up time is measured between the instants at which the magnitudes of the two signals pass through specified values within the transition of the signal levels.
2. — The set-up time is the actual time between two signals and may be insufficient to accomplish the intended result. A minimum value is specified that is the shortest interval for which correct operation of the digital circuit is guaranteed.
3. — The set-up time may have a negative value, in which case the minimum limit defines the longest interval (between the active transition and the application of the other signal) for which interval correct operation of the digital circuit is guaranteed.

1.4.5 *Hold time*

The time interval during which a signal is retained at a specified input terminal after an active transition occurs at another specified input terminal.

- Notes* 1. — The hold time is measured between the instants at which the magnitudes of the two signals pass through specified values within the transition of the signal levels.
2. — The hold time is the actual time between two signals and may be insufficient to accomplish the intended result. A minimum value is specified that is the shortest interval for which correct operation of the digital circuit is guaranteed.
3. — The hold time may have a negative value, in which case the minimum limit defines the longest interval (between the active transition and the application of the other signal) for which interval correct operation of the digital circuit is guaranteed.

1.4.6 *Resolution time*

The time interval between the cessation of one input pulse and the commencement of the next input pulse applied to the same input terminal.

- Notes* 1. — The resolution time is measured between the instants at which the magnitude of the input signal passes through specified values within the transition of the signal levels.
2. — The resolution time is the actual time between two pulses and may be insufficient to ensure that both pulses are recognized. A minimum value is specified that is the shortest interval for which correct operation of the digital circuit is guaranteed.

1.4.7 *High-level to low-level (low-level to high-level) propagation time*

The time interval between specified reference points on the input and on the output pulses, when the output is going to the low-(high-)level and when the device is driven and loaded by typical devices of stated types.

- Notes* 1. — In some circumstances, the driving and the loading circuits may be replaced for test purposes by equivalent networks which must be specified.
2. — The mean value between the upper limit of the input low range and the lower limit of the input high range is generally used as the specified reference level.

1.4.8 *High-level to low-level (low-level to high-level) transition time*

The time interval between specified reference points on the edge of the output pulse when the output is going to the low-(high-)level and when a specified input signal is applied through a specified network and the output is loaded by another specified network.

1.4.9 *Enable time*

The time interval from a specified point on the transition of the enabling signal to a specified point on an output waveform that represents the commencement of the intended operation.

1.4.10 Temps d'inhibition

Intervalle de temps entre un point spécifié sur la transition du signal d'inhibition et un point spécifié sur la forme d'onde de sortie qui représente la fin du fonctionnement concerné.

1.4.11 Temps d'autorisation en sortie (pour une sortie «trois états»)

Intervalle de temps entre les points de référence spécifiés sur les formes d'onde des tensions d'entrée et de sortie, lorsque la sortie «trois états» change d'un état à haute impédance à l'un des niveaux actifs (haut ou bas) définis.

1.4.12 Temps d'inhibition en sortie (pour une sortie «trois états»)

Intervalle de temps entre les points de référence spécifiés sur les formes d'onde des tensions d'entrée et de sortie, lorsque la sortie «trois états» change de l'un des niveaux actifs (haut ou bas) définis à l'état à haute impédance.

1.4.13 Durée (largeur) d'une impulsion

Intervalle de temps séparant des points de référence spécifiés sur les flancs de l'impulsion.

1.4.14 Temps de validation

Intervalle de temps pendant lequel un signal de sortie est valide ou durant lequel un signal d'entrée doit être valide.

1.4.15 Temps de validation de l'information en sortie

Intervalle de temps pendant lequel l'information en sortie reste valide, à la suite d'un changement des conditions d'entrée qui pourraient provoquer, à la fin de cet intervalle, un changement de l'information en sortie.

1.4.16 Capacité équivalente d'entrée (ou de sortie) (d'un circuit binaire)

Capacité d'un condensateur discret qui provoque le même effet sur la forme d'onde d'un signal digital que la composante capacitive de l'impédance d'entrée (ou de sortie) d'un circuit binaire.

2. Exemples

2.1 Circuits combinatoires élémentaires

2.1.1 Types de circuits combinatoires élémentaires et leur table de fonctionnement

a) Circuit ET (état L), OU (état H)

Entrées	Sortie
A B C	Q
L L L.... L	L
Toutes combinaisons avec H.....	H

1.4.10 *Disable time*

The time interval from a specified point on the transition of the disabling signal to a specified point on an output waveform that represents the cessation of the affected operation.

1.4.11 *Output enable time (of a three-state output)*

The time interval between the specified reference points on the input and output voltage waveforms, with the three-state output changing from a high-impedance (off) state to either of the defined active levels (high or low).

1.4.12 *Output disable time (of a three-state output)*

The time interval between the specified reference points on the input and output voltage waveforms, with the three-state output changing from either of the defined active levels (high or low) to a high-impedance (off) state.

1.4.13 *Pulse duration (width)*

The time interval between the specified reference points on the two transitions of the pulse waveform.

1.4.14 *Valid time*

The time interval during which an output signal is valid or during which an input signal must be valid.

1.4.15 *Output data-valid time*

The time interval during which output data continues to be valid following a change of input conditions that could cause the output data to change at the end of the interval.

1.4.16 *Equivalent input (output) capacitance (of a binary circuit)*

The capacitance of a discrete capacitor that causes the same effect on the waveform of a digital signal as the capacitive component of the input (output) impedance of a binary circuit.

2. **Examples**

2.1 *Elementary combinatorial circuits*

2.1.1 *Types of elementary combinatorial circuits and their function tables*

a) L-AND, H-OR circuit

Inputs	Output
A B C	Q
L L L.... L	L
All combinations with H	H

b) Circuit NON-ET (état L), NON-OU (état H)

Entrées	Sortie
A B C	Q
L L L.... L	H
Toutes combinaisons avec H.....	L

c) Circuit ET (état H), OU (état L)

Entrées	Sortie
A B C	Q
H H H.... H	H
Toutes combinaisons avec L	L

d) Circuit NON-ET (état H), NON-OU (état L)

Entrées	Sortie
A B C	Q
H H H.... H	L
Toutes combinaisons avec L	H

e) Inverseur binaire

Entrée	Sortie
L	H
H	L

2.1.2 Réalisation d'opérations logiques au moyen de circuits combinatoires élémentaires

(pour deux relations possibles entre les états L et H des variables et les valeurs binaires 0 et 1 de l'algèbre de Boole)

Circuit		Relations	
Type	Nom	$L \triangleq 1$ $H \triangleq 0$	$L \triangleq 0$ $H \triangleq 1$
a	ET (état L), OU (état H)	ET	OU
b	NON-ET (état L), NON-OU (état H)	NON-ET	NON-OU
c	OU (état L), ET (état H)	OU	ET
d	NON-OU (état L), NON-ET (état H)	NON-OU	NON-ET

b) L-NAND, H-NOR circuit

Inputs	Output
A B C	Q
L L L.... L	H
All combinations with H	L

c) H-AND, L-OR circuit

Inputs	Output
A B C	Q
H H H.... H	H
All combinations with L	L

d) H-NAND, L-NOR circuit)

Inputs	Output
A B C	Q
H H H.... H	L
All combinations with L	H

e) Binary inverter

Input	Output
L	H
H	L

2.1.2 Realization of logic operations by means of elementary combinatorial circuits

(for two possible assignments of the signal values L and H to the binary values 0 and 1 of Boolean algebra)

Circuit		Assignment	
Type	Name	L $\hat{=}$ 1 H $\hat{=}$ 0	L $\hat{=}$ 0 H $\hat{=}$ 1
a	L-AND, H-OR	AND	OR
b	L-NAND, H-NOR	NAND	NOR
c	L-OR, H-AND	OR	AND
d	L-NOR, H-NAND	NOR	NAND

2.2 *Principe de caractérisation des circuits bistables et des circuits séquentiels afférents, montré par des exemples et employant la désignation littérale*

Avant-propos

Deux modes de représentation des matrices (séquentielles) de fonctionnement sont indiqués.

2.2.1 *Préambule*

2.2.1.1 Si le signal appliqué à une borne d'entrée est actif:

- lorsqu'il occupe le niveau H,
- ou lors de la transition du niveau L vers le niveau H,

la lettre qui représente cette entrée est écrite sans barre.

Exemples: R, S, J...

Si le signal appliqué à une borne d'entrée est actif:

- lorsqu'il occupe le niveau L (c'est-à-dire LORSQU'IL N'EST PAS AU NIVEAU H),
- ou lors de la transition du niveau H vers le niveau L (c'est-à-dire LORS DE LA TRANSITION QUI N'EST PAS DU NIVEAU L VERS LE NIVEAU H),

la lettre qui représente cette entrée est surmontée d'une barre.

Exemples: $\bar{R}$, $\bar{S}$, J...

Dans le cas de circuits fonctionnant en niveau et par transition et lorsque la règle qui précède conduit à une impossibilité, la priorité est donnée à la transition.

2.2.1.2 Les bornes de sortie d'un circuit bistable sont habituellement notées Q et Q*; Q est la sortie prise comme référence.

2.2.1.3 Normalement, pour les deux configurations de sortie stables d'un circuit bistable, les niveaux aux bornes Q et Q* sont complémentaires.

La configuration de sortie pseudo-stable est indiquée par les lettres H ou L ou leur combinaison, placées entre parenthèses après les lettres RS, quand elle existe.

Si dans la configuration de sortie pseudo-stable, les niveaux de Q et Q* sont complémentaires, les deux lettres H et L sont utilisées, la première lettre désignant le niveau de Q.

Si dans la configuration de sortie pseudo-stable les niveaux de Q et de Q* sont identiques, une seule lettre est utilisée pour désigner ces niveaux.

Exemples: RS(H), RS(L), RS(HL), RS(LH).

Si ce n'est pas exigé, les parenthèses et les lettres à l'intérieur peuvent être omises.

2.2.1.4 Tous les autres types de bascules RS, $R_G S_G$, JK, $J_T K_T$, etc., peuvent être décrits d'une manière analogue aux exemples qui suivent.

2.2.2 *Circuits*

2.2.2.1 *Circuit RS (L)*

Circuit dont les deux entrées R et S sont des entrées à fonctionnement en niveau. L'une quelconque des entrées ne peut être active que pour le niveau H seulement.

2.2 Principle of characterizing bistable circuits and related sequential digital circuits, shown by examples using letter designations

Foreword

Two different ways of presenting the (sequential) function matrices are quoted.

2.2.1 Preamble

2.2.1.1 If the signal applied to the input terminal concerned is:

- active when it is at the H-level,
- or active during the transition from the L-level to the H-level,

then the letter which represents the input is used without a bar.

Examples: R, S, J...

If the signal applied to the input terminal concerned is:

- active when it is at the L-level (i.e. NOT AT THE H-LEVEL),
- or active during the transition from the H-level to the L-level (i.e. NOT DURING THE TRANSITION FROM THE L-LEVEL TO THE H-LEVEL),

then the letter which represents the input is used with a bar.

Examples: $\bar{R}$, $\bar{S}$, $\bar{J}$...

In cases of level/transition-operated circuits where the above gives rise to contrary indications, priority is given to the transition.

2.2.1.2 The output terminals of a bistable circuit are denoted by Q and Q*, where Q is the reference-output terminal.

2.2.1.3 Normally, in the two stable output configurations (output patterns) of a bistable circuit, the levels at the terminals Q and Q* are complementary.

The pseudo-stable output configuration (output pattern) is stated by the letters H or L or combinations thereof, to be put in brackets following the letters RS, when it occurs.

If, in the pseudo-stable output configuration (output pattern), the levels at Q and Q* are complementary, both the letters H and L are used, the first letter designating the level at Q.

If, in the pseudo-stable output configuration (output pattern), the levels at Q and Q* are the same, only one letter is used to designate these levels.

Examples: RS(H), RS(L), RS(HL), RS(LH).

If not required, the brackets and letters between them can be omitted.

2.2.1.4 All other types of RS, $R_G S_G$, JK, $J_T K_T$ circuits, etc., can be described in a manner analogous to the examples that follow.

2.2.2 Circuits

2.2.2.1 RS (L) circuit

A circuit having two level-operated input terminals R and S. Either input signal can be active in the H-level only.

La configuration d'entrée $(R, S) = (L, H)$ conduit à la configuration de sortie $(Q, Q^*) = (H, L)$. Le retour au niveau L de l'entrée S est sans effet.

La configuration d'entrée $(R, S) = (H, L)$ conduit à la configuration de sortie $(Q, Q^*) = (L, H)$. Le retour au niveau L de l'entrée R est sans effet.

La configuration d'entrée $(R, S) = (H, H)$ conduit à la configuration de sortie pseudostable $(Q, Q^*) = (L, L)$. Le retour simultané des deux entrées du niveau H vers le niveau L conduit à une configuration de sortie stable imprévisible.

Note. — Pour des raisons techniques, dans certains cas, la configuration d'entrée $(R, S) = (H, H)$ peut être interdite.

Matrices (séquentielles) de fonctionnement:

R	L		H		Q	Q*
S	L	H	L	H		
1	1	3	2	H	L	
2	1	3	2	L	H	
?	1	3	2	L	L	

R	L	H	Q	Q*
S	L	H		
1	1	3	H	L
2	1	3	L	H
?	1	3	L	L

Diagramme des temps:

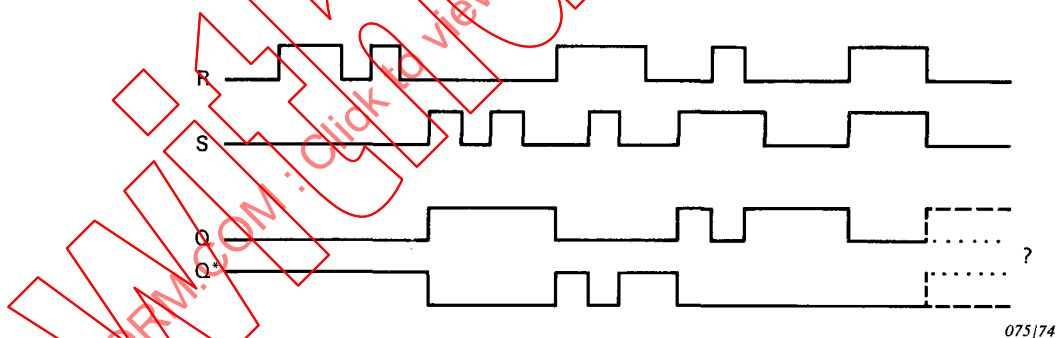


FIGURE 1

2.2.2.2 Circuit $\overline{R}\overline{S}$ (H)

Circuit dont les deux entrées $\overline{R}$, $\overline{S}$ sont des entrées à fonctionnement en niveau. L'une quelconque des entrées ne peut être active que pour le niveau L seulement.

La configuration d'entrée $(\overline{R}, \overline{S}) = (H, L)$ conduit à la configuration de sortie $(Q, Q^*) = (H, L)$. Le retour au niveau H de l'entrée S est sans effet.

La configuration d'entrée $(\overline{R}, \overline{S}) = (L, H)$ conduit à la configuration de sortie $(Q, Q^*) = (L, H)$. Le retour au niveau H de l'entrée R est sans effet.

The input configuration (input pattern) $(R, S) = (L, H)$ produces the output configuration (output pattern) $(Q, Q^*) = (H, L)$. The return of the input signal at the S terminal to the L-level produces no action.

The input configuration (input pattern) $(R, S) = (H, L)$ produces the output configuration (output pattern) $(Q, Q^*) = (L, H)$. The return of the input signal at the R terminal to the L-level produces no action.

The input configuration (input pattern) $(R, S) = (H, H)$ produces the pseudo-stable output configuration (output pattern) $(Q, Q^*) = (L, L)$. The simultaneous return of both input signals from the H-level to the L-level produces a non-foreseeable stable output configuration (output pattern).

Note. — In some cases, the input configuration (input pattern) $(R, S) = (H, H)$ may not be permitted due to technical reasons.

Function (sequential) matrices:

R	L		H			
S	L	H	L	H	Q	Q*
	①	①	3	2	H	L
	②	1	3	②	L	H
	?	1	③	2	L	L

R	L		H			
S	L	H	L	H	Q	Q*
					H	L
					L	H
					L	L

Timing diagram:

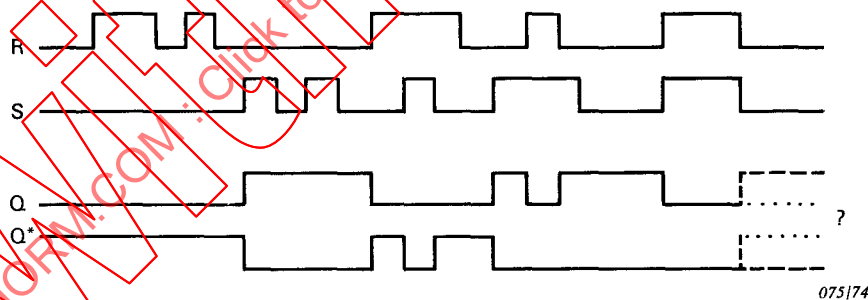


FIGURE 1

2.2.2.2 $\bar{R}\bar{S}$ (H) circuit

A circuit having two level-operated input terminals $\bar{R}$ and $\bar{S}$. Either input signal can be active in the L-level only.

The input configuration (input pattern) $(\bar{R}, \bar{S}) = (H, L)$ produces the output configuration (output pattern) $(Q, Q^*) = (H, L)$. The return of the input signal at the S terminal to the H-level produces no action.

The input configuration (input pattern) $(\bar{R}, \bar{S}) = (L, H)$ produces the output configuration (output pattern) $(Q, Q^*) = (L, H)$. The return of the input signal at the R terminal to the H-level produces no action.

La configuration d'entrée $(\bar{R}, \bar{S}) = (L, L)$ conduit à la configuration de sortie pseudo-stable $(Q, Q^*) = (H, H)$. Le retour simultané des deux entrées du niveau L vers le niveau H conduit à une configuration de sortie stable imprévisible.

Note. — Pour des raisons techniques, dans certains cas la configuration d'entrée $(\bar{R}, \bar{S}) = (L, L)$ peut être interdite.

Matrices (séquentielles) de fonctionnement:

$\bar{R}$	L		H	H		Q	Q*
$\bar{S}$	L	H	L	L	H		
	3	2	(1)	(1)	H	L	
	3	(2)	(2)	1	L	H	
	(3)	2	?	1	H	H	

$\bar{R}$	L		H	H		Q	Q*
$\bar{S}$	L	H	L	L	H		
						H	L
						L	H
						H	H

Diagramme des temps:



076/74

FIGURE 2

2.2.2.3 Circuit T

Circuit dont l'entrée T est à fonctionnement par transition.

Le passage du niveau L au niveau H de la variable, appliquée sur cette entrée, provoque le changement de la configuration de sortie.

Le retour de la variable d'entrée du niveau H vers le niveau L est sans effet.

Matrices (séquentielles) de fonctionnement:

T	L	H	Q	Q*
	(1)	2	L	H
	3	(2)	H	L
	(3)	4	H	L
	1	(4)	L	H

T	L	H	Q	Q*
			L	H
			H	L
			H	L
			L	H

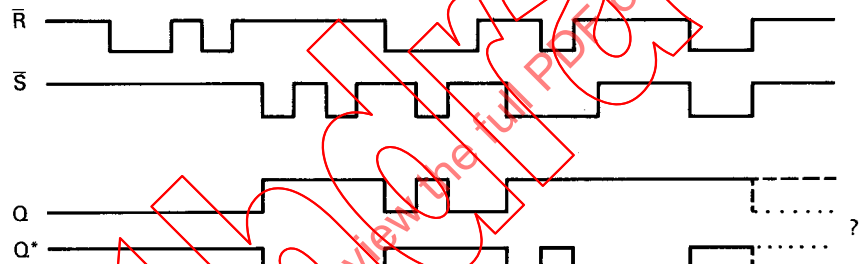
The input configuration (input pattern) $(\bar{R}, \bar{S}) = (L, L)$ produces the pseudo-stable output configuration (output pattern) $(Q, Q^*) = (H, H)$. The simultaneous return of both input signals from the L-level to the H-level produces a non-foreseeable stable output configuration (output pattern).

Note. — In some cases, the input configuration (input pattern) $(\bar{R}, \bar{S}) = (L, L)$ may not be permitted due to technical reasons.

Function (sequential) matrices:

$\bar{R}$	L		H			
$\bar{S}$	L	H	L	L	Q	Q*
	3	2	(1)	(1)	H	L
	3	(2)	(2)	1	L	H
	(3)	2	?	1	H	H

Timing diagram:



076/74

FIGURE 2

2.2.2.3 T circuit

A circuit having one input terminal, T, which is transition-operated.

When the signal applied to the input terminal changes from the L-level to the H-level, it produces change-over of the output configuration (output pattern).

The return of the input signal from the H-level to the L-level produces no action.

Function (sequential) matrices:

T	L	H	Q	Q*
	(1)	2	L	H
	3	(2)	H	L
	(3)	4	H	L
	1	(4)	L	H

Diagramme des temps:

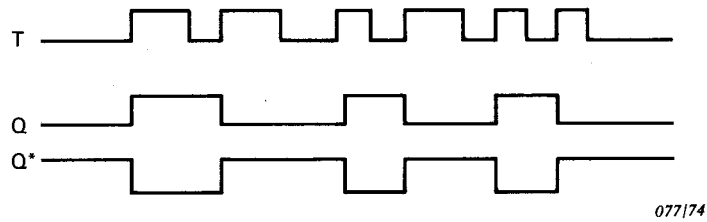


FIGURE 3

2.2.2.4 Circuit $\bar{T}$

Circuit dont l'entrée $\bar{T}$ est du type à fonctionnement par transition.

Le passage du niveau H au niveau L de la variable, appliquée à cette entrée, provoque le changement de la configuration de sortie.

Le retour de la variable d'entrée du niveau L vers le niveau H est sans effet.

Matrices (séquentielles) de fonctionnement:

$\bar{T}$	L	H	Q	Q*
	2	①	L	H
	②	3	H	L
	4	③	H	L
	④	1	L	H

$\bar{T}$	L	H	Q	Q*
			L	H
			H	L
			H	L
			L	H

Diagramme des temps:

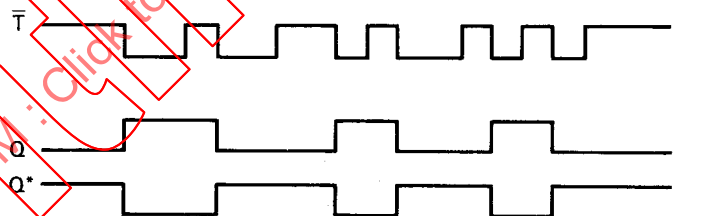


FIGURE 4

2.2.2.5 Circuit T_G (définition générale)

Circuit dont l'entrée T est du type à fonctionnement par transition et l'entrée G du type à fonctionnement en niveau.

Tant que l'entrée G est portée au niveau H, le circuit fonctionne comme un circuit T.

Tant que l'entrée G est portée au niveau L, la variable d'entrée T n'a plus aucune action sur la configuration de sortie.

La configuration de sortie atteinte après une transition simultanée des variables aux deux entrées est imprévisible lorsque la variable appliquée à l'entrée T passe du niveau L au niveau H, quelle que soit la transition à l'entrée G.

Timing diagram:

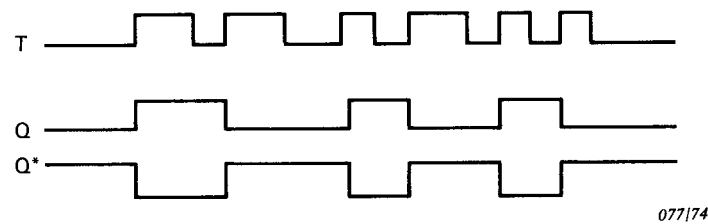


FIGURE 3

2.2.2.4 $\bar{T}$ circuit

A circuit having one input terminal, $\bar{T}$, which is transition-operated.

When the signal applied to the input terminal $\bar{T}$ changes from the H-level to the L-level, it produces change-over of the output configuration (output pattern).

The return of the input signal from the L-level to the H-level produces no action.

Function (sequential) matrices:

$\bar{T}$	L	H	Q	Q*
	2	①	L	H
	②	3	H	L
	4	③	H	L
	④	1	L	H

$\bar{T}$	L	H	Q	Q*
			L	H
			H	L
			H	L
			L	H

Timing diagram:

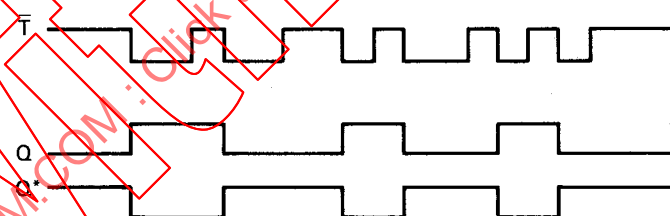


FIGURE 4

2.2.2.5 General T_G circuit

A circuit having one transition-operated input terminal, T, and one level-operated input terminal, G.

While the G input signal has the H-level, the circuit functions like a T circuit.

While the G input signal has the L-level, the T input signal has no effect on the output configuration (output pattern).

The simultaneous change of both input signals produces a non-foreseeable output configuration (output pattern) if the T input signal changes from the L-level to the H-level and the G input signal changes, either from the L-level to the H-level, or from the H-level to the L-level.

Matrices (séquentielles) de fonctionnement

G	L		H			
T	L		H	L	Q	Q*
	①	3	?	2	L	H
	1	?	4	②	L	H
	1	③	③	2	L	H
	6	④	④	5	H	L
	6	?	3	⑤	H	L
	⑥	4	?	5	H	L

G	L		H			
T	L		H	L	Q	Q*
	?		?		L	H
	?		?		L	H
	?		?		L	H
	?		?		H	L
	?		?		H	L
	?		?		H	L

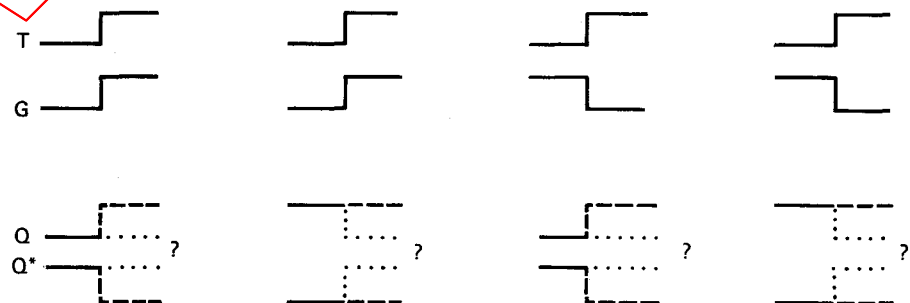
Diagramme des temps:



079/74

FIGURE 5

Diagramme des temps d'un circuit général T_G (suite):



080/74

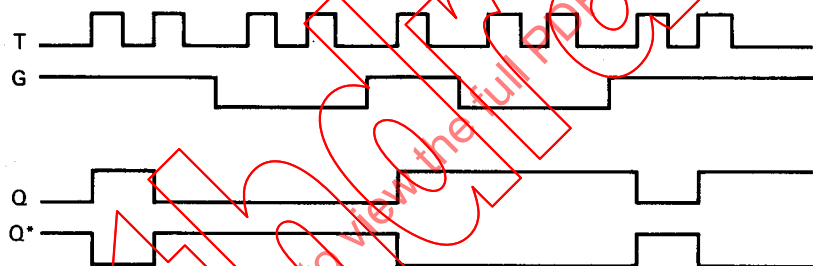
FIGURE 6

Function (sequential) matrices:

G	L		H			
T	L		H	L	Q	Q*
	①	3	?	2	L	H
	1	?	4	②	L	H
	1	③	③	2	L	H
	6	④	④	5	H	L
	6	?	3	⑤	H	L
	⑥	4	?	5	H	L

G	L		H			
T	L		H	L	Q	Q*
	?		?		L	H
	?				L	H
					L	H
					H	L
	?				H	L
			?		H	L

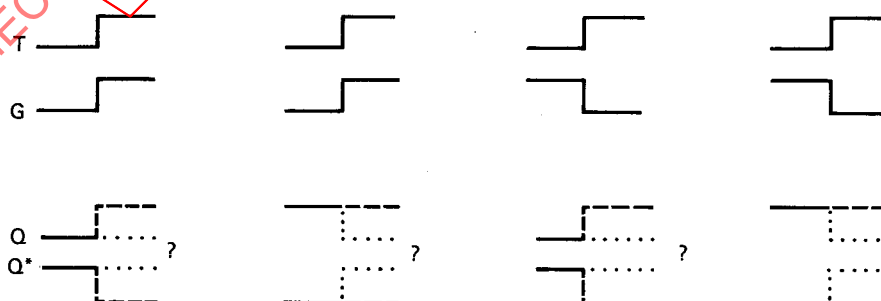
Timing diagram:



079/74

FIGURE 5

Timing diagram of general T_G circuit (continued):



080/74

FIGURE 6

Matrices (séquentielles) de fonctionnement du circuit T_G (cas où T est retardé par rapport à G):

G	L	H	L/H		
T	H			L	H
	2	3	①	L	H
	②	②	1	L	H
	③	③	4	H	L
	3	2	④	H	L

G	L	H	L/H		
T	H			L	H
				L	H
				L	H
				H	L
				H	L

Matrices (séquentielles) de fonctionnement du circuit T_G (cas où G est retardé par rapport à T):

G	L	L/H	H		
T	L	H	L	L	H
	①	①	2	L	H
	1	3	②	L	H
	③	③	4	H	L
	3	1	④	H	L

G	L	L/H	H		
T	L	H	L	L	H
				L	H
				L	H
				H	L
				H	L

2.2.2.6 Circuit JK (fonctionnement par transition)

Circuit dont les deux entrées J et K sont du type à fonctionnement par transition et dont les transitions actives sont celles du niveau L vers le niveau H.

Lorsque la variable appliquée à la borne d'entrée J passe du niveau L au niveau H, elle conduit à la configuration de sortie $(Q, Q^*) = (H, L)$. Le retour de la variable d'entrée sur la borne J vers le niveau L est sans effet.

Lorsque la variable appliquée à la borne d'entrée K passe du niveau L au niveau H, elle conduit à la configuration de sortie $(Q, Q^*) = (L, H)$. Le retour de la variable d'entrée sur la borne K vers le niveau L est sans effet.

Le passage simultané des variables appliquées sur les deux entrées du niveau L au niveau H provoque le changement de la configuration de sortie.

Le retour de la variable appliquée sur l'une ou l'autre ou sur les deux entrées vers le niveau L est sans effet.

Function (sequential) matrices of the T_G circuit with T delayed with respect to G :

G	L	H	L/H		
T	H		L	Q	Q*
	2	3	(1)	L	H
	(2)	(2)	1	L	H
	(3)	(3)	4	H	L
	3	2	(4)	H	L

G	L	H	L/H		
T	H		L	Q	Q*
				L	H
				L	H
				H	L
				H	L

Function (sequential) matrices of the T_G circuit with G delayed with respect to T :

G	L	L/H	H		
T	L	H	L	Q	Q*
	(1)	(1)	2	L	H
	1	3	(2)	L	H
	(3)	(3)	4	H	L
	3	1	(4)	H	L

G	L	L/H	H		
T	L	H	L	Q	Q*
				L	H
				L	H
				H	L
				H	L

2.2.2.6 (Transition-operated) JK circuit

A circuit having two transition-operated input terminals, J and K, for which the input signals are active during the change from the L-level to the H-level.

When the signal applied to the K input terminal changes from the L-level to the H-level, it produces the output configuration (output pattern) $(Q, Q^*) = (H, L)$. The return of the input signal at the J terminal to the L-level produces no action.

When the signal applied to the J input terminal changes from the L-level to the H-level, it produces the output configuration (output pattern) $(Q, Q^*) = (L, H)$. The return of the input signal at the K terminal to the L-level produces no action.

The simultaneous change of both input signals from the L-level to the H-level produces change-over of the output configuration (output pattern).

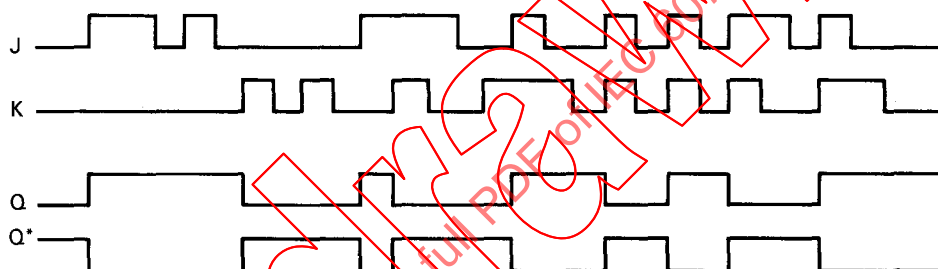
The return of either, or both, input signals to the L-level produces no action.

Matrices (séquentielles) de fonctionnement:

K	L		H		Q	Q*
J	L	H	L	H		
1	4	3	1	L	H	
1	2	2	1	L	H	
4	4	3	3	H	L	
4	4	2	1	H	L	

K	L		H		Q	Q*
J	L	H	L	H		
					L	H
					L	H
					H	L
					H	L

Diagramme des temps:



081/74

FIGURE 7

2.2.2.7 Circuit JK (fonctionnement par transition)

Description analogue à la précédente (2.2.2.6), mais en considérant les transitions de H vers L comme actives.

2.2.2.8 Circuit D_G

Circuit dont l'entrée D et l'entrée G sont du type à fonctionnement en niveau.

Aussi longtemps que l'entrée G est portée au niveau H, la sortie de référence Q occupe le même niveau que l'entrée D.

Au moment de la transition du niveau H vers le niveau L de l'entrée G, la configuration de sortie est maintenue.

Aussi longtemps que le niveau L est maintenu en G, la variable d'entrée appliquée sur D est sans effet.

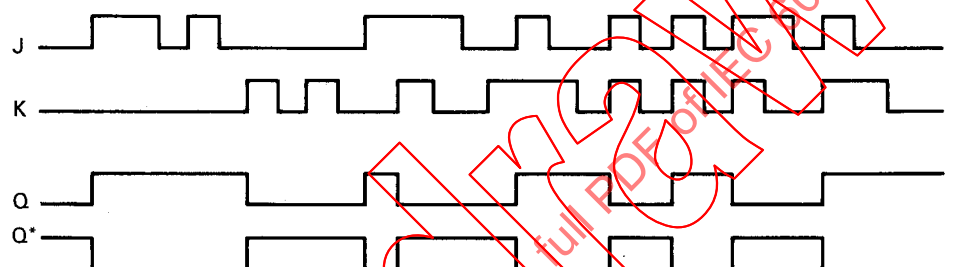
La transition simultanée des variables appliquées sur les deux entrées conduit à une configuration de sortie imprévisible, si la variable appliquée sur G passe du niveau H au niveau L et la variable appliquée sur D passe soit du niveau L au niveau H, soit du niveau H au niveau L.

Function (sequential) matrices:

K	L		H			
J	L	H		L	Q	Q*
	①	4	3	①	L	H
	1	②	②	1	L	H
	4	4	③	③	H	L
	④	④	2	1	H	L

K	L		H			
J	L	H		L	Q	Q*
	⬆	⬆	⬆	⬆	L	H
	⬆	⬆	⬆	⬆	L	H
	⬆	⬆	⬆	⬆	H	L
	⬆	⬆	⬆	⬆	H	L

Timing diagram:



081/74

FIGURE 7

2.2.2.7 (Transition-operated) $\bar{J}\bar{K}$ circuit

Description analogous to 2.2.2.6, but where the input signals are active during the change from H-level to L-level.

2.2.2.8 D_G circuit

A circuit having two level-operated input terminals D and G.

While the G input signal has the H-level, the level at the reference output terminal Q is the same as the level of the D input signal.

When the G input signal changes from the H-level to the L-level, the output configuration (output pattern) is maintained.

While the G input signal has the L-level, the D input signal has no effect.

The simultaneous change of both input signals produces a non-foreseeable output configuration (output pattern) if the G input signal changes from the H-level to the L-level and the D input signal changes either from the L-level to the H-level, or from the H-level to the L-level.

Matrices (séquentielles) de fonctionnement (ces matrices ne s'appliquent que dans le cas où D est retardé par rapport à G):

G	L	H			
D	L/H	H	L	Q	Q*
	①	2	①	L	H
	②	②	1	H	L

G	L	H			
D	L/H	H	L	Q	Q*
				L	H
				H	L

Diagramme des temps:

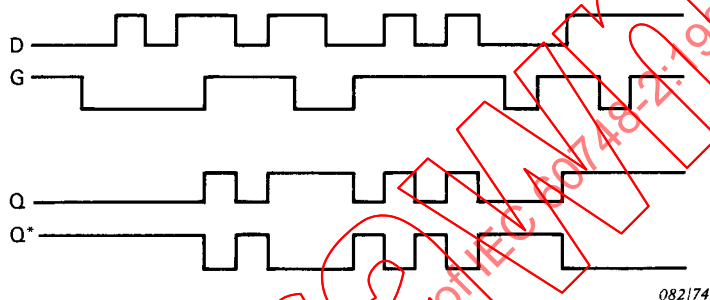


FIGURE 8

2.2.2.9 Circuit $D\bar{G}$

Circuit dont les deux entrées D et $\bar{G}$ sont du type à fonctionnement en niveau.

Aussi longtemps que l'entrée $\bar{G}$ est portée au niveau L, la sortie Q occupe le même niveau que l'entrée D.

Au moment de la transition du niveau L vers le niveau H de l'entrée $\bar{G}$, la configuration de sortie est maintenue.

Aussi longtemps que le niveau H restera maintenu en $\bar{G}$, la variable d'entrée appliquée sur D est sans effet.

La transition simultanée des variables appliquées sur les deux entrées conduit à une configuration de sortie imprévisible, si la variable appliquée sur $\bar{G}$ passe du niveau L au niveau H et la variable appliquée sur D passe soit du niveau L au niveau H, soit du niveau H au niveau L.

Matrices (séquentielles) de fonctionnement (ces matrices ne s'appliquent que dans le cas où D est retardé par rapport à $\bar{G}$):

$\bar{G}$	L		H		
D	L	H	L/H	Q	Q*
	1	2	1	L	H
	1	2	2	H	L

$\bar{G}$	L		H		
D	L	H	L/H	Q	Q*
				L	H
				H	L

Function (sequential) matrices (these matrices apply only for the case where D is delayed with respect to G):

G	L	H			
D	L/H	H	L	Q	Q*
	(1)	2	(1)	L	H
	(2)	(2)	1	H	L

G	L	H			
D	L/H	H	L	Q	Q*
				L	H
				H	L

Timing diagram:

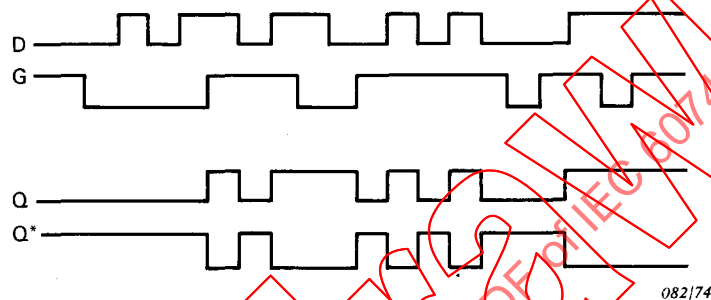


FIGURE 8

2.2.2.9 $D_{\bar{G}}$ circuit

A circuit having two level-operated input terminals, D and $\bar{G}$.

While the $\bar{G}$ input signal has the L-level, the level at the reference output terminal Q is the same as the level of the D input signal.

When the $\bar{G}$ input signal changes from the L-level to the H-level, the output configuration (output pattern) is maintained.

While the $\bar{G}$ input signal has the H-level, the D input signal has no effect.

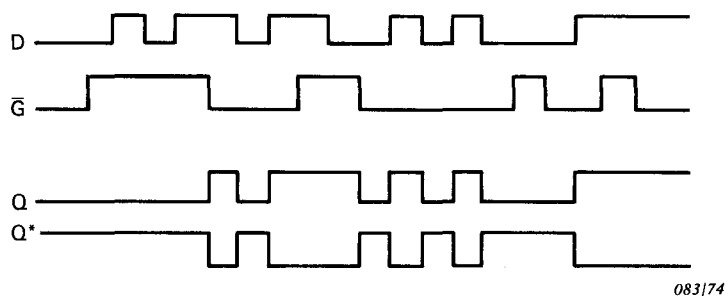
The simultaneous change of both input signals produces a non-foreseeable output configuration (output pattern) if the $\bar{G}$ input signal changes from the L-level to the H-level and the D input signal changes either from the L-level to the H-level, or from the H-level to the L-level.

Function (sequential) matrices (these matrices apply only for the case where D is delayed with respect to $\bar{G}$):

$\bar{G}$	L	H			
D	L	H	L/H	Q	Q*
	(1)	2	(1)	L	H
	1	(2)	(2)	H	L

$\bar{G}$	L	H			
D	L	H	L/H	Q	Q*
				L	H
				H	L

Diagramme des temps:



083/74

FIGURE 9

2.2.2.10 Circuit D_T

Circuit dont l'entrée D est du type à fonctionnement en niveau et l'entrée T du type à fonctionnement par transition.

Une transition, sur l'entrée T, du niveau L vers le niveau H amène la sortie Q de référence à prendre le même niveau que l'entrée D.

Une transition sur l'entrée T du niveau H vers le niveau L conduit à maintenir la configuration de sortie.

Aussi longtemps que l'entrée T est maintenue au niveau H ou au niveau L, la variable appliquée sur D est sans effet.

Matrices (séquentielles) de fonctionnement (les matrices suivantes ne s'appliquent que dans le cas où D est retardé par rapport à T):

T	L	H		
D	L	H	L/H	Q Q*
	1	2	1	L H
	1	2	3	L H
	4	3	3	H L
	4	3	1	H L

T	L	H		
D	L	H	L/H	Q Q*
				L H
				L H
				H L
				H L

Diagramme des temps:

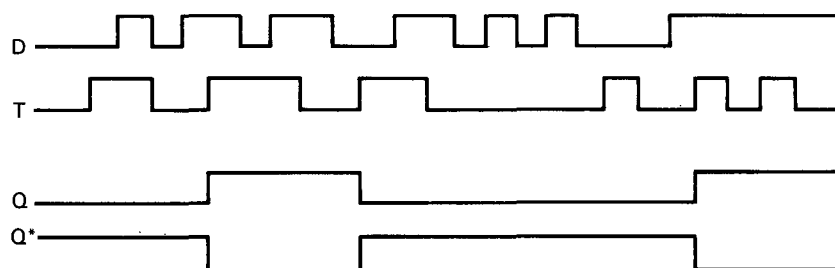
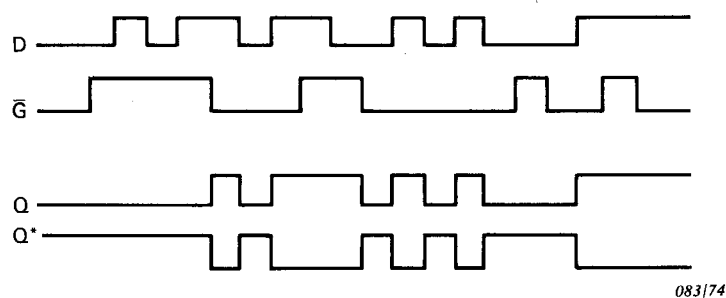


FIGURE 10

084/74

Timing diagram:



083/74

FIGURE 9

2.2.2.10 D_T circuit

A circuit having one level-operated input terminal, D, and one transition-operated input terminal, T.

The change of the T input signal from the L-level to the H-level produces at the reference output terminal Q a level which is the same as the level of the D input signal.

When the T input signal changes from the H-level to the L-level, the output configuration (output pattern) is maintained.

While the T input signal has either the L-level or the H-level, the D input signal has no effect.

Function (sequential) matrices (the following matrices apply only for the case where D is delayed with respect to T):

T	L		H		
D	L	H	L/H	Q	Q*
	1	2	3	L	H
1	1	2	3	L	H
4	3	3	3	H	L
4	3	3	1	H	L

T	L		H		
D	L	H	L/H	Q	Q*
				L	H
1				L	H
4				H	L
4				H	L

Timing diagram:

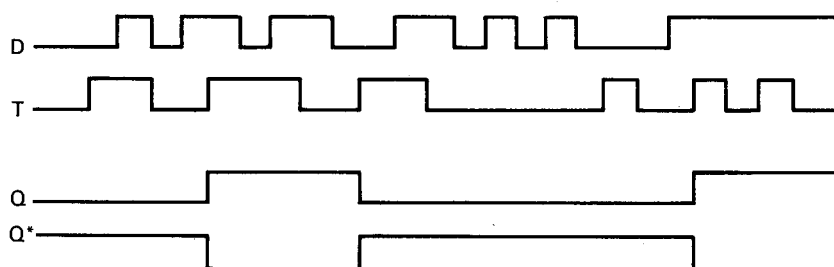


FIGURE 10

084/74

2.2.2.11 Circuit $D\bar{T}$

Circuit dont l'entrée D est du type à fonctionnement en niveau et l'entrée $\bar{T}$ du type à fonctionnement par transition.

Une transition, sur l'entrée $\bar{T}$, du niveau H vers le niveau L amène la sortie de référence Q à prendre le même niveau que l'entrée D.

Une transition, sur l'entrée $\bar{T}$, du niveau L vers le niveau H conduit au maintien de la configuration de sortie.

Aussi longtemps que l'entrée $\bar{T}$ est maintenue au niveau L ou au niveau H, la variable appliquée sur D est sans effet.

Matrices (séquentielles) de fonctionnement (les matrices suivantes s'appliquent dans le cas où D est retardé par rapport à $\bar{T}$):

$\bar{T}$	L	H			
D	L/H	H	L	Q	Q*
	(1)	2	(1)	L	H
	3	(2)	1	L	H
	(3)	(3)	4	H	L
	1	3	(4)	H	L

$\bar{T}$	L	H			
D	L/H	H	L	Q	Q*

Diagramme des temps:

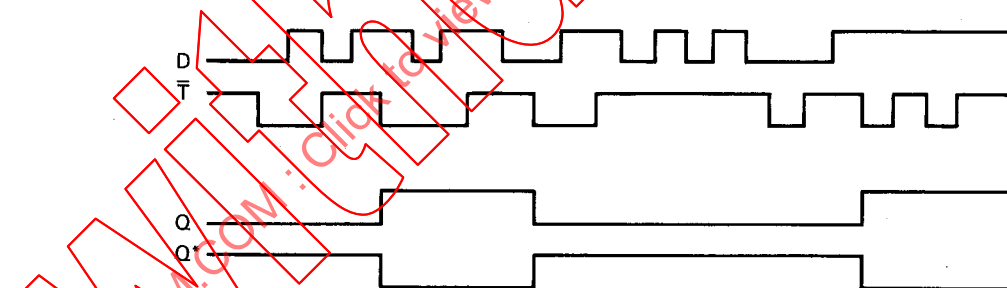


FIGURE 11

085/74

2.2.2.12 Circuit $R_G S_G (L)$

Circuit dont les trois entrées R, S et G sont du type à fonctionnement en niveau et pour lesquelles le niveau actif est le niveau H.

Aussi longtemps que l'entrée G est maintenue au niveau H, le circuit fonctionne comme un circuit RS (L).

La transition du niveau H vers le niveau L, sur l'entrée G, conduit à maintenir la configuration de sortie pour autant qu'elle ne soit pas pseudo-stable.

Si la configuration de sortie est pseudo-stable, c'est-à-dire si $(Q, Q^*) = (L, L)$, le passage de la variable appliquée sur G du niveau H vers le niveau L conduit à une configuration de sortie imprévisible.

2.2.2.11 $D\bar{T}$ circuit

A circuit having one level-operated input terminal, D, and one transition-operated input terminal, $\bar{T}$.

The change of the $\bar{T}$ input signal from the H-level to the L-level produces at the reference output terminal Q a level which is the same as the level of the D input signal.

When the $\bar{T}$ input signal changes from the L-level to the H-level, the output configuration (output pattern) is maintained.

While the $\bar{T}$ input signal has either the H-level or the L-level, the D input signal has no effect.

Function (sequential) matrices (the following matrices apply for the case where D is delayed with respect to $\bar{T}$):

$\bar{T}$	L	H			
D	L/H	H	L	Q	Q*
	①	2	①	L	H
	3	②	1	L	H
	③	③	4	H	L
	1	3	④	H	L

$\bar{T}$	L	H			
D	L/H	H	L	Q	Q*

Timing diagram:



FIGURE 11

085/74

2.2.2.12 $R_G S_G(L)$ circuit

A circuit having three level-operated input terminals R, S and G for which H is the active level.

While the G input signal has the H-level, the circuit functions as a RS (L) circuit.

When the G input signal changes from the H-level to the L-level, the output configuration (output pattern) is maintained, provided that it is not pseudo-stable.

When the output configuration (output pattern) is pseudo-stable, i. e. $(Q, Q^*) = (L, L)$, the change of the G input signal from the H-level to the L-level produces a non-foreseeable output configuration (output pattern).

Aussi longtemps que le niveau L est maintenu sur l'entrée G, la variable appliquée sur R et S est sans effet.

Matrices (séquentielles) de fonctionnement:

G	L		H					
R	L		H				L	
S	L	H	L	H	L		Q	Q*
(1)	2	2	(1)	(1)	5	4	(1)	L H
1	(2)	(2)	1	1	5	4	?	L H
4	4	(3)	(3)	1	5	4	?	H L
(4)	(4)	3	3	1	5	(4)	(4)	H L
?	?	?	?	1	(5)	4	?	L L

G	L		H					
R	L		H				L	
S	L	H	L	H	L		Q	Q*
							L	H
							?	L H
							?	H L
							H	L
?	?	?	?			?	L	L

Diagramme des temps:

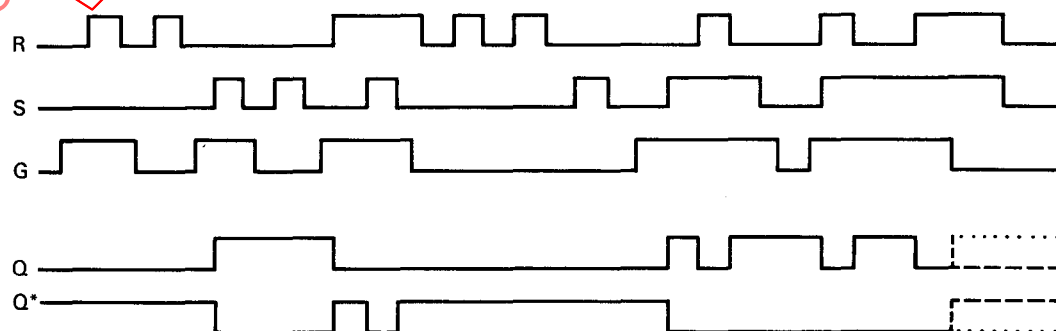


FIGURE 12

While the G input signal has the L-level, the R and S input signals have no effect.

Function (sequential) matrices:

G	L				H				
R	L		H			L			
S	L	H		L	H		L	Q	Q*
	①	2	2	①	①	5	4	①	L H
	1	②	②	1	1	5	4	?	L H
	4	4	③	③	1	5	4	?	H L
	④	④	3	3	1	5	④	④	H L
	?	?	?	?	1	⑤	4	?	L L

G	L				H				
R	L		H			L			
S	L	H		L	H		L	Q	Q*
								L	H
								?	L H
								?	H L
								H	L
	?	?	?	?			?	L	L

Timing diagram:

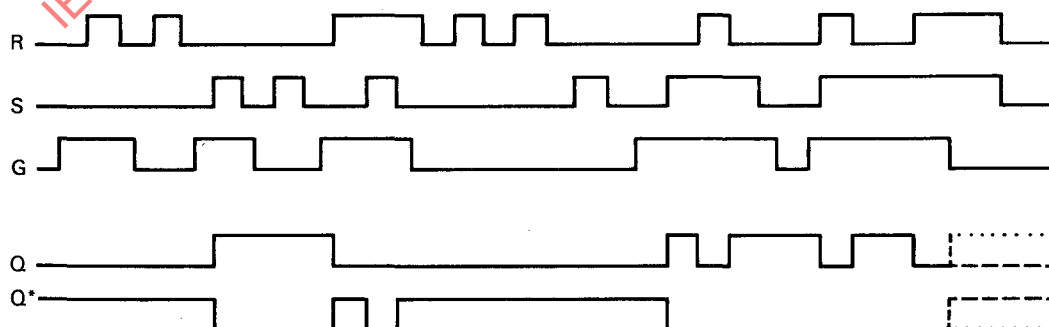


FIGURE 12

2.2.2.13 Circuits $R_G S_G (L)$, $\overline{R}_G \overline{S}_G (H)$ et $\overline{R}_G \overline{S}_G (H)$

Descriptions analogues à la précédente (2.2.2.12).

2.2.2.14 Circuit $J_T K_T$

Circuit dont les entrées J et K sont du type à fonctionnement en niveau et l'entrée T du type à fonctionnement par transition.

Lorsque la variable appliquée sur l'entrée T passe du niveau L vers le niveau H, les niveaux appliqués sur les entrées J et K conduisent aux configurations de sortie suivantes:

Pour la configuration d'entrée (J, K) = (L, H),
la configuration de sortie (Q, Q*) = (L, H).

Pour la configuration d'entrée (J, K) = (H, L),
la configuration de sortie (Q, Q*) = (H, L).

Pour la configuration d'entrée (J, K) = (H, H),
changement de la configuration de sortie.

Pour la configuration d'entrée (J, K) = (L, L),
pas de changement de la configuration de sortie.

Le retour de la variable sur l'entrée T du niveau H vers le niveau L est sans effet. Si la variable appliquée sur l'entrée T est soit au niveau H, soit au niveau L, les variables appliquées sur les entrées J et K sont sans effet.

Matrices (séquentielles) de fonctionnement (ces matrices ne s'appliquent qu'au cas où J et K sont retardés par rapport à T):

T	L		H			
K	L	H	L	H		
J	L	H	L	H	Q	Q*
	1	2	2	1	1	L H
	1	2	2	1	4	L H
	4	4	3	3	1	H L
	4	4	3	3	4	H L

T	L		H			
K	L	H	L	H		
J	L	H	L	H	Q	Q*
	1	2	2	1	1	L H
	1	2	2	1	4	L H
	4	4	3	3	1	H L
	4	4	3	3	4	H L

2.2.2.13 $R_G\overline{S}_G$ (L), $\overline{R}_G\overline{S}_G$ (H) and $\overline{R}_G\overline{S}_G$ (H) circuits

Descriptions analogous to 2.2.2.12.

2.2.2.14 J_TK_T circuit

A circuit having two level-operated input terminals, J and K, and one transition-operated input terminal, T.

When the T input signal changes from the L-level to the H-level, an output configuration (output pattern) corresponding to the levels of the J and K input signals is produced as follows:

For the input configuration (input pattern) (J, K) = (L, H),
the output configuration (output pattern) (Q, Q*) = (L, H).

For the input configuration (input pattern) (J, K) = (H, L),
the output configuration (output pattern) (Q, Q*) = (H, L).

For the input configuration (input pattern) (J, K) = (H, H),
change of the output configuration (output pattern).

For the input configuration (input pattern) (J, K) = (L, L),
the output configuration (output pattern) is maintained.

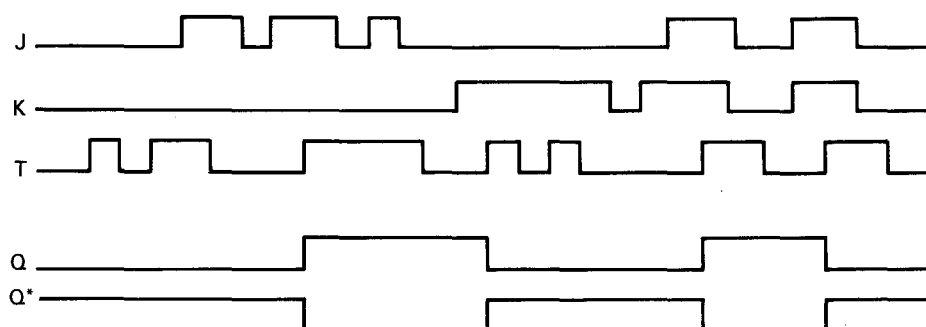
The return for the T input signal from the H-level to the L-level has no effect. When the T input signal has either the H-level or the L-level, the J and K input signals have no effect.

Function (sequential) matrices (the following matrices apply only for the case where J and K are delayed with respect to T):

T	L		H			
K	L		H		L/H	
J	L	H	L	H	Q	Q*
	1	2	2	1	L	H
	1	2	2	1	L	H
	4	4	3	3	H	L
	4	4	3	3	H	L

T	L		H			
K	L		H		L/H	
J	L	H	L	H	Q	Q*
	↓	↓	↓	↓	L	H
	↓	↓	↓	↓	L	H
	↓	↓	↓	↓	H	L
	↓	↓	↓	↓	H	L

Diagramme des temps:



087/74

FIGURE 13

Note. — Les définitions pour les autres classes de circuits $J_T K_T$ sont encore à l'étude.

2.2.2.15 Circuits $J_T K_T$, $\bar{J}_T \bar{K}_T$ et $\bar{J}_T \bar{K}_T$

Descriptions analogues à la précédente (2.2.2.14).

2.2.2.16 Circuit $\bar{R}\bar{S}$ (H) $J_T K_T$

Matrices (séquentielles) de fonctionnement:

$\bar{R}\bar{S}$			JK			T			
$\bar{S}$	L	H		H	H		H		
$\bar{R}$	L	H	L		H		H		
T		X			H		L		
J		X		H		L	X		
K		X	L	H	L	X			
	3	4	①	2	2	①	①	L	H
	3	4	1	②	②	1	1	L	H
	③	4	1	?	?	?	?	H	H
	3	④	1	④	5	5	④	H	L
	3	4	1	4	⑤	⑤	4	H	L

055/79

$\bar{R}\bar{S}$			JK			T			
$\bar{S}$	L	H		H	H		H		
$\bar{R}$	L	H	L		H		H		
T		X			H		L		
J		X		H		L	X		
K		X	L	H	L	X			
								L	H
								L	H
								H	H
								H	L
								H	L

056/79

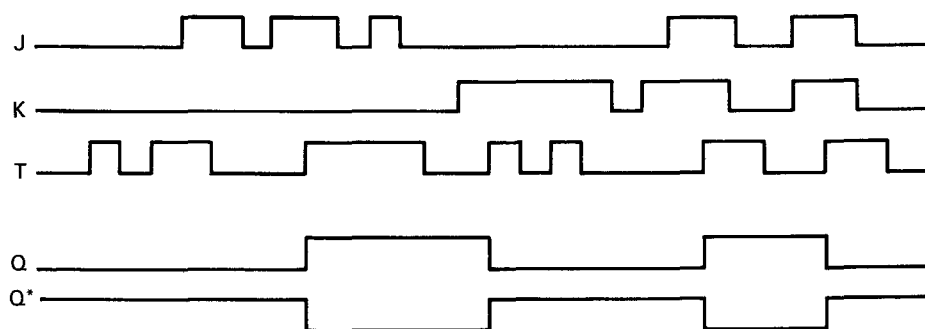
3. Terminologie pour les mémoires à circuit intégré

3.1 Termes généraux

3.1.1 Cellule-mémoire

Plus petite subdivision d'une mémoire dans laquelle un élément d'information a été ou peut être introduit, dans laquelle il est ou peut être conservé, et de laquelle il peut être extrait.

Timing diagram:



087/74

FIGURE 13

Note. — Definitions for the other classes of $J_T K_T$ circuits are still under consideration.

2.2.2.15 $J_T K_T$, $\bar{J}_T \bar{K}_T$ and $\bar{J}_T \bar{K}_T$ circuits

Descriptions analogous to 2.2.2.14.

2.2.2.16 $\bar{R}\bar{S}$ (H) $J_T K_T$ circuit

Function (sequential) matrices:

$\bar{R}\bar{S}$			JK			T		
$\bar{S}$	L	H	H			H	Q	Q*
$\bar{R}$	L	H	L	H			L	H
T	X		H			L	L	L
J	X		H			L	X	X
K	X		L	H	L	X	Q	Q*
3	4	①	2	2	①	①	L	H
3	4	1	②	②	1	1	L	H
③	4	1	2	2	?	?	H	H
3	④	1	④	5	5	④	H	L
3	4	1	4	⑤	⑤	4	H	L

055/79

$\bar{R}\bar{S}$			JK			T		
$\bar{S}$	L	H	H			H	Q	Q*
$\bar{R}$	L	H	L	H			L	H
T	X		H			L	L	L
J	X		H			L	X	X
K	X		L	H	L	X	Q	Q*
3	4	①	2	2	①	①	L	H
3	4	1	②	②	1	1	L	H
③	4	1	2	2	?	?	H	H
3	④	1	④	5	5	④	H	L
3	4	1	4	⑤	⑤	4	H	L

056/79

3. Terminology for integrated circuit memories

3.1 General terms

3.1.1 Memory cell (or memory element)

The smallest subdivision of a memory into which a unit of data has been or can be entered, in which it is or can be stored, and from which it can be retrieved.

3.1.2 *Mémoire à circuit intégré*

Circuit intégré constitué par un assemblage de cellules-mémoire et comprenant généralement des circuits associés: sélecteur d'adresse, amplificateurs, etc.

3.1.3 *Zone de stockage de l'information*

Subdivision d'une mémoire comprenant une ou plusieurs cellules-mémoire, qui est la plus petite partie sélectionnable de la mémoire.

Note. — Le contenu d'une zone de stockage de l'information s'appelle généralement «mot».

3.1.4 *Adresse*

Groupelement de bits qui identifie une zone particulière de stockage de l'information ou:

signaux électriques appropriés appliqués aux entrées pour avoir accès à cette zone de stockage.

3.1.5 *Lecture destructive*

Procédé de lecture qui provoque la perte de l'information stockée dans la zone de stockage lue.

3.1.6 *Page (bloc)*

Ensemble continu d'adresses d'une mémoire.

Note. — Le nombre des adresses contenues dans cet ensemble est généralement égal à une puissance de 2ⁿ.

3.1.7 *Effacement*

Suppression des informations contenues dans une mémoire.

3.2 *Termes généraux relatifs à la fonction et à l'organisation d'une mémoire*

3.2.1 *Organisation du stockage de l'information*

3.2.1.1 *Organisation bit par bit*

Disposition dans laquelle les zones de stockage sont constituées chacune par une cellule-mémoire.

3.2.1.2 *Organisation mot par mot*

Disposition dans laquelle les zones de stockage sont constituées chacune par un nombre défini de cellules-mémoire qui forment un mot.

3.2.1.3 *Organisation page par page (bloc par bloc)*

Disposition dans laquelle les zones de stockage forment une page (un bloc).

Note. — Les zones de stockage d'une page (ou d'un bloc) peuvent contenir chacune un nombre différent de cellules-mémoire.

3.1.2 *Integrated circuit memory*

An integrated circuit consisting of memory cells (elements) and usually including associated circuits such as those for address selection, amplifiers, etc.

3.1.3 *Storage zone of data*

A subdivision of the memory, including one or several memory cells, that is the smallest part of the memory that can be selected.

Note. — The content of a storage zone of data is usually called a "word".

3.1.4 *Address*

A group of bits that identifies a particular storage zone of data

or:

the appropriate electrical signals applied to the inputs to access this storage zone.

3.1.5 *Destructive readout*

A reading process that causes the loss of stored information from the storage zone that has been read.

3.1.6 *Block*

A continuous range of memory addresses.

Note. — The number of addresses included in the range is frequently equal to 2^n .

3.1.7 *Erase*

To remove information from a memory.

3.2 *General terms relating to memory function and organization*

3.2.1 *Organization of information storage*

3.2.1.1 *Bit-oriented organization*

An arrangement in which the storage zones each consist of one memory cell.

3.2.1.2 *Word-oriented organization*

An arrangement in which the storage zones each consist of a defined number of memory cells that form a word.

3.2.1.3 *Block-oriented organization*

An arrangement in which the storage zones form a block.

Note. — The storage zones in a block may each contain a different number of memory cells.

3.2.2 *Présentation de l'information*

3.2.2.1 *Présentation parallèle de l'information*

Transmission simultanée de plusieurs bits de données sur des canaux ou des lignes de bus séparés.

3.2.2.2 *Présentation série de l'information*

Transmission successive de plusieurs bits de données sur un seul canal ou sur une seule ligne de bus.

3.2.3 *Mode d'adressage*

3.2.3.1 *Adressage parallèle*

Sélection d'une zone de stockage par la présentation simultanée de tous les bits de l'adresse.

3.2.3.2 *Adressage série*

Sélection d'une zone de stockage par la présentation successive de tous les bits de l'adresse.

3.2.3.3 *Adressage multiplexé, adressage série-parallèle*

Sélection d'une zone de stockage par la présentation de plusieurs groupes de bits qui constituent l'adresse, les bits de chaque groupe étant présentés en parallèle et les groupes étant eux-mêmes présentés en série.

3.3 *Types de mémoires*

3.3.1 *Mémoire à lecture seule*

Mémoire dont le contenu est destiné à être lu seulement et non à être modifié en fonctionnement normal.

Note. — Sauf indication contraire, le terme «mémoire à lecture seule» implique que l'information contenue est déterminée par la structure de la mémoire et est inaltérable.

3.3.1.1 *Mémoire à lecture seule à contenu fixé par construction*

Mémoire à lecture seule dont le contenu de chaque cellule est déterminé lors de la fabrication et est ensuite inaltérable.

a) *Mémoire à lecture seule à contenu programmable par masque*

Mémoire à lecture seule dont le contenu de chaque cellule est déterminé lors de la fabrication par l'utilisation d'un masque.

3.3.1.2 *Mémoire à lecture seule à contenu programmable par l'utilisateur*

Mémoire à lecture seule dont le contenu de chaque cellule peut être modifié après fabrication.

a) *Mémoire à lecture seule à contenu programmable*

Mémoire à lecture seule dont le contenu de chaque cellule ne peut être modifié qu'une fois.

3.2.2 *Presentation of information*

3.2.2.1 *Parallel presentation of information*

The simultaneous transmission of several bits of data on separate channels or bus lines.

3.2.2.2 *Serial presentation of information*

The transmission of several bits of data in succession on a single channel or bus line.

3.2.3 *Mode of addressing*

3.2.3.1 *Parallel addressing*

The selection of a storage zone by the simultaneous presentation of each bit of the address.

3.2.3.2 *Serial addressing*

The selection of a storage zone by the presentation in succession of each bit of the address.

3.2.3.3 *Multiplexed addressing, serial-parallel addressing*

The selection of a storage zone by the presentation of several groups of bits that together constitute the address, the bits of each group being presented in parallel and the groups themselves being presented in series.

3.3 *Types of memories*

3.3.1 *Read-only memory (ROM)*

A memory in which the contents are intended to be read only and not to be altered during normal operation.

Note. — Unless otherwise qualified, the term "read-only memory" implies that the data content is determined by its structure and is unalterable.

3.3.1.1 *Fixed-programmed read-only memory*

A read-only memory in which the data content of each cell (element) is determined during manufacture, and is thereafter unalterable.

a) Mask-programmed read-only memory

A fixed-programmed read-only memory in which the data content of each cell (element) is determined during manufacture by the use of a mask.

3.3.1.2 *Field-programmable read-only memory*

A read-only memory that, after being manufactured, can have the data content of each memory cell (element) altered.

a) Programmable read-only memory (PROM)

A field-programmable read-only memory that can have the data content of each memory cell (element) altered once only.

b) Mémoire à lecture seule à contenu reprogrammable

Mémoire à lecture seule dont le contenu de chaque cellule peut être modifié plus d'une fois.

3.3.2 Mémoire à écriture-lecture

Mémoire dont chaque cellule peut être choisie en appliquant des signaux d'entrée électriques appropriés et dans laquelle l'information conservée peut être soit:

- a) lue aux bornes de sortie appropriées, soit*
- b) modifiée en réponse à d'autres signaux électriques d'entrée appropriés.*

3.3.3 Mémoire à accès aléatoire

Mémoire qui permet l'accès à n'importe quel emplacement de ses adresses quel que soit l'ordre désiré.

Note. — Usuellement, ce terme est appliqué à une mémoire à écriture-lecture mais pourrait aussi s'appliquer à une mémoire à lecture seule.

3.3.4 Mémoire à écriture-lecture à fonctionnement statique

Mémoire dans laquelle l'information est conservée en l'absence de signaux de commande.

- Notes 1.* — Les mots «à écriture-lecture» peuvent être omis du terme lorsqu'il n'y a pas de risque de confusion.
2. — Une mémoire à fonctionnement statique peut utiliser des circuits d'accès ou de lecture dynamiques.

3.3.5 Mémoire à écriture-lecture à fonctionnement dynamique

Mémoire dont les cellules exigent l'application répétitive de signaux de commande, afin de conserver l'information.

- Notes 1.* — Les mots «à écriture-lecture» peuvent être omis du terme lorsqu'il n'y a pas de risque de confusion.
2. — Une telle application répétitive de signaux de commande est normalement appelée «opération de rafraîchissement».
3. — Une mémoire à fonctionnement dynamique peut utiliser des circuits d'accès ou de lecture statiques.
4. — Cette définition s'applique que la génération des signaux de commande s'effectue à l'extérieur ou à l'intérieur du circuit intégré.

3.3.6 Mémoire volatile

Mémoire dont l'information contenue est détruite lorsque les tensions d'alimentations ne lui sont plus appliquées.

3.3.7 Mémoire à accès séquentiel

Mémoire dans laquelle les zones de stockage ne peuvent être atteintes que dans un ordre prédéterminé.

3.3.8 Mémoire adressable par le contenu (mémoire associative)

Mémoire qui délivre l'ensemble de l'information d'une zone de stockage lorsqu'il y a égalité de comparaison entre une partie de l'information et la donnée présentée à l'entrée de la mémoire.

Note. — Si l'égalité de comparaison apparaît dans plus d'une zone de stockage, l'information lue est habituellement celle qui est contenue dans la zone de stockage d'adresse la plus faible.

b) Reprogrammable read-only memory

A field-programmable read-only memory that can have the data content of each memory cell (element) altered more than once.

3.3.2 Read/write memory

A memory in which each cell (element) may be selected by applying appropriate electrical input signals, and in which the stored data may be either:

- a) sensed at appropriate output terminals, or*
- b) changed in response to other appropriate electrical input signals.*

3.3.3 Random-access memory (RAM)

A memory that permits access to any of its address locations in any desired sequence.

Note. — By common usage, this term usually denotes a “read/write” memory; but it could also apply to a “read-only” memory.

3.3.4 Static read/write memory

A memory in which the data content is retained in the absence of control signals.

- Notes*
- 1.* — The words “read/write” may be omitted from the term when no misunderstanding may occur.
 - 2.* — A static memory may use dynamic addressing and/or sensing circuits.

3.3.5 Dynamic read/write memory

A memory in which the cells (elements) require the repetitive application of control signals in order to retain the data stored.

- Notes*
- 1.* — The words “read/write” may be omitted from the term when no misunderstanding may occur.
 - 2.* — Such repetitive application of the control signals is normally called a refresh operation.
 - 3.* — A dynamic memory may use static addressing and/or sensing circuits.
 - 4.* — This definition applies whether or not the control signals are generated inside or outside the memory.

3.3.6 Volatile memory

A memory in which the data content is lost when power is no longer supplied to it.

3.3.7 Serial access memory

A memory in which storage zones can only be accessed in a predetermined sequence.

3.3.8 Content addressable memory (CAM) (associative memory)

A memory that responds with all the data in a storage zone if a portion of that data matches the data used for addressing the memory.

Note. — If a match could occur in more than one storage zone, then usually the data read out will be that contained in the storage zone having the lowest address value.

3.4 Termes relatifs aux valeurs limites et aux caractéristiques

3.4.1 Cycle

Succession d'opérations nécessaires pour réaliser une des fonctions de la mémoire.

En général, on peut distinguer quatre cycles possibles, à savoir:

- a) Lecture.
- b) Ecriture.
- c) Lecture-écriture.
- d) Ecriture-lecture.

3.4.2 Temps de cycle (voir notes 1, 2 et 3)

Intervalle de temps nécessaire pour réaliser un cycle, c'est-à-dire: intervalle de temps entre le début d'un cycle et la fin de ce cycle.

a) Temps de cycle de lecture

Intervalle de temps entre le début et la fin d'un cycle de lecture.

b) Temps de cycle d'écriture

Intervalle de temps entre le début et la fin d'un cycle d'écriture.

c) Temps de cycle de lecture-écriture

Intervalle de temps entre le début et la fin d'un cycle, pendant lequel s'effectuent la lecture de la mémoire et l'introduction de nouvelles données.

Note. — Un autre titre quelquefois utilisé est: «temps de cycle de lecture-modification-écriture»; cet usage est déconseillé, car «lecture-modification-écriture» est aussi utilisé dans un autre sens, impliquant que des données sont extraites, traitées et ensuite réintroduites dans la mémoire.

d) Temps de cycle d'écriture-lecture

Intervalle de temps entre le début et la fin d'un cycle, pendant lequel s'effectuent l'introduction de données puis la lecture de la mémoire.

Notes 1. — Ces temps sont les intervalles de temps entre deux impulsions et peuvent être insuffisants pour l'accomplissement des opérations dans la mémoire. Dans chaque cas, on spécifie une valeur minimale qui est le temps le plus court pendant lequel la mémoire accomplit sa (ses) fonction(s) correspondante(s) correctement.

2. — La «fin d'un cycle» doit être considérée comme l'instant à partir duquel un autre cycle peut débiter pour un fonctionnement correct de la mémoire.

3. — Un cycle est toujours réalisé pour une adresse déterminée.

3.4.3 Temps de recouvrement d'écriture (voir note 1 au paragraphe 3.4.2)

Intervalle de temps entre la fin d'une impulsion d'écriture et le début d'un nouveau cycle, cet intervalle de temps étant laissé à la mémoire pour qu'elle recouvre après une opération d'écriture et qu'elle fonctionne correctement.

3.4.4 Temps de recouvrement de lecture

Intervalle de temps nécessaire pour commuter la mémoire d'un mode d'écriture à un mode de lecture et obtenir des signaux valides des données à la sortie.

3.4 Terms related to ratings and characteristics

3.4.1 Cycle

A sequence of operations necessary to perform one of the functions of the memory.

In general, four possible cycles can be identified, i.e.:

- a) Read.
- b) Write.
- c) Read-write.
- d) Write-read.

3.4.2 Cycle time (see Notes 1, 2 and 3)

The time interval necessary to perform one cycle, i.e. the time interval between the start of a cycle and the end of that cycle.

a) Read cycle time

The time interval between the start and the end of a read cycle.

b) Write cycle time

The time interval between the start and the end of a write cycle.

c) Read-write cycle time

The time interval between the start of a cycle in which the memory is read and new data are entered, and the end of that cycle.

Note. — The term “read-modify-write cycle” is sometimes used as an alternative title for “read-write cycle”; however, this usage is deprecated because “read-modify-write” is also used in another context to indicate that data are extracted, processed, and then re-entered into the memory.

d) Write-read cycle time

The time interval between the start of a cycle in which data are entered and the memory is then read, and the end of that cycle.

Notes 1. — These times are the actual time intervals between two pulses, and may be insufficient for the completion of operations within the memory. In each case, a minimum value is specified that is the shortest time in which the memory will perform its corresponding function(s) correctly.

2. — The “end of a cycle” is to be understood as the earliest instant at which any subsequent cycle can start with correct functioning of the memory.

3. — A cycle is always performed for a constant address.

3.4.3 Write recovery time (see Note 1 to Sub-clause 3.4.2)

The time interval between the termination of a write pulse and the initiation of a new cycle, this time interval being provided for the memory to recover from a write operation and operate correctly.

3.4.4 Sense recovery time

The time interval needed to switch a memory from a write mode to a read mode, and to obtain valid data signals at the output.

3.4.5 Temps d'accès

Intervalle de temps entre l'application d'une impulsion déterminée à une entrée, les autres entrées étant déjà dans un état requis, et le moment où il est possible d'avoir des signaux de données valides à une sortie.

Le temps d'accès ne peut être défini qu'en se référant au signal de sortie (opération de lecture).

Note. — Exemples de différents temps d'accès:

Temps d'accès d'adresse: temps entre l'entrée d'une adresse et la sortie des données.

Temps d'accès de validation: temps entre l'entrée de la validation et la sortie des données.

Temps d'accès de lecture: temps entre l'entrée de la lecture et la sortie des données.

En général, il y a deux valeurs pour chaque temps d'accès, suivant que la sortie va vers le niveau haut ou vers le niveau bas.

3.4.6 Intervalle de temps de rafraîchissement

Intervalle de temps entre les débuts de signaux successifs destinés à ramener le niveau d'une cellule-mémoire dynamique à son niveau d'origine.

Note. — L'intervalle de temps de rafraîchissement est le temps effectif entre deux opérations de rafraîchissement; il peut être insuffisant pour protéger l'information stockée. Une valeur maximale est spécifiée qui correspond à l'intervalle le plus long pour lequel un fonctionnement correct est garanti.

3.4.7 Temps de préconditionnement (d'une mémoire à fonctionnement dynamique)

Intervalle de temps entre des transitions spécifiées à une ou plusieurs entrées, et qui permet aux nœuds internes du circuit de se charger ou de se décharger à des niveaux de tension prédéterminés avant le début d'un nouveau cycle.

Note. — On définit ainsi l'intervalle de temps de préconditionnement réel, qui est déterminé par le système dans lequel fonctionne le dispositif. Une valeur minimale est spécifiée qui correspond à l'intervalle de temps le plus court pour lequel on garantit un fonctionnement correct du dispositif.

3.5 Formes d'onde typiques pour les mémoires à écriture-lecture à fonctionnement statique

Note:

On indique quatre diagrammes pour illustrer les définitions de «temps de cycle» (données au paragraphe 3.4.2) pour les quatre modes de fonctionnement. Ces diagrammes ne sont que des exemples; ils s'appliquent à des mémoires à fonctionnement statique et ne représentent pas forcément un type de mémoire particulier.

Ils ne sont pas destinés à indiquer les points précis sur les formes d'onde entre lesquels les différents temps sont mesurés. Ces points doivent être précisés dans la spécification d'un circuit intégré particulier.

Les diagrammes comprennent également quelques termes supplémentaires afin d'en faciliter la compréhension, bien qu'il n'existe actuellement pas de titres formels ou de définitions pour ces termes supplémentaires.

3.4.5 Access time

The time interval between the application of a specific input pulse, other necessary inputs being already present, and the availability of valid data signals at an output.

The access time can only be defined with reference to an output signal (read operation).

Note. — Examples of various access times are:

Address access time: time between address input and data output.

Enable access time: time between enable input and data output.

Read access time: time between read input and data output.

In general, there are two values for each access time, depending on whether the output goes to the high level or to the low level.

3.4.6 Refresh time interval

The time interval between the beginnings of successive signals that are intended to restore the level in a dynamic memory cell to its original level.

Note. — The refresh time interval is the actual time between two refresh operations and may be insufficient to protect the stored data. A maximum value is specified that is the longest interval for which correct operation is guaranteed.

3.4.7 Precharge time (of a dynamic memory)

The time interval between specified transitions at one or more inputs that allows the internal nodes of the circuit to be charged or discharged to predetermined voltage levels prior to the start of a new cycle.

Note. — This defines the actual precharge time interval, which is determined by the system in which the device is to operate. A minimum value is specified that is the shortest interval for which correct operation of the device is guaranteed.

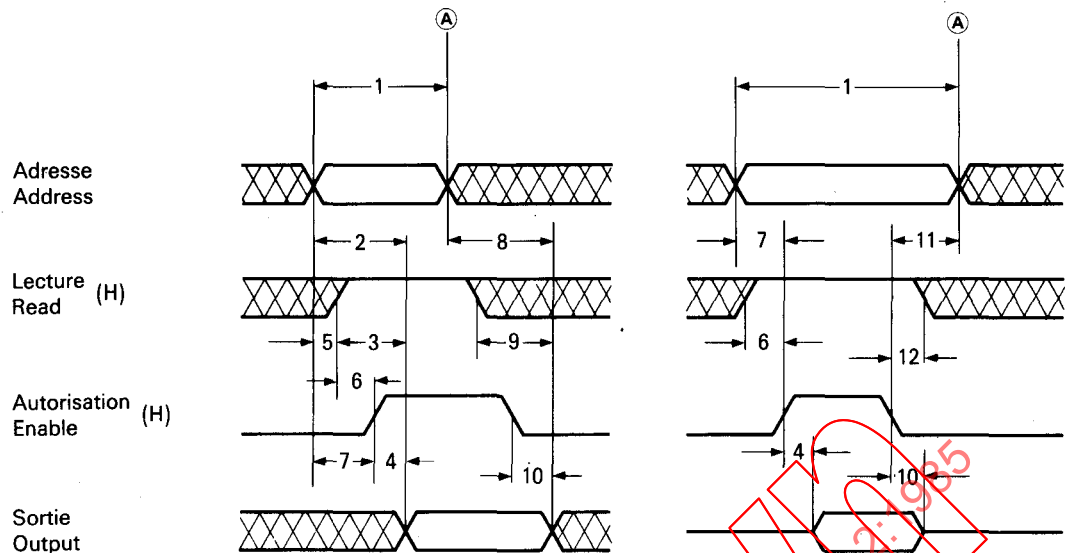
3.5 Typical waveforms for static read/write memories

Note:

Four waveform diagrams are shown to illustrate the definitions of "cycle times" (given in Sub-clause 3.4.2) for four modes of operation. These diagrams are examples only; they are for static memories, and do not necessarily represent any particular memory device.

They are not intended to indicate the precise points on the waveforms between which the various times are measured. These points shall be part of the specification for a particular integrated circuit.

The diagrams also include some additional terms to assist understanding, though no formal titles or definitions exist for those additional terms at present.



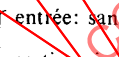
410/82

Formes d'onde typiques

- 1 = temps de cycle de lecture
- 2 = temps d'accès d'adresse
- 3 = temps d'accès de lecture
- 4 = temps d'accès d'autorisation
- 5 = temps de préparation adresse/lecture
- 6 = temps de préparation lecture/autorisation
- 7 = temps de préparation adresse/autorisation
- 8 = temps de validation en sortie après adresse
- 9 = temps de validation en sortie après lecture
- 10 = temps de validation en sortie après autorisation
- 11 = temps de maintien adresse/autorisation
- 12 = temps de maintien lecture/autorisation

Le point A correspond au plus proche instant à partir duquel le cycle suivant peut débiter.

Les niveaux actifs pour les entrées de lecture et d'autorisation sont indiqués par les lettres entre parenthèses (H ou L).

 entrée: sans conséquence
 sortie: niveau inconnu ou variant d'un état à l'autre.

Typical waveforms

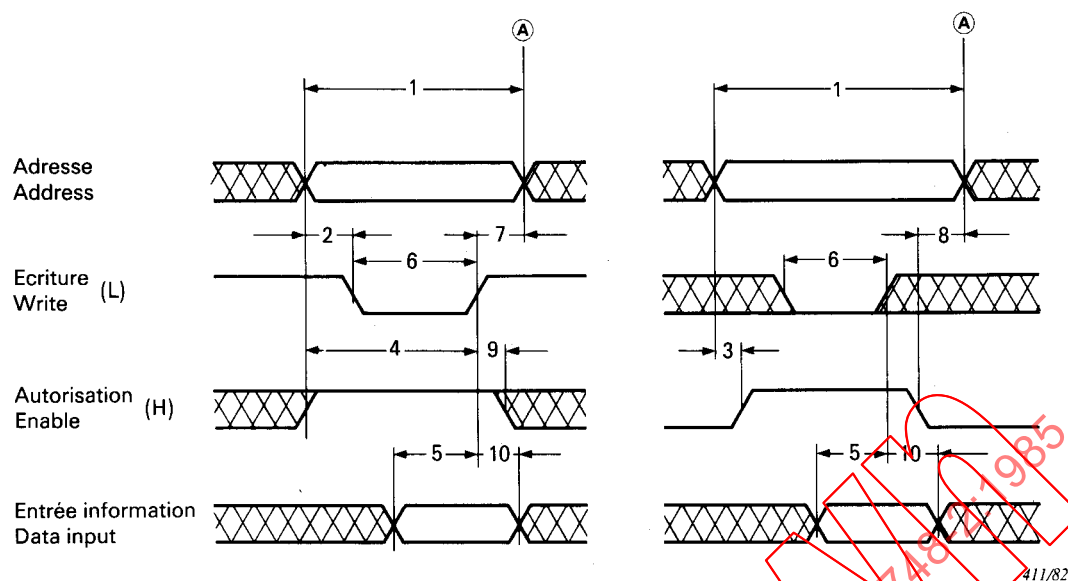
- 1 = read cycle time
- 2 = address access time
- 3 = read access time
- 4 = enable access time
- 5 = address set-up time before read
- 6 = read set-up time before enable
- 7 = address set-up time before enable
- 8 = output valid time after address
- 9 = output valid time after read
- 10 = output valid time after enable
- 11 = address hold time after enable
- 12 = read hold time after enable

Point A is the earliest instant at which a subsequent cycle can start.

The active levels for the read and enable inputs are indicated by the letters in parentheses (H or L).

 { input: irrelevant
 { output: unknown or changing

FIG. 14. — Cycle de lecture.
Read cycle.



411/82

Formes d'onde typiques

- 1 = temps de cycle d'écriture
- 2 = temps de préparation adresse/écriture
- 3 = temps de préparation adresse/autorisation
- 4 = temps de préparation autorisation/(fin d')écriture
- 5 = temps de préparation entrée information/(fin d')écriture
- 6 = durée de l'impulsion d'écriture
- 7 = temps de maintien adresse/écriture
- 8 = temps de maintien adresse/autorisation
- 9 = temps de maintien autorisation/écriture
- 10 = temps de maintien entrée information/écriture

Le point A correspond au plus proche instant à partir duquel le cycle suivant peut débiter.

Les niveaux actifs pour les entrées d'écriture et d'autorisation sont indiqués par les lettres entre parenthèses (H ou L).

 { entrée sans conséquence
 { sortie: niveau inconnu ou variant d'un état à l'autre.

Typical waveforms

- 1 = write cycle time
- 2 = address set-up time before write
- 3 = address set-up time before enable
- 4 = enable set-up time before (end of) write
- 5 = data-in set-up time before (end of) write
- 6 = write pulse duration
- 7 = address hold time after write
- 8 = address hold time after enable
- 9 = enable hold time after write
- 10 = data-in hold time after write

Point A is the earliest instant at which a subsequent cycle can start.

The active levels for the write and enable inputs are indicated by the letters in parentheses (H or L).

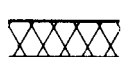
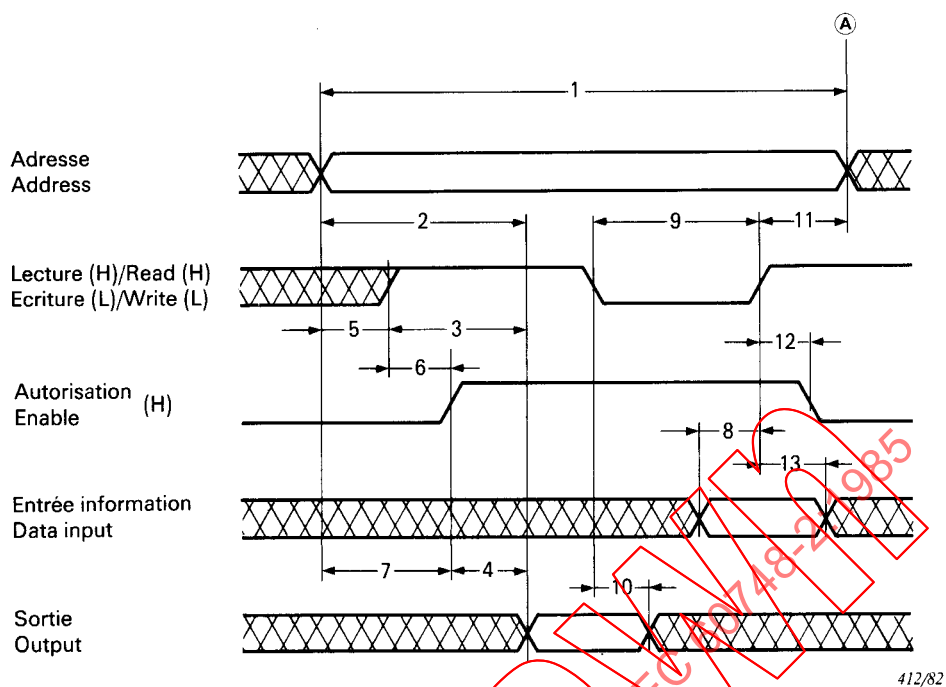
 { input: irrelevant
 { output: unknown or changing

FIG. 15. — Cycle d'écriture.
Write cycle.



Formes d'onde typiques

- 1 = temps de cycle de lecture-écriture
- 2 = temps d'accès d'adresse
- 3 = temps d'accès de lecture
- 4 = temps d'accès d'autorisation
- 5 = temps de préparation adresse/lecture
- 6 = temps de préparation lecture/autorisation
- 7 = temps de préparation adresse/autorisation
- 8 = temps de préparation entrée information/ (fin d'écriture)
- 9 = durée de l'impulsion d'écriture
- 10 = temps de validation en sortie après lecture
- 11 = temps de maintien adresse/écriture
- 12 = temps de maintien autorisation/écriture
- 13 = temps de maintien entrée d'information/écriture

Le point A correspond au plus proche instant à partir duquel le cycle suivant peut débuter.

Les niveaux actifs pour les entrées de lecture-écriture et d'autorisation sont indiqués par les lettres entre parenthèses (H ou L).

 { entrée: sans conséquence
sortie: niveau inconnu ou variant d'un état à l'autre

Typical waveforms

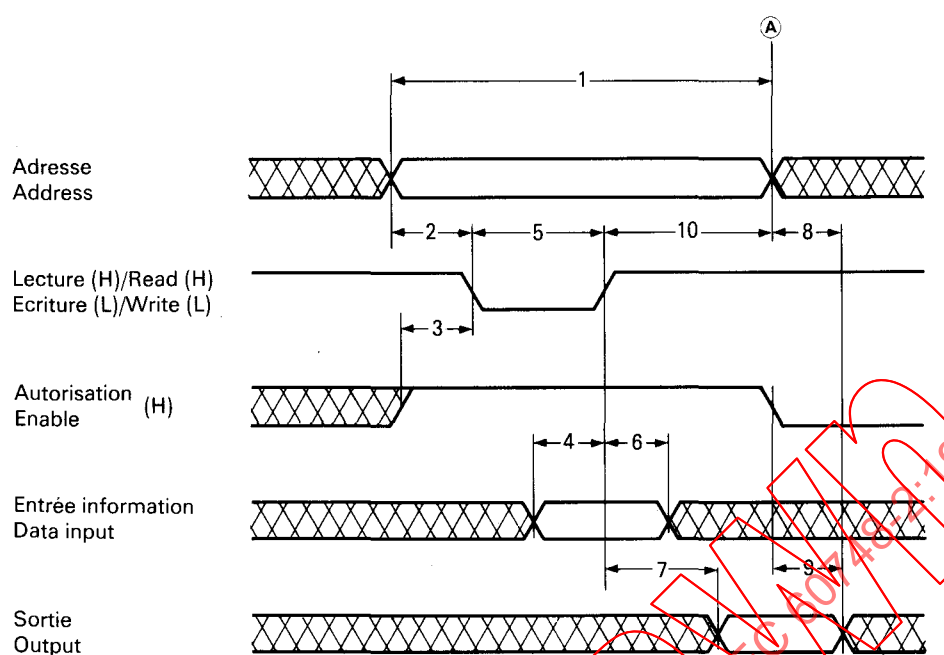
- 1 = read-write cycle time
- 2 = address access time
- 3 = read access time
- 4 = enable access time
- 5 = address set-up time before read
- 6 = read set-up time before enable
- 7 = address set-up time before enable
- 8 = data-in set-up time before (end of) write
- 9 = write pulse duration
- 10 = output valid time after read
- 11 = address hold time after write
- 12 = enable hold time after write
- 13 = data-in hold time after write

Point A is the earliest instant at which a subsequent cycle can start.

The active levels for the read/write and enable inputs are indicated by the letters in parentheses (H or L).

 { input: irrelevant
output: unknown or changing

FIG. 16. — Cycle de lecture-écriture.
Read-write cycle.



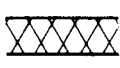
413/82

Formes d'onde typiques

- 1 = temps de cycle écriture-lecture
- 2 = temps de préparation adresse/écriture
- 3 = temps de préparation autorisation/écriture
- 4 = temps de préparation entrée d'information (fin d'écriture)
- 5 = durée de l'impulsion d'écriture
- 6 = temps de maintien entrée information/écriture
- 7 = temps de recouvrement de lecture
- 8 = temps de validation en sortie après adresse
- 9 = temps de validation en sortie après autorisation
- 10 = temps de recouvrement d'écriture

Le point A correspond au plus proche instant à partir duquel le cycle suivant peut débuter.

Les niveaux actifs pour les entrées d'écriture-lecture et d'autorisation sont indiqués par les lettres entre parenthèses (H ou L).

 { entrée: sans conséquence
 sortie: niveau inconnu ou variant d'un état à l'autre

Typical waveforms

- 1 = write-read cycle time
- 2 = address set-up time before write
- 3 = enable set-up time before write
- 4 = data-in set-up time before (end of) write
- 5 = write pulse duration
- 6 = data-in hold time after write
- 7 = sense recovery time
- 8 = output valid time after address
- 9 = output valid time after enable
- 10 = write recovery time

Point A is the earliest instant at which a subsequent cycle can start.

The active levels for the write-read and enable inputs are indicated by the letters in parentheses (H or L).

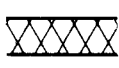
 { input: irrelevant
 output: unknown or changing

FIG. 17. — Cycle d'écriture-lecture.
Write-read cycle.

4. Terminologie pour les microprocesseurs à circuit intégré

4.1 Microprocesseur à circuit intégré

Circuit intégré capable:

- de fonctionner selon des instructions codées, et
- d'effectuer, suivant ces instructions, l'ensemble de:
 - a) l'acceptation des informations codées pour traitement et/ou stockage;
 - b) des opérations logiques et arithmétiques sur les données d'entrée, en même temps que sur toutes les données correspondantes stockées dans les registres internes du microprocesseur à circuit intégré et/ou dans des mémoires externes;
 - c) la sortie d'informations codées, et
- d'accepter et/ou de fournir des signaux commandant et/ou décrivant le fonctionnement ou l'état du microprocesseur à circuit intégré.

Note. — Les instructions peuvent être introduites, construites ou maintenues dans une mémoire interne.

5. Terminologie pour les dispositifs à transfert de charge

5.1 Désignation des dispositifs

5.1.1 Dispositif à transfert de charge (CTD)

Dispositif dont le fonctionnement dépend du déplacement effectif de paquets de charge discrets à la surface ou dans le volume du semiconducteur, ou entre les interconnexions à la surface du semiconducteur.

Note. — Ce mouvement effectif peut être réalisé en déplaçant la région où l'on produit le champ électrique de commande.

5.1.2 Dispositif à transfert de charge en chaîne (ou dispositif «Bucket Brigade») (BBD)

Dispositif à transfert de charge qui emmagasine des charges dans des régions discrètes d'un semiconducteur et qui les transfère comme des paquets par l'intermédiaire d'une série de dispositifs de commutation qui interconnectent ces régions.

Notes 1. — On peut ajouter comme qualificatif à ce terme (ou à son abréviation): transistor à effet de champ à jonction, MOS, SOS, etc., suivant la technologie utilisée pour réaliser les dispositifs de commutation.

2. — Ce dispositif fonctionne en recréant le paquet de charge à chaque position formée par une capacité interne.

5.1.3 Dispositif à couplage de charge (CCD)

Dispositif à transfert de charge qui stocke des charges dans des puits de potentiel et transfère la quasi-totalité de ces charges comme des paquets par déplacement de la position des puits de potentiel.

Note. — Ce dispositif fonctionne en déplaçant la position du même paquet de charge.

5.1.4 Senseur d'image à transfert de charge

Dispositif à transfert de charge dans lequel une image est convertie en paquets de charge qui peuvent être transférés et qui constituent une représentation électrique de l'image.

4. Terminology for integrated circuit microprocessors

4.1 *Integrated circuit microprocessor*

An integrated circuit capable of:

- operating on coded instructions, and
- carrying out, in accordance with the instructions, all of:
 - a) the acceptance of coded data for processing and/or storage;
 - b) arithmetic and logical operations on the input data together with any relevant data stored in the internal registers of the microprocessor integrated circuit and/or in external memories;
 - c) the delivery of coded data, and
- accepting and/or delivering signals controlling and/or describing the operation or state of the microprocessor integrated circuit.

Note. — The instructions may be fed in, built in or held in an internal memory.

5. Terminology for charge-transfer devices

5.1 *Device names*

5.1.1 *Charge-transfer device (CTD)*

A device in which operation depends on the effective movement of discrete packets of charge along or beneath the semiconductor surface, or through the interconnections on the semiconductor surface.

Note. — This effective movement may be produced by changing the region in which a controlling electric field is produced.

5.1.2 *Bucket-brigade device (BBD)*

A charge-transfer device that stores charge in discrete regions in a semiconductor and transfers this charge as a packet through a series of switching devices that interconnect these regions.

Notes 1. — This term and its abbreviation may be preceded by bipolar, J-FET, MOS, SOS, etc., according to the technology used for the switching devices.

2. — This device operates by re-creating the packet of charge at each position formed by an internal capacitance.

5.1.3 *Charge-coupled device (CCD)*

A charge-transfer device that stores charge in potential wells and transfers this charge almost completely as a packet by translating the position of the potential wells.

Note. — This device operates by changing the position of the same packet of charge.

5.1.4 *Charge-transfer image sensor*

A charge-transfer device in which an image is converted into packets of charge that can be transferred as the electrical representation of the image.

5.2 Termes généraux

5.2.1a) Charge de polarisation (cas des signaux analogiques)

Charge qui définit le niveau en l'absence de signal, dans le cas d'un fonctionnement analogique, et qui est insérée dans tous les puits de potentiel (voir figures 18a et 18b).

Notes 1. — On utilise parfois le terme «fond de charge» principalement pour les dispositifs à image.

2. — On insère généralement la charge électriquement ou alors par rayonnement.

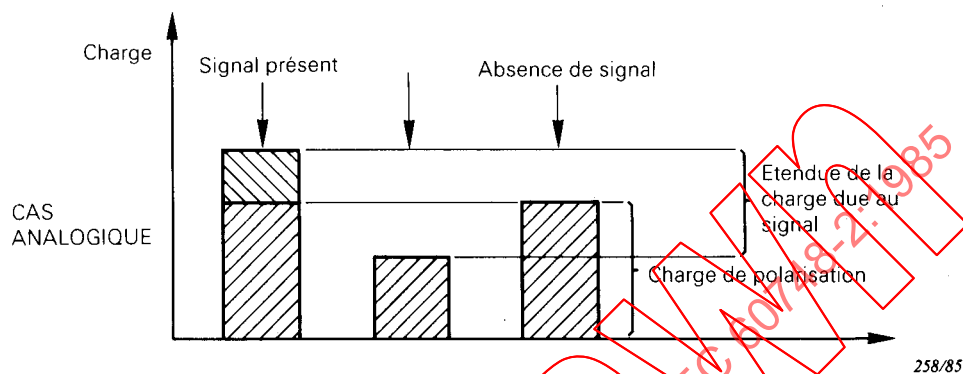


FIGURE 18a

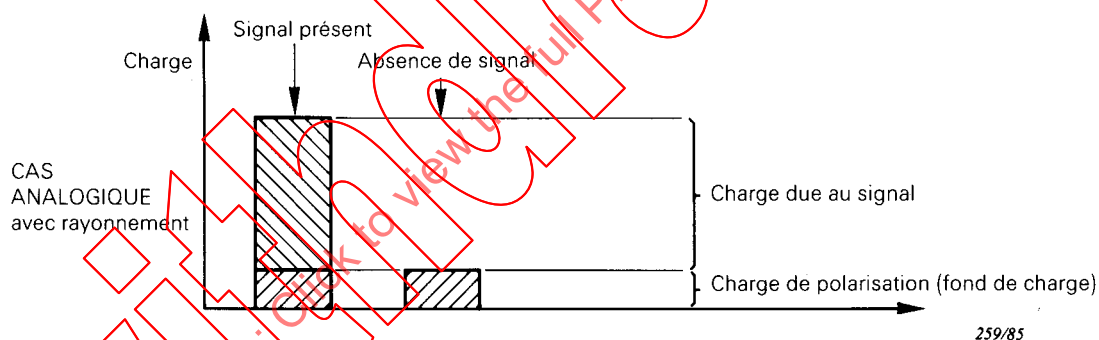


FIGURE 18b

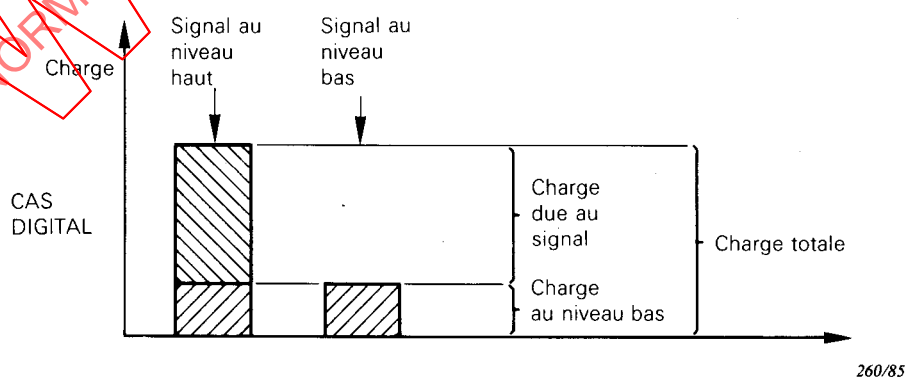


FIGURE 18c

FIG. 18. — Schéma illustrant la présence ou l'absence de charges.

5.2 General terms

5.2.1a) Bias charge (for analogue signal applications)

A charge that defines the no-signal level in the analogue case and that is inserted into all potential wells (see Figures 18a and 18b).

Notes 1. — The term “background charge” is sometimes used, mainly in imaging devices.

2. — The charge is usually inserted electrically, or by radiation.

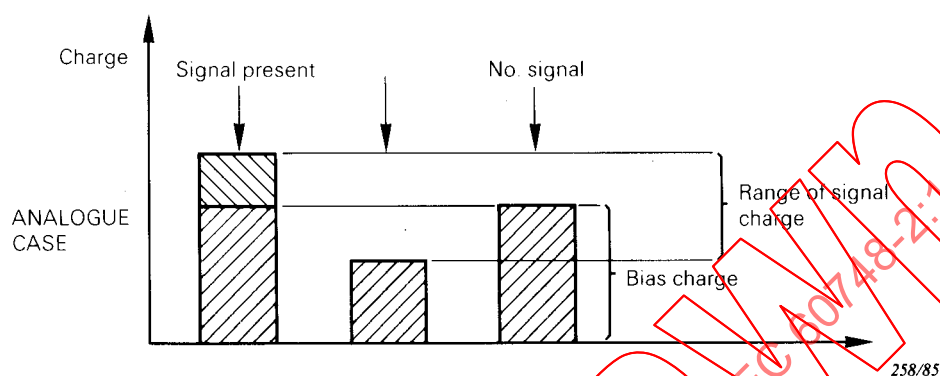


FIGURE 18a

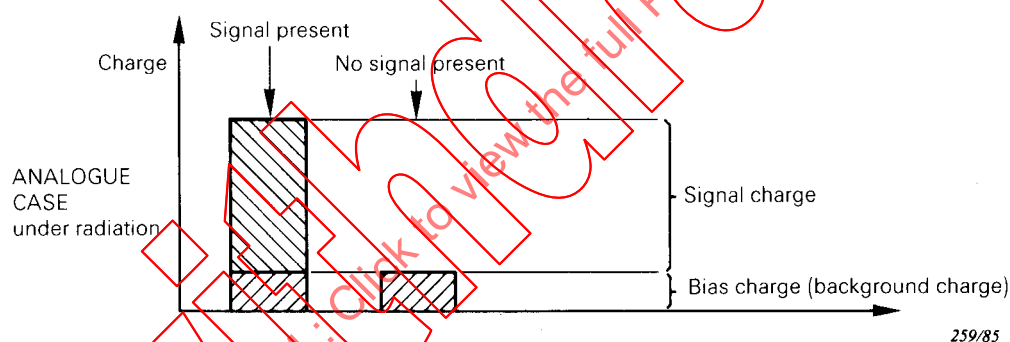


FIGURE 18b

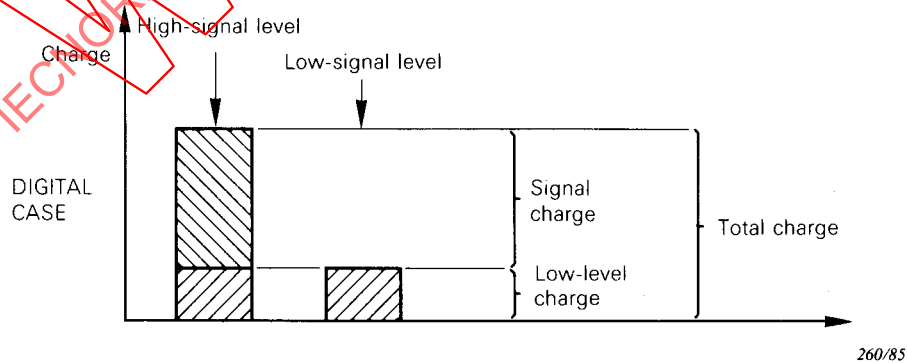


FIGURE 18c

FIG. 18. — Diagram illustrating nomenclature.

5.2.1b) Charge au niveau bas (cas des signaux numériques)

Charge qui définit le niveau bas du signal numérique; cette charge est insérée dans tous les puits de potentiel (voir figure 18c, page 80).

Notes 1. — On a souvent utilisé le terme «zéro plein» pour décrire cette charge, mais ce terme est à déconseiller.

2. — On insère généralement la charge électriquement ou alors par rayonnement.

5.2.2 Zéro «vide»; zéro «réel»

Condition pour laquelle il n'y a pas de charge de polarisation ou pour laquelle la charge est au niveau bas.

5.2.3 Charge due au signal

Quantité de charge électrique représentant le signal (voir figure 18).

5.2.4 Charge totale

Charge électrique totale stockée dans un puits de potentiel (ou dans une région discrète d'un dispositif à transfert de charge en chaîne) (voir figure 18).

5.2.5 Paquet de charge

Partie de la charge totale qui est transférée d'une position à la suivante.

5.2.6 Perte de transfert de charge (δ)

Fraction de la perte de charge du signal qui remplit la charge résiduelle de tous les états d'interface ou les pièges dans le matériau, qui ont été vidés depuis le dernier passage d'une charge dans le dispositif, lorsqu'un paquet de charge est transféré d'une région de stockage à la suivante, après que les charges résiduelles ont déchu à zéro.

5.2.7 Grille de transfert

Electrode, isolée du semiconducteur par une surface isolante ou par une jonction, à laquelle on applique une tension afin de transférer une charge.

5.2.8 Grille de stockage

Electrode, isolée du semiconducteur par une surface isolante ou par une jonction, à laquelle on applique une tension afin de stocker une charge.

5.2.9 Grille chevauchant la voisine

Type à grille de transfert dans lequel les électrodes adjacentes se chevauchent tout en étant isolées les unes des autres.

5.2.10 Grille flottante

Electrode, isolée du semiconducteur par une surface isolante ou par une jonction, et qui n'a pas de connexion ohmique.

Notes 1. — Le potentiel de la grille flottante dépend de la quantité de charge électrique stockée dans un puits de potentiel situé au-dessous de la surface.

2. — On utilise en particulier les grilles flottantes dans la détection et la régénération des circuits. En principe, une grille flottante peut aussi être une jonction diffusée isolante, une jonction à barrière de Schottky, etc.

5.2.1b) *Low-level charge* (for digital signal applications)

A charge that defines the low level of the digital signal; this charge is inserted into all potential wells (see Figure 18c, page 81).

Notes 1. — The term “fat zero” has often been used to describe this charge, but this term is to be deprecated.

2. — The charge is usually inserted electrically, or by radiation.

5.2.2 *Empty zero; real zero*

A condition where there is no charge bias or a low-level charge.

5.2.3 *Signal charge*

A quantity of electric charge representing the signal (see Figure 18).

5.2.4 *Total charge*

The total electrical charge stored in a potential well (or discrete region of a bucket-brigade device) (see Figure 18).

5.2.5 *Charge packet*

The portion of the total charge that is transferred from one position to the next position.

5.2.6 *Charge-transfer loss (δ)*

The fractional loss of signal charge that replenishes the residual charge of all interface states or bulk traps that have emptied since the last passage of charge through the device, when a charge packet is transferred from one storage region to the next, after these residual charges have decayed to zero.

5.2.7 *Transfer gate*

An electrode, to which voltage is applied in order to transfer charge, and that is isolated from the semiconductor by an insulating surface or junction.

5.2.8 *Storage gate*

An electrode, to which voltage is applied in order to store charge, and that is isolated from the semiconductor by an insulating surface or junction.

5.2.9 *Overlapping gate*

A type of transfer gate in which adjacent electrodes overlap and are insulated from each other.

5.2.10 *Floating gate*

An electrode that has no ohmic connection, and that is isolated from the semiconductor by an insulating surface or junction.

Notes 1. — The potential of the floating gate depends on the quantity of electrical charge stored in a potential well under the surface.

2. — Floating gates are typically used in signal detection or regeneration circuits. In principle, a floating gate may also be an isolated diffused junction, Schottky-barrier junction, etc.

5.2.11 *Région flottante*

Région dopée de forte conductivité, sans connexion résistante, dans laquelle des paquets de charge sont insérés et de laquelle ils sont extraits par des grilles de transfert qui se chevauchent ou sont adjacentes.

Note. — On peut utiliser une diffusion flottante comme zone de lecture pour la charge de signal dans des circuits de détection ou de régénération.

5.2.12 *Étage de régénération de charge (d'un circuit digital)*

Région d'un dispositif à transfert de charge utilisée pour rafraîchir l'information digitale stockée.

5.2.13 *Puits de potentiel (d'un dispositif à couplage de charge)*

Minimum d'énergie potentielle qui se forme dans le semiconducteur d'un dispositif à couplage de charge par application d'une tension à la grille de transfert, et qui rassemble toutes les charges mobiles pouvant être présentes.

5.2.14 *Capacité de déplacement d'une charge; capacité totale d'un puits*

Quantité maximale de charge qui peut être stockée dans un puits de potentiel et transférée sans dépassement de capacité dans des puits adjacents.

5.2.15 *Canal de transfert*

Région d'un dispositif à transfert de charge dans laquelle se produit l'écoulement des charges.

5.2.16 *Canal en surface*

Canal de transfert à l'interface semiconducteur-isolant.

5.2.17 *Canal enterré*

Canal de transfert situé au dessous de la surface du semiconducteur.

5.3 *Termes relatifs aux paramètres*

5.3.1 *Rendement d'un transfert de charge (CTE) (η)*

Pourcentage de la charge du signal qui est transféré d'une région de stockage à la suivante.

5.3.2 *Rendement global du transfert de charge (rendement global du transfert de signal)*

Pourcentage de la charge due au signal d'entrée qui est transféré comme un paquet à la sortie.

5.3.3 *Rendement de transfert de charge moyen*

Racine $n^{\text{ième}}$ du rendement de transfert de charge global, où n représente le nombre de transferts.

5.3.4 *Signal de saturation (pour les applications de signaux analogiques)*

Courant de signal maximal ou puissance d'éclairement maximale pouvant être transféré avec un degré de linéarité spécifié entre les signaux d'entrée et de sortie.

5.2.11 *Floating region*

A doped region of high conductivity but without ohmic connection, from which charge packets are transferred by overlapping or adjacent transfer gates.

Note. — A floating region can be used as the sense node for the charge signal in detection or regeneration circuits.

5.2.12 *Charge-regeneration stage (of a digital circuit)*

A region of a charge-transfer device that is used to refresh stored digital information.

5.2.13 *Potential well (of a charge-coupled device)*

A potential-energy minimum that is formed in the semiconductor of a charge-coupled device under control of the voltage applied to a transfer gate and that confines any mobile charges that may be present.

5.2.14 *Charge handling capacity; full-well capacity*

The maximum amount of charge that can be stored in a potential well and transferred without overflow into adjacent wells.

5.2.15 *Transfer channel*

The region of a charge-transfer device within which the charge flow is confined.

5.2.16 *Surface channel*

A transfer channel at the semiconductor-insulator interface.

5.2.17 *Buried channel*

A transfer channel beneath the surface of the semiconductor.

5.3 *Parameter terms*

5.3.1 *Charge-transfer efficiency (CTE) (η)*

The fraction of the signal charge that is transferred from one storage region to the next storage region.

5.3.2 *Overall charge-transfer efficiency (overall signal-transfer efficiency)*

The fraction of the input signal charge that is transferred as a packet to the output.

5.3.3 *Average charge-transfer efficiency*

The n^{th} root of overall charge-transfer efficiency, where n is the number of transfers.

5.3.4 *Saturation signal (for analogue signal applications)*

The maximum input signal or illumination power that can be transferred with a specified degree of linearity between the input and output signals.

5.3.5a) *Signal de saturation d'entrée (pour les applications de signaux digitaux)*

Signal d'entrée ou puissance d'éclairement nécessaire pour remplir un puits.

5.3.5b) *Signal de saturation de sortie (pour les applications de signaux digitaux)*

Signal de sortie produit à partir d'un puits.

5.3.6 *Signal de bruit équivalent*

Signal efficace d'entrée ou puissance d'éclairement nécessaire pour doubler la puissance de sortie par rapport à celle obtenue sans signal ou éclairement d'entrée.

5.3.7 *Gamme dynamique*

Gamme de fonctionnement linéaire utilisable, exprimée sous forme de rapport du signal de saturation au signal de bruit équivalent.

5.3.8 *Densité moyenne de courant de fuite (J_L)*

Courant de fuite moyen engendré par unité de surface dans la surface active du dispositif.

Note. — Selon le type de dispositif considéré, on peut définir la surface active comme la surface du canal de transfert ou la surface totale comprenant des régions définies du canal. Autres noms utilisés: «densité moyenne de courant d'obscurité» et «densité moyenne de courant d'origine thermique».

5.3.9 *Pointe de courant de fuite*

Variation du courant de fuite qui dépasse un niveau spécifié au-delà de sa valeur moyenne.

5.3.10 *Temps de transfert de charge*

Temps nécessaire pour déplacer une fraction spécifiée d'un paquet de charge d'une région de stockage à la voisine.

5.3.11 *Gamme de retard du signal (pour les lignes à retard)*

S'explique d'elle-même.

6. **Symboles littéraux pour circuits combinatoires et séquentiels**

a) Voir les Publications 747-1, chapitre V, et 748-1, chapitre V.

b) Voir aussi l'article 7 de ce chapitre.

7. **Symboles littéraux pour les paramètres dynamiques des circuits intégrés séquentiels, y compris des mémoires**

7.1 *Introduction*

Certaines des données caractéristiques générales qui sont souhaitables dans un système de symboles littéraux utilisé pour représenter les paramètres dynamiques des mémoires et des autres circuits séquentiels sont indiqués ci-après en tant qu'introduction au système décrit dans cet article.

5.3.5a) Saturation input signal (for digital signal applications)

The input signal or illumination power that is required to fill a well.

5.3.5b) Saturation output signal (for digital signal applications)

The output signal that is produced from a well.

5.3.6 Noise equivalent signal

The r.m.s. input signal or illumination power level needed to increase the output power to twice the value obtained with no input signal or illumination.

5.3.7 Dynamic range

The range of useful linear operation expressed as a ratio of the saturation signal to the noise equivalent signal.

5.3.8 Average leakage current density (J_L)

The average leakage current per unit area within the active area of the device.

Note. — Depending on the type of device, the active area may be defined as either the area of the transfer channel or the overall area including channel defining regions. Other names used are: "average dark current density" and "average thermal generation current density".

5.3.9 Leakage current spike

A variation of the leakage current that exceeds some specified level above its average value.

5.3.10 Charge-transfer time

The time required to move a specified fraction of a charge packet from one storage region to the next.

5.3.11 Signal-delay range (for delay lines)

Self-explanatory.

6. Letter symbols for combinatorial and sequential circuits

- a) See Publications 747-1, Chapter V, and 748-1, Chapter V.
- b) See also Clause 7 of this Chapter.

7. Letter symbols for the dynamic parameters of sequential integrated circuits, including memories**7.1 Introduction**

Some of the general features that are desirable in a system of letter symbols to be used to represent the dynamic parameters of memories and other sequential circuits are given below as an introduction to the system described in this clause.

- a) Le système adopté doit pouvoir représenter les paramètres dynamiques de n'importe quel circuit mémoire, quelle que soit sa complexité, et doit aussi convenir pour tout autre circuit digital complexe. Il serait regrettable, par exemple, d'avoir un système de symboles littéraux différent pour les mémoires et pour les microprocesseurs.
- b) Les exigences indiquées ci-dessus conduisent, en général, pour les paramètres dynamiques, à des symboles assez longs et d'emploi incommode. Il est donc souhaitable que les symboles puissent être simplifiés lorsqu'il n'y a aucun risque de confusion et qu'une telle simplification conduise à un symbole mnémonique aisément compréhensible.
- c) Lors du choix des lettres à utiliser pour les indices et de l'adoption en la circonstance de majuscules ou de minuscules, il a été pratiquement impossible de choisir un ensemble d'indices à la fois cohérent et en accord avec la pratique antérieure de la CEI. On a décidé d'adopter une approche aussi cohérente que possible, car on a pensé que l'obtention de symboles littéraux applicables aux circuits séquentiels présents et futurs est une chose si complexe qu'il était nécessaire d'envisager une nouvelle et logique approche du sujet.
- d) L'utilisation des lettres minuscules et des indices contenus dans cet article est recommandée pour les feuilles particulières et les documents imprimés similaires. Cependant, les symboles sont fréquemment reproduits par des équipements qui ne peuvent pas imprimer soit des lettres minuscules, soit des indices. On devra éviter toute ambiguïté si les symboles sont imprimés de cette façon.

7.2 Symboles littéraux

Le système de symboles littéraux décrit dans cet article permet d'obtenir des symboles pour les paramètres dynamiques des circuits séquentiels complexes, y compris les mémoires; il permet aussi d'abréger ces symboles en des symboles mnémoniques simples lorsqu'il n'y a pas de risque de confusion.

7.2.1 Forme générale

Les paramètres dynamiques sont représentés par un symbole général de la forme:

$$t_{A(BC-DE)F} \quad (1)$$

L'indice A indique le type de paramètre dynamique que l'on désire représenter, par exemple: temps de cycle, temps de préparation, temps d'autorisation, etc.

L'indice B indique le nom du signal ou de la borne pour lequel un changement d'état ou de niveau (ou l'établissement d'un état ou d'un niveau) constitue un événement qui est supposé se produire en premier, c'est-à-dire au début de l'intervalle de temps. Si cet événement se produit en fait en dernier, c'est-à-dire à la fin de l'intervalle de temps, la valeur de l'intervalle de temps est négative.

L'indice C indique le sens de la transition et/ou l'état ou le niveau final du signal représenté par B. Lorsqu'on utilise deux lettres, l'état initial ou le niveau est également indiqué.

L'indice D indique le nom du signal ou de la borne pour lequel un changement d'état ou de niveau (ou l'établissement d'un état ou d'un niveau) constitue un événement qui est supposé se produire en dernier, c'est-à-dire à la fin de l'intervalle de temps. Si cet événement se produit en fait en premier, c'est-à-dire au début de l'intervalle de temps, la valeur de l'intervalle de temps est négative.

- a) The system adopted should be capable of representing the dynamic parameters of any memory circuit, no matter how complex, and should also be suitable for any other complex digital circuit. It would, for example, be undesirable to have a different system of letter symbols for memories and for microprocessors.
- b) The requirement above leads, in the general case, to rather long and cumbersome symbols for the dynamic parameters. It is desirable therefore that the symbols should be capable of simplification when no ambiguity is likely to occur and that such simplification should lead to an easily understood mnemonic symbol.
- c) In deciding upon the letters to be used as subscripts and whether they should be upper-case or lower-case, it is almost impossible to choose a set of subscripts that is both self-consistent and also in agreement with previous practice in IEC. It was decided to adopt a self-consistent approach, as it was thought that the problem of obtaining satisfactory letter symbols that might be applicable to both present and future sequential circuits was so complex that a new and consistent approach was desirable.
- d) The use of lower-case letters and subscripts as given in this clause is preferred for data sheets and similar printed documents. However, parameter symbols are frequently reproduced by equipment that lacks the capability for either lower-case letters or subscripting. The symbols should still be unambiguous if printed using this altered form.

7.2 Letter symbols

The system of letter symbols outlined in this clause enables symbols to be generated for the dynamic parameters of complex sequential circuits, including memories, and also allows these symbols to be abbreviated to simple mnemonic symbols when no ambiguity is likely to occur.

7.2.1 General form

The dynamic parameters are represented by a general symbol of the form:

$$t_{A(BC-DE)F} \quad (1)$$

where:

Subscript A indicates the type of dynamic parameter being represented, for example, cycle time, set-up time, enable time, etc.

Subscript B indicates the name of the signal or terminal for which a change of state or level (or establishment of a state or level) constitutes a signal event assumed to occur first, that is at the beginning of the time interval. If this event actually occurs last, that is at the end of the time interval, the value of the time interval is negative.

Subscript C indicates the direction of the transition and/or the final state or level of the signal represented by B. When two letters are used, the initial state or level is also indicated.

Subscript D indicates the name of the signal or terminal for which a change of state or level (or establishment of a state or level) constitutes a signal event assumed to occur last, that is at the end of the time interval. If this event actually occurs first, that is at the beginning of the time interval, the value of the time interval is negative.

L'indice *E* indique le sens de la transition et/ou l'état ou le niveau final du signal représenté par *D*. Lorsqu'on utilise deux lettres, le niveau ou l'état initial est également indiqué.

L'indice *F* indique une information supplémentaire telle que: mode de fonctionnement, conditions d'essais, etc.

Notes 1. — Les indices A à F peuvent comporter, chacun, une ou plusieurs lettres.

2. — Les indices D et E ne sont pas utilisés pour les temps de transition.

3. — Le tiret dans le symbole (1), page 88, indique «vers»; ainsi, le symbole représente l'intervalle de temps entre l'arrivée du signal B et celle du signal D; il est important de noter que cette convention est valable pour tous les paramètres dynamiques, y compris les temps de maintien. Lorsqu'il n'y a pas de risque de confusion, on peut omettre le tiret.

7.2.2 Forme abrégée

On peut abréger le symbole général indiqué ci-dessus lorsqu'il n'y a pas risque de confusion, par exemple:

$$t_{A(B-D)}$$

ou: $t_{A(B)}$

ou: $t_{A(D)}$ — utilisé souvent pour les temps de maintien

ou: t_{AF} — on n'utilise pas de parenthèses dans ce cas

ou: $t_{A(BE)}$ — utilisé souvent pour les durées d'impulsions

ou: t_A

ou: t_{BC-DE} — utilisé souvent pour les intervalles de temps divers.

7.2.3 Formation des indices

Lors de la formation des indices, ceux qui sont les plus couramment utilisés sont constitués, si possible, par une seule lettre et ceux qui le sont moins par un maximum de trois lettres. Dans la mesure du possible, on cherche à utiliser une représentation mnémonique. On peut utiliser des symboles littéraux plus longs pour des signaux spéciaux ou des bornes spéciales si cela peut aider la compréhension.

7.3 Indice A: type de paramètre dynamique

L'indice A représente le type de paramètre dynamique qui doit être indiqué par le symbole; on peut diviser ces paramètres en deux classes:

a) les paramètres qui sont des conditions de temps pour le dispositif,

b) les paramètres qui sont des caractéristiques du dispositif.

Les symboles littéraux ainsi proposés pour les mémoires sont énumérés dans les paragraphes 7.3.1 et 7.3.2 ci-dessous.

Tous les indices A doivent être minuscules.

7.3.1 Conditions de temps

Les symboles littéraux pour les conditions de temps des mémoires à semiconducteurs figurent ci-dessous:

Terme	Indice
Temps de cycle	c
Intervalle de temps entre deux signaux	d

Subscript E indicates the direction of the transition and/or the final state or level of the signal represented by D. When two letters are used, the initial state or level is also indicated.

Subscript E indicates additional information such as mode of operation, test conditions, etc.

Notes 1. — Subscripts A to F may each consist of one or more letters.

2. — Subscripts D and E are not used for transition times.

3. — The “—” in the symbol (1), page 89, is used to indicate “to”; hence the symbol represents the time interval from signal event B occurring to signal event D occurring, and it is important to note that this convention is used for all dynamic parameters including hold times. When no misunderstanding is likely to occur, the hyphen may be omitted.

7.2.2 Abbreviated forms

The general symbol given above may be abbreviated when no misunderstanding is likely to occur, for example:

$$t_{A(B-D)}$$

or: $t_{A(B)}$

or: $t_{A(D)}$ — often used for hold times

or: t_{AF} — no parentheses are used in this case

or: $t_{A(BE)}$ — often used for pulse durations

or: t_A

or: t_{BC-DE} — often used for unclassified time intervals.

7.2.3 Allocation of subscripts

In allocating letter symbols for the subscripts, the most commonly used subscripts are given single letters where practicable and those less commonly used are designated by up to three letters. As far as possible, some form of mnemonic representation is used. Longer letter symbols may be used for specialized signals or terminals if this aids understanding.

7.3 Subscript A: type of dynamic parameter

The subscript A represents the type of dynamic parameter to be designated by the symbol; the parameters may be divided into two classes:

- a) those that are timing requirements for the device,
- b) those that are characteristics of the device.

The letter symbols so far proposed for memory circuits are listed in Sub-clauses 7.3.1 and 7.3.2 below.

All subscripts A should be in lower-case.

7.3.1 Timing requirements

The letter symbols for the timing requirements of semiconductor memories are as follows:

<i>Term</i>	<i>Subscript</i>
Cycle time	c
Time interval between two signal events	d

<i>Terme</i>	<i>Indice</i>
Temps de décroissance	f
Temps de maintien	h
Temps de préconditionnement	pc
Temps de croissance	r
Temps de recouvrement	rec
Intervalle de temps de rafraîchissement	rf
Temps de préparation	su
Temps de transition	t
Durée (largeur) d'impulsion	w

7.3.2 Caractéristiques

Les symboles littéraux pour les caractéristiques dynamiques des mémoires à semiconducteurs figurent ci-dessous:

<i>Caractéristiques</i>	<i>Indice</i>
Temps d'accès	a
Temps d'inhibition	dis
Temps d'autorisation	en
Temps de propagation	p
Temps de recouvrement	rec
Temps de transition	t
Temps de validation	v

Note. — Le temps de recouvrement, en tant que caractéristique, est limité au temps de recouvrement de lecture.

7.4 Indices B et D: nom du signal ou nom de la borne

Les symboles littéraux pour le nom du signal ou le nom de la borne sont indiqués ci-dessous.

Tous les indices B et D doivent être majuscules.

<i>Signal ou borne</i>	<i>Indice</i>
Adresse	A
Horloge	C
Adresse colonnes	CA
Echantillonnage adresse colonnes	CAS
Entrée de l'information	D
Entrée/sortie de l'information	DQ
Autorisation boîtier	E
Effacement	ER
Autorisation sortie	G
Programme	PR
Sortie de l'information	Q
Lecture	R
Adresse lignes	RA
Echantillonnage adresse lignes	RAS

<i>Term</i>	<i>Subscript</i>
Fall time	f
Hold time	h
Precharge time	pc
Rise time	r
Recovery time	rec
Refresh time interval	rf
Set-up time	su
Transition time	t
Pulse duration (width)	w

7.3.2 Characteristics

The letter symbols for the dynamic characteristics of semiconductor memories are as follows:

<i>Characteristic</i>	<i>Subscript</i>
Access time	a
Disable time	dis
Enable time	en
Propagation time	p
Recovery time	rec
Transition time	t
Valid time	v

Note. — Recovery time for use as a characteristic is limited to sense recovery time.

7.4 Subscripts B and D: signal name or terminal name

The letter symbols for the signal name or the name of the terminal are as given below.

All subscripts B and D should be in upper-case.

<i>Signal or terminal</i>	<i>Subscript</i>
Address	A
Clock	C
Column address	CA
Column address strobe	CAS
Data input	D
Data input/output	DQ
Chip enable	E
Erase	ER
Output enable	G
Program	PR
Data output	Q
Read	R
Row address	RA
Row address strobe	RAS

<i>Signal ou borne</i>	<i>Indice</i>
Rafraîchissement	RF
Lecture-écriture	RW
Sélection boîtier	S
Ecriture (autorisation écriture)	W

Notes 1. — Dans les symboles littéraux relatifs aux intervalles de temps, on ne doit pas utiliser de barres au-dessus des indices, par exemple $\overline{CAS}$.

2. — A noter que, dans le choix d'autres symboles littéraux, l'indice ne doit pas se terminer par H, L, V, X ou Z (voir paragraphe 7.5).

3. — Si l'on peut utiliser la même borne, ou le même signal, pour deux fonctions (par exemple: entrée-sortie de l'information, lecture-écriture), la forme d'onde doit être appelée du nom des deux fonctions, s'il y a lieu, mais les symboles des paramètres dynamiques ne doivent comprendre que la partie de l'indice correspondant au paramètre. (Voir par exemple l'utilisation de DQ et RW dans le paragraphe 7.7 ci-après.)

7.5 Indices C et E: transition du signal

On utilise les symboles suivants pour représenter le niveau ou l'état d'un signal:

Niveau haut	H
Niveau bas	L
Niveau stable valide (haut ou bas)	V
Inconnu, changeant ou indifférent	X
Etat haute impédance d'une sortie trois états	Z

On exprime la direction de la transition par deux lettres, la direction allant de l'état représenté par la première lettre vers celui représenté par la seconde, en utilisant les lettres indiquées ci-dessus.

Lorsqu'il n'y a pas de risque de confusion, on peut omettre la première lettre et avoir ainsi un symbole abrégé pour les indices C et E, comme il est indiqué ci-dessous.

Tous les indices C et E doivent être majuscules.

<i>Exemples:</i>	<i>Indice</i>	
	<i>Complet</i>	<i>Abrégé</i>
Transition du niveau haut au niveau bas	HL	L
Transition du niveau bas au niveau haut	LH	H
Transition d'un état inconnu ou changeant à un état valide	XV	V
Transition d'un état valide à un état inconnu ou changeant	VX	X
Transition d'un état valide à un niveau haut	VH	H
Transition d'un état valide à un état à haute impédance	VZ	Z
Transition d'un état à haute impédance à un état valide	ZV	V

Note. — Comme il est possible d'abrégé les indices C et E, et comme les indices B et D peuvent contenir un nombre de lettres indéterminé, il est nécessaire de mettre une restriction sur les indices B et D, à savoir qu'ils ne doivent pas se terminer par H, L, V, X ou Z, afin d'éviter toute confusion possible.

7.6 Indice F

S'il est nécessaire, on utilise l'indice F pour représenter toute information supplémentaire sur le paramètre, telle que: mode de fonctionnement, conditions d'essai, etc. Les symboles littéraux pour l'indice F sont indiqués ci-dessous.

L'indice F doit être majuscule.

<i>Signal or terminal</i>	<i>Subscript</i>
Refresh	RF
Read-Write	RW
Chip select	S
Write (write enable)	W

Notes 1. — In the letter symbols for time intervals, bars over the subscripts, for example, $\overline{CAS}$, should not be used.

2. — It should be noted, when further letter symbols are chosen, that the subscript should not end with H, L, V, X or Z (see Sub-clause 7.5).

3. — If the same terminal, or signal, can be used for two functions (for example Data input-output, Read-Write), the waveform should be labelled with the dual function, if appropriate, but the symbols for the dynamic parameters should include only that part of the subscript relevant to the parameter. (See use of DQ and RW in Sub-clause 7.7 below, for example.)

7.5 Subscripts C and E: transition of signal

The following symbols are used to represent the level or state of a signal:

High level	H
Low level	L
Valid steady-state level (either low or high)	V
Unknown, changing, or irrelevant level	X
High-impedance state of three-state output	Z

The direction of transition is expressed by two letters, the direction being from the state represented by the first letter to that represented by the second letter, with the letters being as given above.

When no misunderstanding is likely to occur, the first letter may be omitted to give an abbreviated symbol for subscripts C and E as indicated below.

All subscripts C and E should be in upper-case.

<i>Examples:</i>	<i>Subscript</i>	
	<i>Full</i>	<i>Abbreviated</i>
Transition from high level to low level	HL	L
Transition from low level to high level	LH	H
Transition from unknown or changing state to valid state	XV	V
Transition from valid state to unknown or changing state	VX	X
Transition from valid state to high level	VH	H
Transition from valid state to high-impedance state	VZ	Z
Transition from high-impedance state to valid state	ZV	V

Note. — Since subscripts C and E may be abbreviated, and since subscripts B and D may contain an indeterminate number of letters, it is necessary to put the restriction on the subscripts B and D that they should not end with H, L, V, X, or Z, so as to avoid possible confusion.

7.6 Subscript F

If necessary, subscript F is used to represent any additional qualification of the parameter such as mode of operation, test conditions, etc. The letter symbols for subscript F are given below.

Subscript F should be in upper-case.

Modes de fonctionnement

Coupure du courant

Lecture par page

Ecriture par page

Lecture

Rafraîchissement

Lecture-modification-écriture

Lecture-écriture

Ecriture

Indice

PD

PGR

PGW

R

RF

RMW

RW

W

7.7 *Exemples de symboles littéraux**Introduction*

Les exemples donnés ci-dessous sont destinés à montrer comment on peut utiliser le système de symboles pour les paramètres dynamiques des circuits séquentiels. Les symboles abrégés ne sont donnés que comme exemples du système et ne doivent pas être interprétés comme une recommandation pour l'utilisation d'un symbole abrégé particulier pour un paramètre dynamique quelconque. De même, les chronogrammes ne doivent pas être considérés comme donnant les niveaux pour la mesure d'un intervalle de temps quelconque.

7.7.1 *Exemples d'abréviations de symboles littéraux*

Les exemples donnés dans le tableau I montrent comment on peut abréger les symboles littéraux des paramètres dynamiques des circuits séquentiels. Le tableau I montre toutes les abréviations successives possibles des symboles. On peut utiliser n'importe quelle forme abrégée, mais il est recommandé d'utiliser les symboles littéraux les plus courts lorsqu'il n'y a pas de risque de confusion. Il est préférable que le degré de simplification du symbole littéral corresponde à celui du terme, mais ce n'est pas obligatoire.

TABLEAU I
Exemples d'abréviations de symboles littéraux

Termes	Symboles littéraux
Temps de préparation adresse lecture-sélection boîtier	$t_{su(AXV-SLH)R}$ $t_{su(AV-SH)R}$ $t_{su(A-S)R}$
Temps de préparation adresse-sélection boîtier	$t_{su(AXV-SLH)}$ $t_{su(AV-SH)}$ $t_{su(A-S)}$
Temps d'accès d'adresse	$t_{su(AXV)}$ $t_{su(AV)}$ $t_{su(A)}$

Mode of operation

Power-down

Page-mode read

Page-mode write

Read

Refresh

Read-modify-write

Read-write

Write

Subscript

PD

PGR

PGW

R

RF

RMW

RW

W

7.7 Examples of letter symbols*Introduction*

The examples given below are intended to show how the system of symbols for the dynamic parameters of sequential circuits may be used. The abbreviated symbols are given only as examples of the system and should not be interpreted as a recommendation for the use of a particular abbreviated symbol for a particular dynamic parameter. Similarly, the diagrams should not be regarded as defining the appropriate endpoints for the measurement of any particular time interval.

7.7.1 Examples of abbreviation of letter symbols

The examples given in Table I show how the letter symbols for the dynamic parameters of sequential circuits may be abbreviated. Table I shows all possible grades of abbreviated form. Any of the abbreviated forms can be used, but it is recommended that the shorter letter symbols be used when no misunderstanding is likely to occur. It is preferable that the grade of simplification of the letter symbol corresponds to the grade of simplification of the term, but it is not mandatory.

TABLE I
Examples of abbreviations of letter symbols

Terms	Letter symbols
Read (mode) address set-up time before chip-select	$t_{su(AXV-SLH)R}$ $t_{su(AV-SH)R}$ $t_{su(A-S)R}$
Address set-up time before chip-select	$t_{su(AXV-SLH)}$ $t_{su(AV-SH)}$ $t_{su(A-S)}$
Address set-up time	$t_{su(AXV)}$ $t_{su(AV)}$ $t_{su(A)}$

7.7.2 Exemples de symboles littéraux pour les mémoires à semiconducteurs

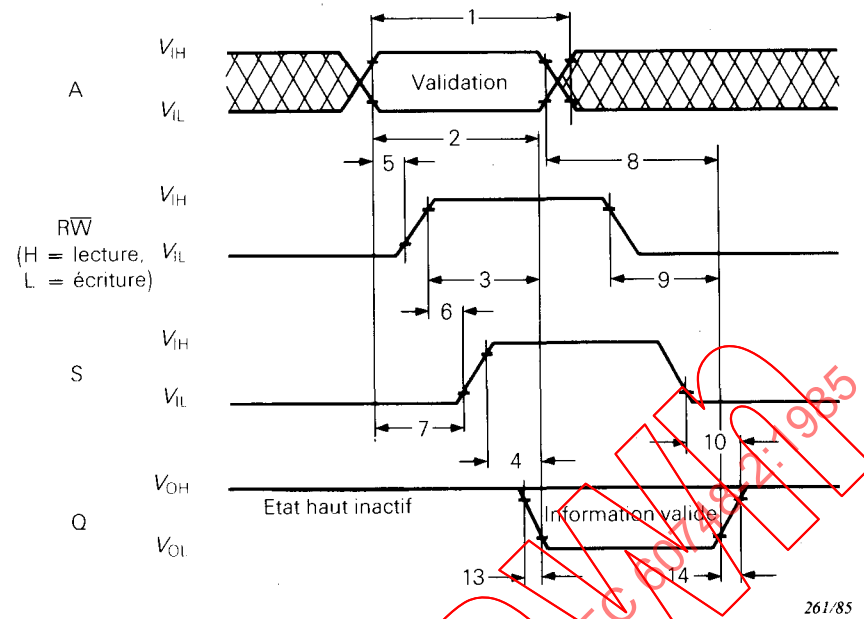


FIG. 19a. — Mémoire avec sortie à collecteur ouvert.

	Symboles complets $t_{A(BC-DE)F}$	Symboles avec indices abrégés en position C et E, indices en position F seulement si essentiel	Formes abrégées typiques
Exigences de temps			
1. Temps de cycle de lecture	$t_{c(AV-AV)R}$	$t_{c(AV-AX)R}$	t_{cR}
5. Temps de préparation adresse-lecture	$t_{su(AV-RH)R}$	$t_{su(AV-RH)}$	$t_{su(A-RH)}$; $t_{su(A-R)}$; $t_{su(A)}$
6. Temps de préparation lecture-sélection	$t_{su(RLH-SLH)R}$	$t_{su(RH-SH)}$	$t_{su(R-S)}$; $t_{su(R)}$
7. Temps de préparation adresse-sélection	$t_{su(AV-SLH)R}$	$t_{su(AV-SH)}$	$t_{su(A-S)}$; $t_{su(A)}$
Caractéristiques de commutation			
2. Temps d'accès d'adresse	$t_{a(AV-QV)R}$	$t_{a(AV-QV)}$	$t_{a(A)}$
3. Temps d'accès de lecture	$t_{a(RLH-QV)R}$	$t_{a(RH-QV)}$	$t_{a(R)}$
4. Temps d'accès de sélection boîtier	$t_{a(SLH-QV)R}$	$t_{a(SH-QV)}$	$t_{a(S)}$
8. Temps de validation en sortie après l'adresse (précédente)	$t_{v(AVX-QVX)R}$	$t_{v(AX-QX)}$	$t_{v(A-Q)}$; $t_{v(A)}$; $t_{v(Q)}$
9. Temps de validation en sortie après (fin de) lecture	$t_{v(RHL-QVX)R}$	$t_{v(RL-QX)}$	$t_{v(R-Q)}$; $t_{v(R)}$; $t_{v(Q)}$
10. Temps d'inhibition en sortie après (fin de) sélection	$t_{dis(SHL-QVH)R}$	$t_{dis(SL-QH)}$	$t_{dis(S-Q)}$; $t_{dis(SL)}$; $t_{dis(S)}$
13. Temps de transition en sortie du niveau haut au niveau bas	$t_{l(QHL)R}^*$	$t_{l(QL)}$	$t_{l(L)}$
14. Temps de transition en sortie du niveau bas au niveau haut	$t_{l(QLH)R}^*$	$t_{l(QH)}$	$t_{l(H)}$
* Les indices en position D et E ne sont pas utilisés pour les temps de transition, y compris les temps de croissance et de décroissance.			

FIG. 19. — Symboles littéraux pour un cycle de lecture typique d'une mémoire.

7.7.2 Examples of letter symbols for semiconductor memories

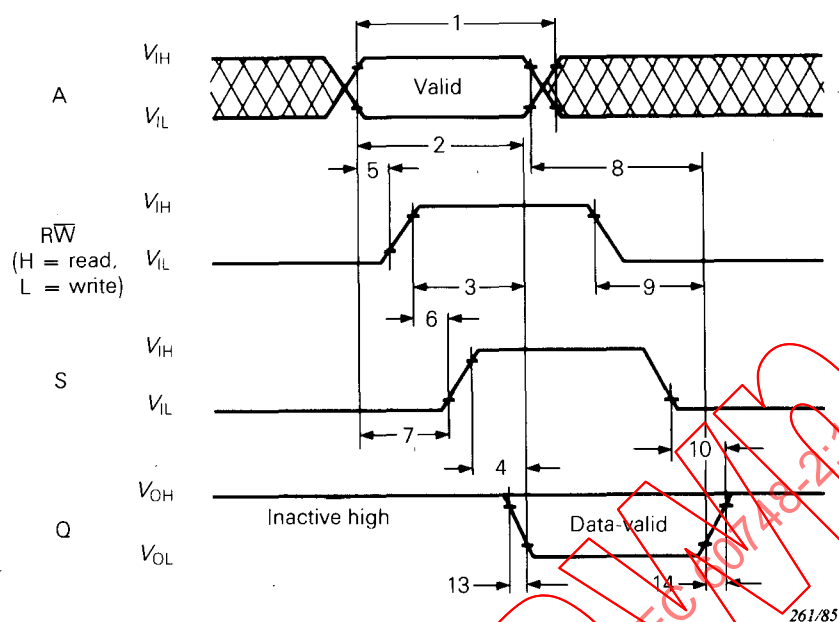
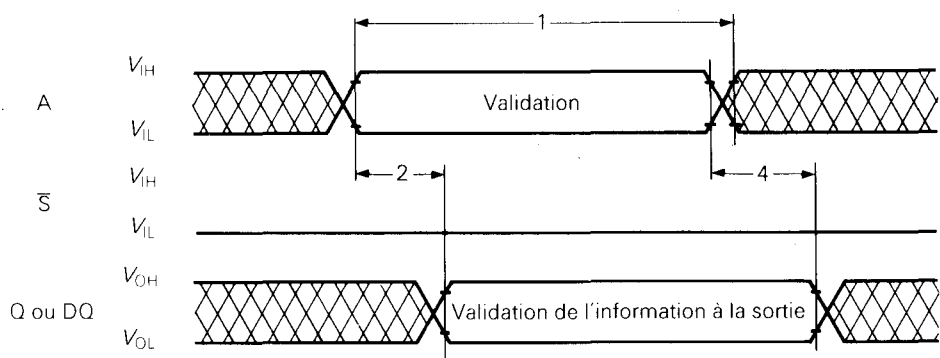


FIG. 19a — Memory with open-collector output.

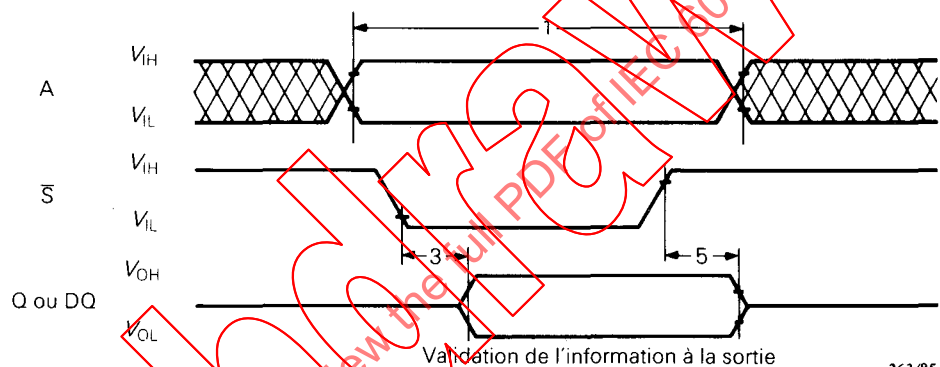
	Full symbols $t_{A(BC-DEF)}$	Symbols with abbreviated sub- scripts in posi- tion C and E, subscripts in po- sition F only when essential	Typical abbreviated forms
Timing requirements			
1. Read cycle time	$t_{C(AV-AVX)R}$	$t_{C(AV-AX)R}$	t_{CR}
5. Address set-up time before read	$t_{su(AV-RLH)R}$	$t_{su(AV-RH)}$	$t_{su(A-RH)}$; $t_{su(A-R)}$; $t_{su(A)}$
6. Read set-up time before select	$t_{su(RLH-SLH)R}$	$t_{su(RH-SH)}$	$t_{su(R-S)}$; $t_{su(R)}$
7. Address set-up time before select	$t_{su(AV-SLH)R}$	$t_{su(AV-SH)}$	$t_{su(A-S)}$; $t_{su(A)}$
Switching characteristics			
2. Address access time	$t_{a(AV-QXV)R}$	$t_{a(AV-QV)}$	$t_{a(A)}$
3. Read access time	$t_{a(RLH-QXV)R}$	$t_{a(RH-QV)}$	$t_{a(R)}$
4. Chip-select time	$t_{a(SLH-QHV)R}$	$t_{a(SH-QV)}$	$t_{a(S)}$
8. Output valid time after (previous) address	$t_{v(AVX-QVX)R}$	$t_{v(AX-QX)}$	$t_{v(A-Q)}$; $t_{v(A)}$; $t_{v(Q)}$
9. Output valid time after (end of) read	$t_{v(RLH-QVX)R}$	$t_{v(RL-QX)}$	$t_{v(R-Q)}$; $t_{v(R)}$; $t_{v(Q)}$
10. Output disable time after (end of) select	$t_{dis(SLH-QVH)R}$	$t_{dis(SL-QH)}$	$t_{dis(S-Q)}$; $t_{dis(SL)}$; $t_{dis(S)}$
13. High-level to low-level output transition time	$t_{t(QHL)R}^*$	$t_{t(QL)}$	$t_{t(L)}$
14. Low-level to high-level output transition time	$t_{t(QLH)R}^*$	$t_{t(QH)}$	$t_{t(H)}$
* Subscripts in position D and E are not used for transition times, including rise and fall times.			

FIG. 19. — Letter symbols for typical memory read cycle.



262/85

FIGURE 20A



263/85

FIGURE 20B

	Symboles complets $t_{ABC-DEF}$	Symboles avec indices abrégés en position C et E, indices en po- sition F seule- ment si essentiel	Formes abrégées typiques
<i>Exigences de temps</i> 1. Temps de cycle de lecture	$t_{c(AV-AV)}R$	$t_{c(AV-AV)}R$	t_{cR}
<i>Caractéristiques de commutation</i> 2. Temps d'accès d'adresse	$t_{a(AV-QV)}R$	$t_{a(AV-QV)}$	$t_{a(A)}$
3. Temps d'accès de sélection boîtier	$t_{a(SL-QV)}R$	$t_{a(SL-QV)}$	$t_{a(S)}$
4. Temps de validation en sortie après adresse	$t_{v(AV-QV)}R$	$t_{v(AV-QV)}$	$t_{v(A)}$
5. Temps d'inhibition en sortie après sélection	$t_{dis(SL-QV)}R$	$t_{dis(SL-QV)}$	$t_{dis(S)}$

FIG. 20. — Mémoire à accès aléatoire à fonctionnement statique. Cycle de lecture typique.

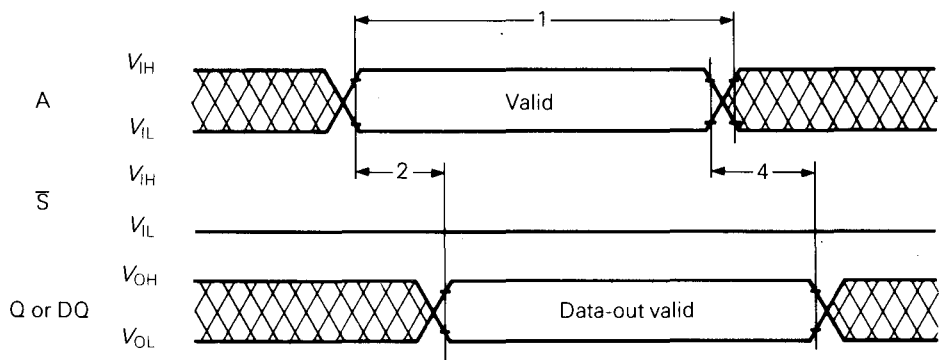


FIGURE 20A

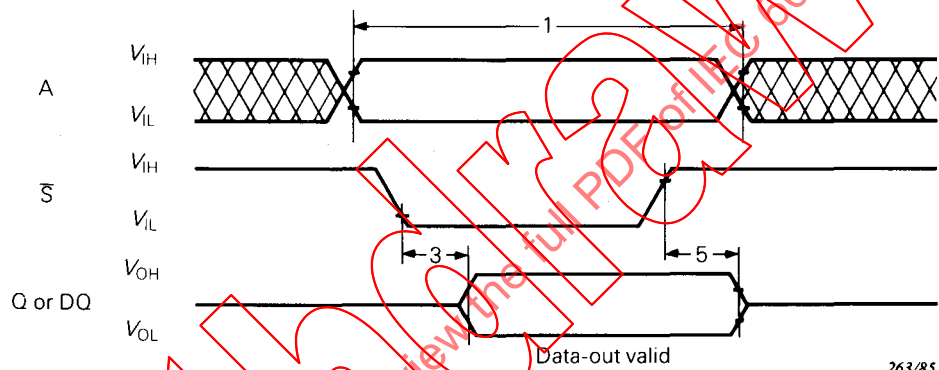
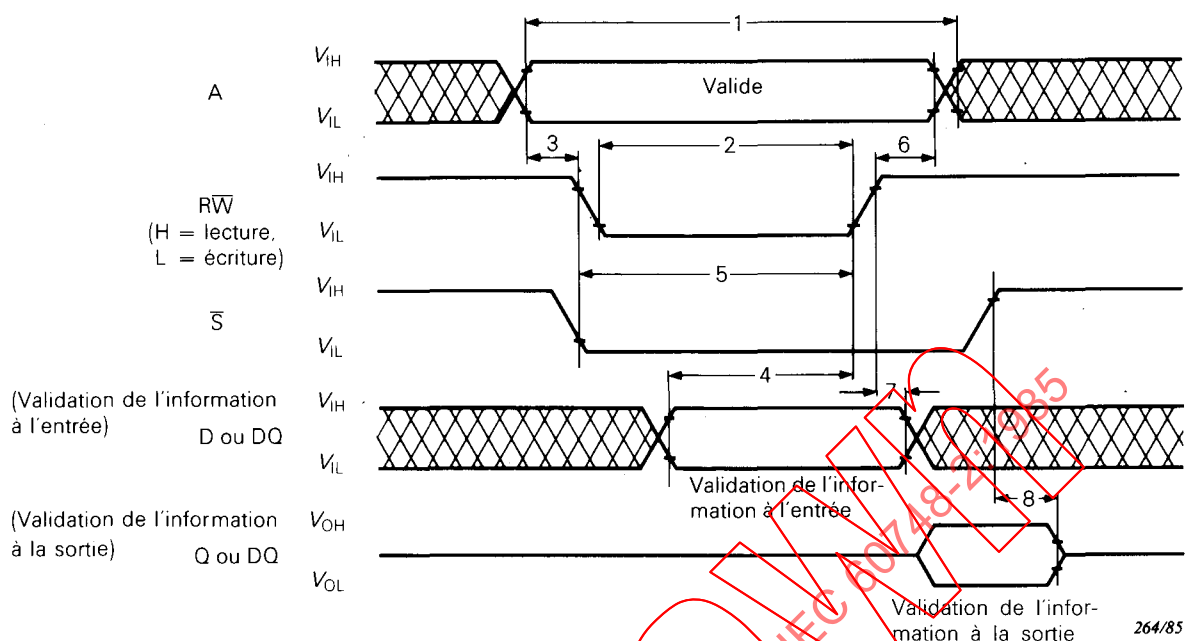


FIGURE 20B

	Full symbols $t_{A(BC-DE)F}$	Symbols with abbreviated sub- scripts in posi- tion C and E, subscripts in position F only when essential	Typical abbreviated forms
<i>Timing requirements</i> 1. Read cycle time	$t_{c(AV-AVX)R}$	$t_{c(AV-AX)R}$	t_{cR}
<i>Switching characteristics</i> 2. Address access time	$t_{a(AV-QV)R}$	$t_{a(AV-QV)}$	$t_{a(A)}$
3. Chip-select access time	$t_{a(SH-QZV)R}$	$t_{a(SL-QV)}$	$t_{a(S)}$
4. Output valid time after address	$t_{v(AVX-QVX)R}$	$t_{v(AX-QX)}$	$t_{v(A)}$
5. Output disable time after select	$t_{dis(SLH-QVZ)R}$	$t_{dis(SH-QZ)}$	$t_{dis(S)}$

FIG. 20. — Typical static random-access memory. Read cycle.

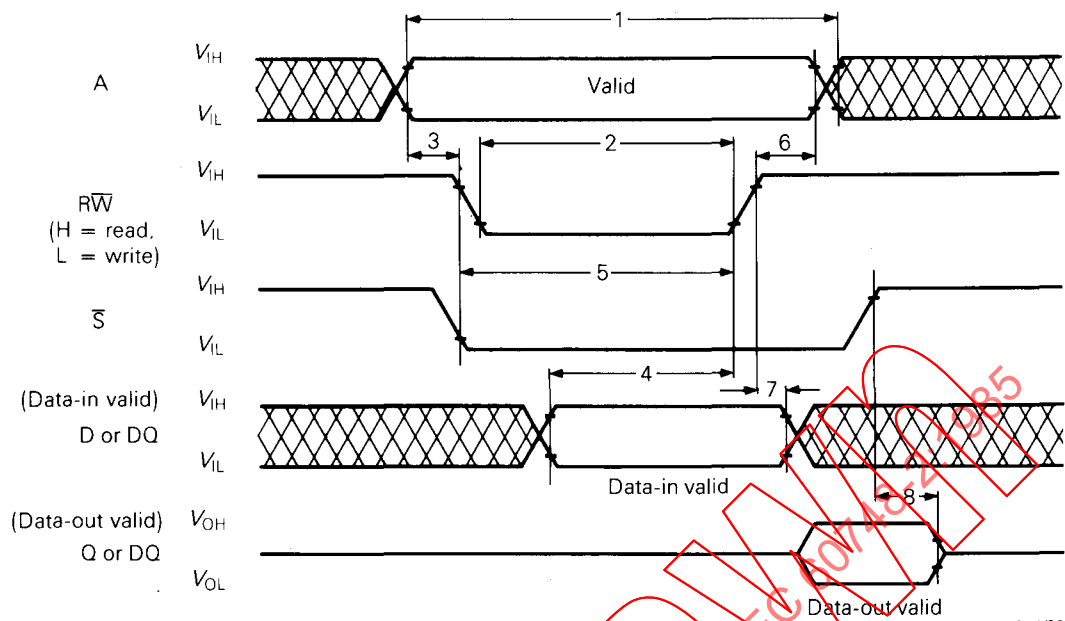
Cycle d'écriture



	Symboles complets $t_{A(B)C-D(E)F}$	Symboles avec indices abrégés en position C et E, indices en position F seulement si essentiel	Formes abrégées typiques
Exigences de temps			
1. Temps de cycle d'écriture	$t_{c(AV-AVX)W}$	$t_{c(AV-AX)W}$	t_{cW}
2. Durée (largeur) de l'impulsion d'écriture	$t_{w(WL-WLH)W}$	$t_{w(WL-WH)}$	$t_{w(WL)}; t_{w(W)}$
3. Temps d'autorisation adresse-écriture	$t_{su(AV-WLH)W}$	$t_{su(AV-WL)}$	$t_{su(A-W)}; t_{su(A)}$
4. Temps d'autorisation information-écriture	$t_{su(DV-WLH)W}$	$t_{su(DV-WH)}$	$t_{su(D-W)}; t_{su(D)}; t_{su(D-WH)}$
5. Temps d'autorisation sélection boîtier (fin d'écriture)	$t_{su(SHL-WLH)W}$	$t_{su(SL-WH)}$	$t_{su(S-W)}; t_{su(S)}; t_{su(S-WH)}$
6. Temps de recouvrement d'écriture ou temps de maintien adresse-écriture	$t_{rec(WLH-AVX)W}$	$t_{rec(WH-AX)}$	$t_{rec(W-A)}; t_{rec(W)}$
7. Temps de maintien information-écriture	$t_{h(WLH-AVX)W}$ $t_{h(WLH-DVX)W}$	$t_{h(WH-AX)}$ $t_{h(WH-DX)}$	$t_{h(W-A)}; t_{h(A)}$ $t_{h(W-D)}; t_{h(D)}$
Caractéristiques de commutation			
8. Temps d'inhibition en sortie après sélection	$t_{dis(SLH-QVZ)W}$	$t_{dis(SH-QZ)}$	$t_{dis(S-Q)}; t_{dis(S)}$

FIG. 21. — Mémoire à accès aléatoire fonctionnement statique. Cycle d'écriture typique.

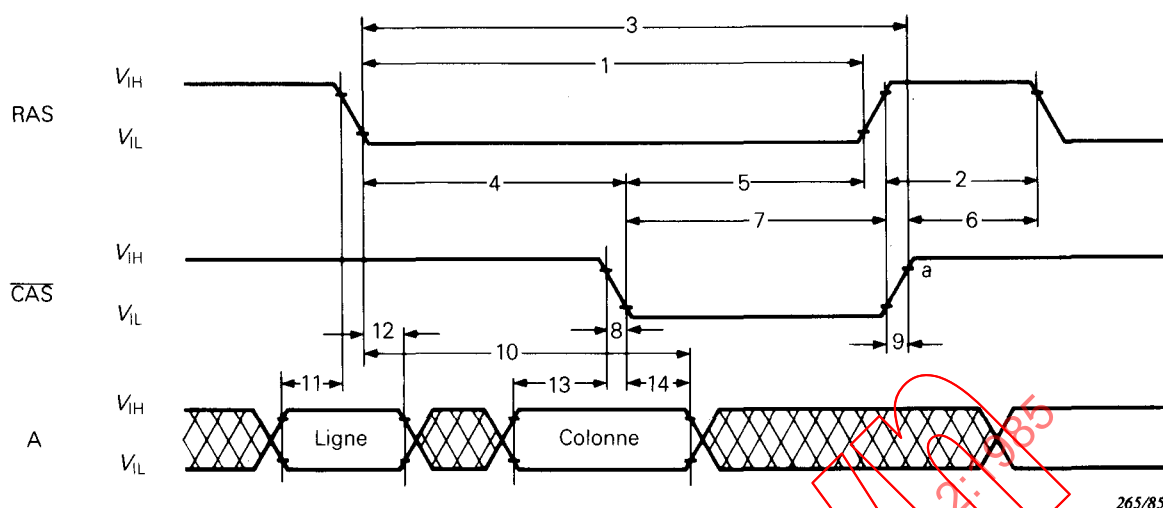
Write cycle



264/85

	Full symbols $t_{A(BC-DEF)}$	Symbols with abbreviated subscripts in position C and E, subscripts in position F only when essential	Typical abbreviated forms
Timing requirements			
1. Write cycle time	$t_{c(AV-AV)W}$	$t_{c(AV-AV)W}$	t_{cW}
2. Write pulse duration (width)	$t_{w(WL-WL)W}$	$t_{w(WL-WH)}$	$t_{w(WL)}; t_{w(W)}$
3. Address set-up time before write	$t_{su(AV-WL)W}$	$t_{su(AV-WL)}$	$t_{su(A-W)}; t_{su(A)}$
4. Data set-up time before (end of) write	$t_{su(DXV-WL)W}$	$t_{su(DV-WH)}$	$t_{su(D-W)}; t_{su(D)}; t_{su(D-WH)}$
5. Chip-select set-up time before (end of) write	$t_{su(SHL-WL)W}$	$t_{su(SL-WH)}$	$t_{su(S-W)}; t_{su(S)}; t_{su(S-WH)}$
6. Write recovery time or address hold time after write	$t_{rec(WL-AV)W}$	$t_{rec(WH-AX)}$	$t_{rec(W-A)}; t_{rec(W)}$
7. Data hold time after write	$t_{h(WL-AV)W}$ $t_{h(WL-DV)W}$	$t_{h(WH-AX)}$ $t_{h(WH-DX)}$	$t_{h(W-A)}; t_{h(A)}$ $t_{h(W-D)}; t_{h(D)}$
Switching characteristics			
8. Output disable time after select	$t_{dis(SLH-QVZ)W}$	$t_{dis(SH-QZ)}$	$t_{dis(S-Q)}; t_{dis(S)}$

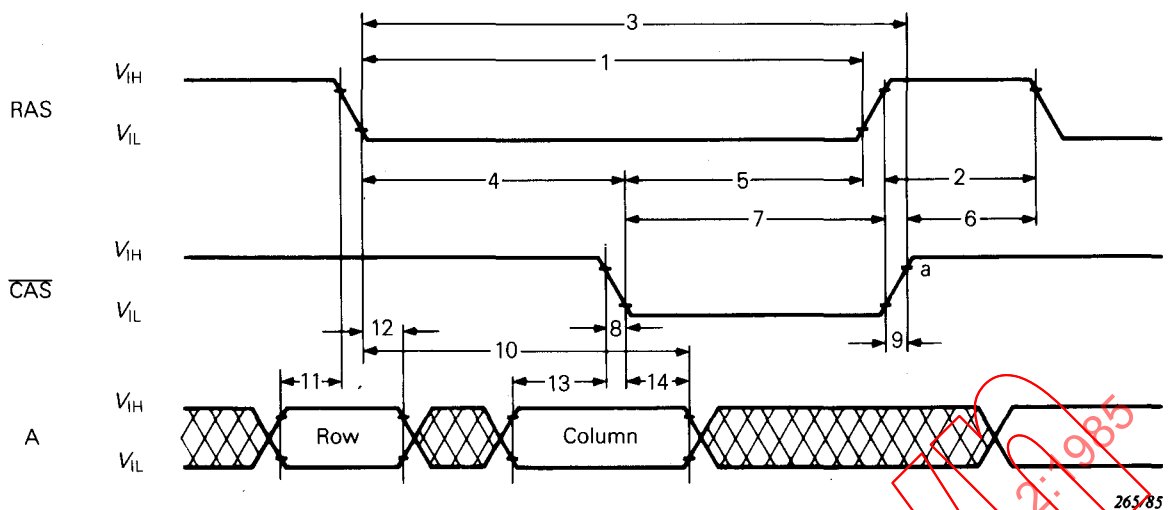
FIG. 21. — Typical static random-access memory. Write cycle.



265/85

	Symboles complets $t_{A(BC, DE, F)}$	Symboles avec indices abrégés en position C et E, indices en position F seulement si essentiel	Formes abrégées typiques
<i>Exigences de temps</i> 1. Durée (largeur) de l'impulsion $\overline{RAS}$ bas 2. Durée (largeur) de l'impulsion $\overline{RAS}$ haut 3. Intervalle de temps entre $\overline{RAS}$ bas et $\overline{CAS}$ haut 4. Intervalle de temps entre $\overline{RAS}$ bas et $\overline{CAS}$ bas 5. Intervalle de temps entre $\overline{CAS}$ bas et $\overline{RAS}$ haut 6. Intervalle de temps entre $\overline{CAS}$ haut et $\overline{RAS}$ bas 7. Durée (largeur) de l'impulsion $\overline{CAS}$ bas 8. Temps de décroissance de $\overline{CAS}$ 9. Temps de croissance de $\overline{CAS}$ 10. Temps de maintien $CA-\overline{RAS}$ bas 11. Temps de préparation $RA-\overline{RAS}$ bas 12. Temps de maintien $RA-\overline{RAS}$ bas 13. Temps de préparation $CA-\overline{CAS}$ bas 14. Temps de maintien $CA-\overline{CAS}$ bas	$t_{w(RASHL-RASH)}$ $t_{w(RASH-RASHL)}$ $t_{d(RASHL-CASH)}$ $t_{d(RASHL-CASHL)}$ $t_{d(CASHL-RASH)}$ $t_{d(CASH-RASHL)}$ $t_{w(CASHL-CASH)}$ $t_{f(CASHL)}$* $t_{f(CASH)}$ $t_h(RASH-CAVX)$ $t_{su}(RAXV-RASHL)$ $t_h(RASHL-RAVX)$ $t_{su}(CAVX-CASHL)$ $t_h(CASHL-CAVX)$	$t_w(RAS-RASH)$ $t_w(RASH-RASL)$ $t_d(RASL-CASH)$ $t_d(RASL-CASL)$ $t_d(CASL-RASH)$ $t_d(CASH-RASL)$ $t_w(CASL-CASH)$ $t_f(CASL)$ $t_f(CASH)$ $t_h(RASL-CAX)$ $t_{su}(RAV-RASL)$ $t_h(RASL-RAX)$ $t_{su}(CAV-CASL)$ $t_h(CASL-CAX)$	$t_w(RASL)$ $t_w(RASH)$ $t_{RASL-CASH}$ $t_{RASL-CASL}$ $t_{CASL-RASH}$ $t_{CASH-RASL}$ $t_w(CASL)$ $t_f(CAS)$ $t_f(CAS)$ $t_h(RASL-CA)$; $t_h(RAS-CA)$ $t_{su}(RA-RASL)$; $t_{su}(RA-RAS)$ $t_h(RASL-RA)$; $t_h(RAS-RA)$ $t_{su}(CA-CASL)$; $t_{su}(CA-CAS)$ $t_h(CASL-CA)$; $t_h(CAS-CA)$
* Les indices D et E ne sont pas utilisés pour les temps de transition, y compris les temps de croissance et de décroissance.			

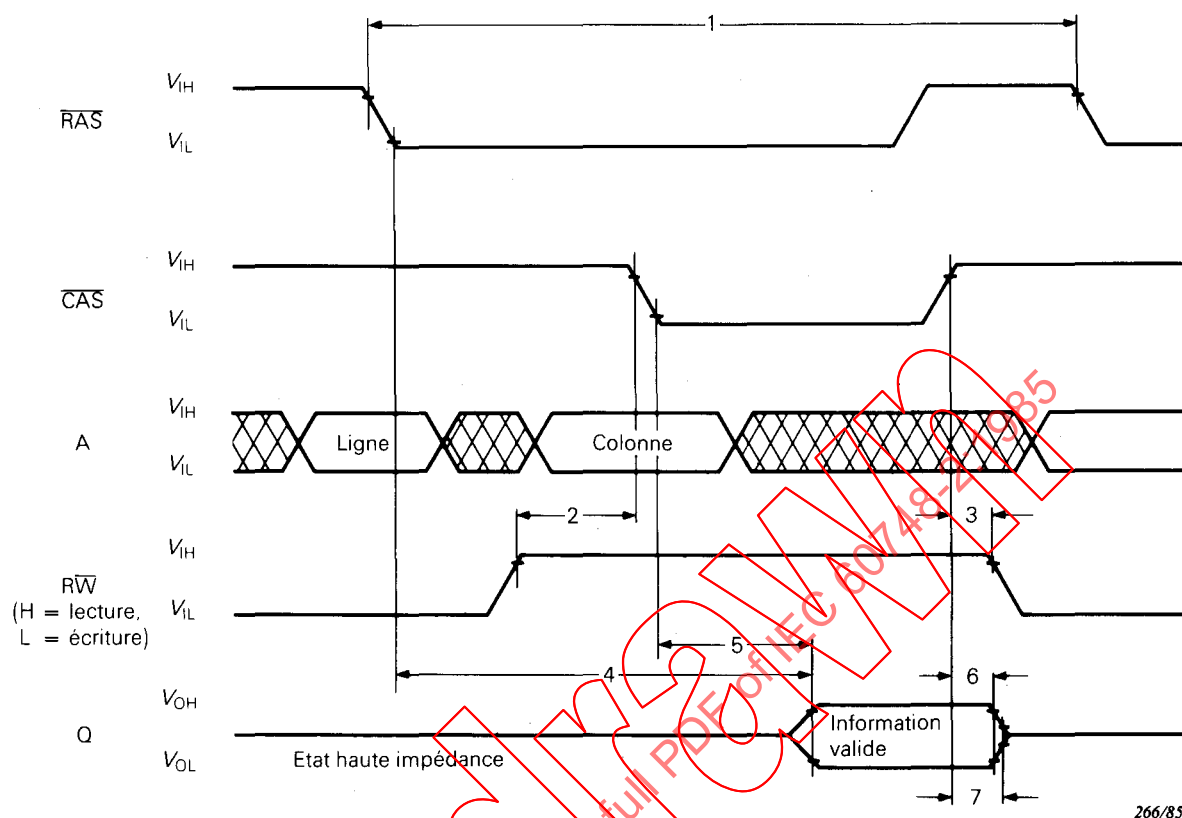
FIG. 22. — Mémoire à accès aléatoire à fonctionnement dynamique. Exigences communes au cycle de lecture typique, au cycle d'écriture typique et au cycle de lecture-écriture typique.



	Full symbols $t_{A(BC-DEF)}$	Symbols with abbreviated subscripts in position C and E, subscripts in position F only when essential	Typical abbreviated forms
Timing requirements			
1. RAS low pulse duration (width)	$t_{w(RASHL-RASH)}$	$t_{w(RASL-RASH)}$	$t_{w(RASL)}$
2. RAS high pulse duration (width)	$t_{w(RASHL-RASHL)}$	$t_{w(RASH-RASL)}$	$t_{w(RASH)}$
3. Time interval RAS low to CAS high	$t_{d(RASHL-CASLH)}$	$t_{d(RASL-CASH)}$	$t_{RASL-CASH}$
4. Time interval RAS low to CAS low	$t_{d(RASHL-CASHL)}$	$t_{d(RASL-CASL)}$	$t_{RASL-CASL}$
5. Time interval CAS low to RAS high	$t_{d(CASHL-RASH)}$	$t_{d(CASL-RASH)}$	$t_{CASL-RASH}$
6. Time interval CAS high to RAS low	$t_{d(CASHL-RASHL)}$	$t_{d(CASH-RASL)}$	$t_{CASH-RASL}$
7. CAS low pulse duration (width)	$t_{w(CASHL-CASLH)}$	$t_{w(CASL-CASH)}$	$t_{w(CASL)}$
8. CAS fall time	$t_{f(CASHL)}$ *	$t_{f(CASL)}$	$t_{f(CAS)}$
9. CAS rise time	$t_{r(CASHL)}$ *	$t_{r(CASH)}$	$t_{r(CAS)}$
10. CA hold time after RAS low	$t_{h(RASHL-CAVX)}$	$t_{h(RASL-CAX)}$	$t_{h(RASL-CA)}$; $t_{h(RAS-CA)}$
11. RA set-up time before RAS low	$t_{su(RAXV-RASHL)}$	$t_{su(RAV-RASL)}$	$t_{su(RA-RASL)}$; $t_{su(RA-RAS)}$
12. RA hold time after RAS low	$t_{h(RASHL-RAVX)}$	$t_{h(RASL-RAX)}$	$t_{h(RASL-RA)}$; $t_{h(RAS-RA)}$
13. CA set-up time before CAS low	$t_{su(CAVX-CASHL)}$	$t_{su(CAV-CASL)}$	$t_{su(CA-CASL)}$; $t_{su(CA-CAS)}$
14. CA hold time after CAS low	$t_{h(CASHL-CAVX)}$	$t_{h(CASL-CAX)}$	$t_{h(CASL-CA)}$; $t_{h(CAS-CA)}$
* Subscripts D and E are not used for transition times, including rise and fall times.			

FIG. 22. — Typical dynamic random-access memory. Requirements common to read cycle, write cycle and read-write cycle.

Cycle de lecture

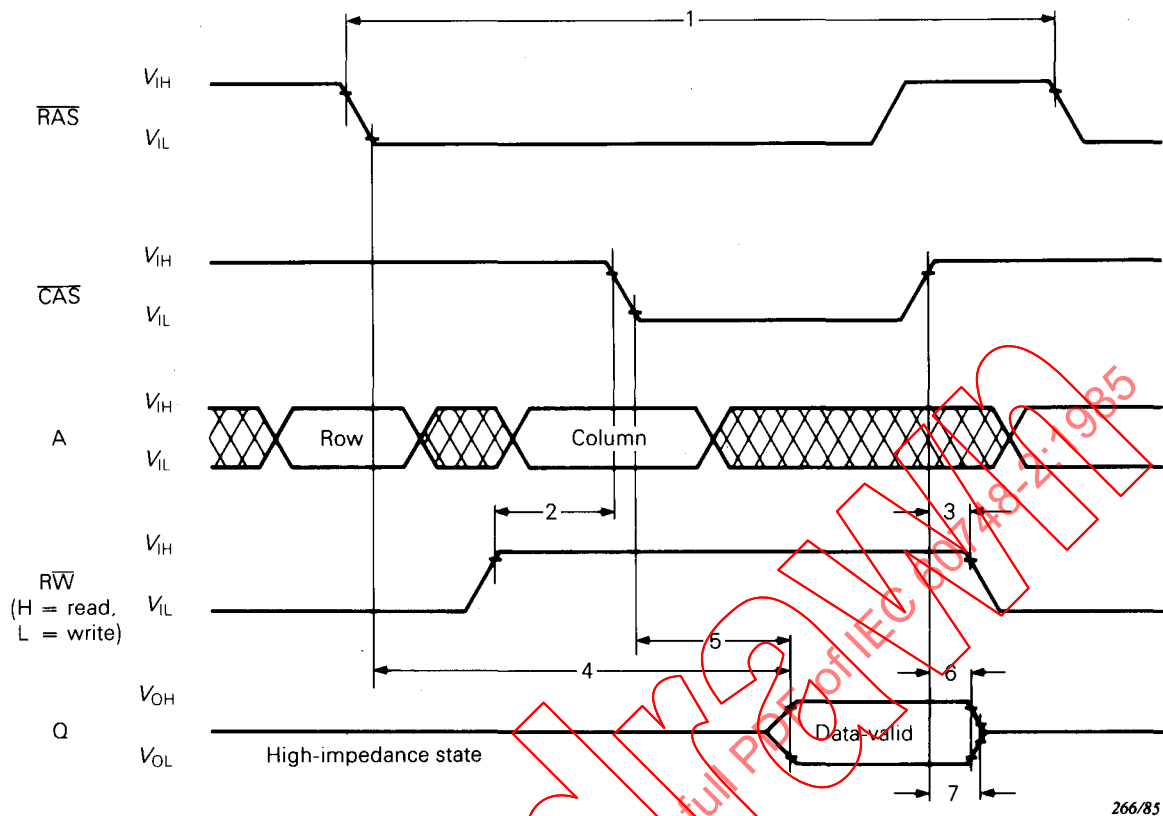


266/85

	Symboles complets $t_{A(BC-DEF)}$	Symboles avec indices abrégés en position C et E, indices en position F seulement si essentiel	Formes abrégées typiques
Exigences de temps 1. Temps de cycle de lecture 2. Temps de préparation lecture- $\overline{\text{CAS}}$ bas 3. Temps de maintien lecture- $\overline{\text{CAS}}$ haut Caractéristiques de commutation 4. Temps d'accès $\overline{\text{RAS}}$ bas 5. Temps d'accès $\overline{\text{CAS}}$ bas 6. Temps de validation en sortie après $\overline{\text{CAS}}$ haut 7. Temps d'inhibition en sortie après $\overline{\text{CAS}}$ haut	$t_{c(RASHL-RASHL)R}$ $t_{su(RLH-CASHL)R}$ $t_{h(CASHL-RHL)R}$ $t_{a(RASHL-QV)R}$ $t_{a(CASHL-QV)R}$ $t_{v(CASHL-QVX)R}$ $t_{dis(CASHL-QVZ)R}$	$t_{c(RASL-RASL)R}$ $t_{su(RH-CASL)}$ $t_{h(CASH-RL)}$ $t_{a(RASL-QV)}$ $t_{a(CASL-QV)}$ $t_{v(CASH-QX)}$ $t_{dis(CASH-QZ)}$	t_{cR} $t_{su(R-CASL)}$; $t_{su(R-CAS)}$ $t_{h(CASH-R)}$; $t_{h(CAS-R)}$ $t_{a(RASL)}$; $t_{a(RAS)}$ $t_{a(CASL)}$; $t_{a(CAS)}$ $t_{v(CASH-Q)}$; $t_{v(CAS-Q)}$; $t_{v(CAS)}$ $t_{dis(CASH-Q)}$; $t_{dis(CAS)}$

FIG. 23. — Mémoire à accès aléatoire à fonctionnement dynamique. Cycle de lecture typique.

Read cycle

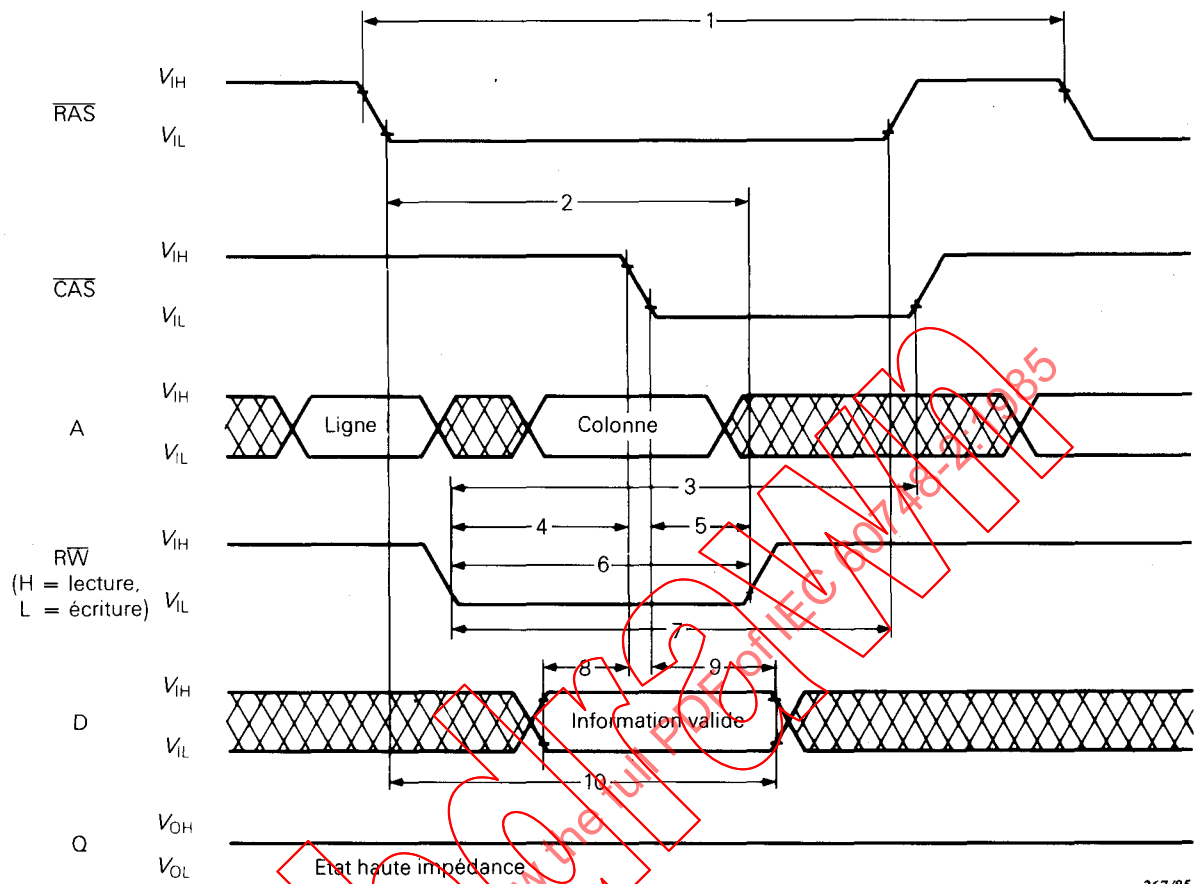


266/85

	Full symbols $t_{(ABC-DEF)}$	Symbols with abbreviated subscripts in position C and E, subscripts in position F only when essential	Typical abbreviated forms
Timing requirements 1. Read cycle time 2. Read set-up time before $\overline{CAS}$ low 3. Read hold time after $\overline{CAS}$ high	$t_{c(RASHL-RASHL)R}$ $t_{su(RLH-CASHL)R}$ $t_{h(CASHL-RHL)R}$	$t_{c(RASL-RASL)R}$ $t_{su(RH-CASL)}$ $t_{h(CASH-RL)}$	t_{cR} $t_{su(R-CASL)}$; $t_{su(R-CAS)}$ $t_{h(CASH-R)}$; $t_{h(CAS-R)}$
Switching characteristics 4. $\overline{RAS}$ low access time 5. $\overline{CAS}$ low access time 6. Output valid time after $\overline{CAS}$ high 7. Output disable time after $\overline{CAS}$ high	$t_{a(RASHL-QVZ)R}$ $t_{a(CASHL-QVZ)R}$ $t_{v(CASHL-QVX)R}$ $t_{dis(CASHL-QVZ)R}$	$t_{a(RASL-QV)}$ $t_{a(CASL-QV)}$ $t_{v(CASH-QX)}$ $t_{dis(CASH-QZ)}$	$t_{a(RASL)}$; $t_{a(RAS)}$ $t_{a(CASL)}$; $t_{a(CAS)}$ $t_{v(CASH-Q)}$; $t_{v(CAS-Q)}$; $t_{v(CAS)}$ $t_{dis(CASH-Q)}$; $t_{dis(CAS)}$

FIG. 23. — Typical dynamic random-access memory. Read cycle.

Cycle d'écriture

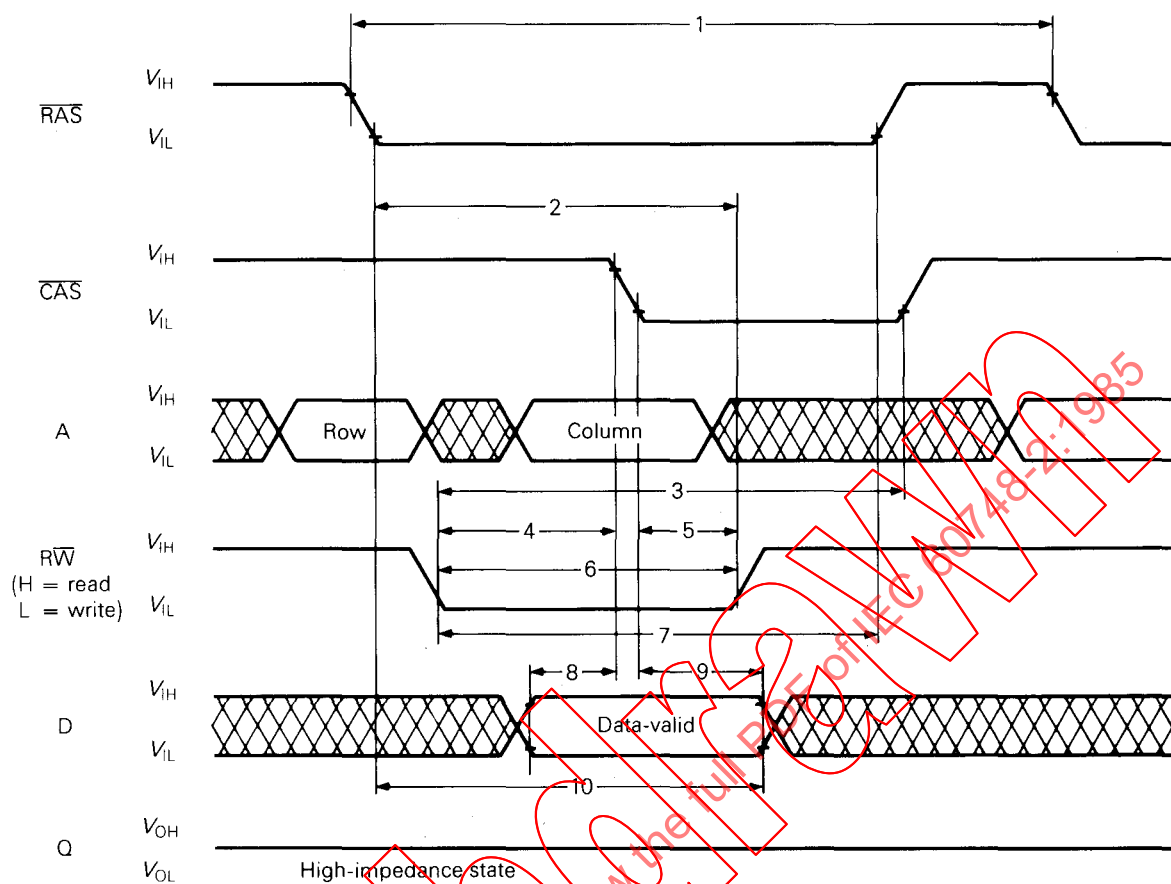


267/85

	Symboles complets $t_{A(BC-DE)F}$	Symboles avec indices abrégés en position C et E, indices en position F seulement si essentiel.	Formes abrégées typiques
Exigences de temps 1. Temps de cycle d'écriture 2. Temps de maintien écriture-RAS bas 3. Temps de maintien CAS bas-écriture 4. Temps de préparation écriture-CAS bas 5. Temps de maintien écriture-CAS bas 6. Durée (largeur) de l'impulsion d'écriture 7. Temps de maintien RAS bas-écriture 8. Temps de préparation entrée information-CAS bas 9. Temps de maintien entrée information-CAS bas 10. Temps de maintien entrée information-RAS bas	$t_{C(RASHL-RASHL)W}$ $t_{h(RASHL-WLH)W}$ $t_{h(WHL-CASHL)W}$ $t_{su(WHL-CASHL)W}$ $t_{h(CASHL-WLH)W}$ $t_{w(WHL-WLH)W}$ $t_{h(WHL-RASHL)W}$ $t_{su(DXV-CASHL)W}$ $t_{h(CASHL-DVX)W}$ $t_{h(RASHL-DVX)W}$	$t_{C(RASL-RASL)W}$ $t_{h(RASL-WH)}$ $t_{h(WL-CASH)}$ $t_{su(WL-CASL)}$ $t_{h(CASL-WH)}$ $t_{w(WL-WH)}$ $t_{h(WL-RASH)}$ $t_{su(DV-CASL)}$ $t_{h(CASL-DX)}$ $t_{h(RASL-DX)}$	$t_{C(W)}$ $t_{h(RASL-W)}; t_{h(RAS-W)}$ $t_{h(W-CASH)}; t_{h(W-CAS)}$ $t_{su(W-CASL)}; t_{su(W-CAS)}$ $t_{h(CASL-W)}; t_{h(CAS-W)}$ $t_{w(W)}; t_{w(W)}$ $t_{h(W-RASH)}; t_{h(W-RAS)}$ $t_{su(D-CASL)}; t_{su(D-CAS)}$ $t_{h(CASL-D)}; t_{h(CAS-D)}$ $t_{h(RASL-D)}; t_{h(RAS-D)}$

FIG. 24. — Mémoire à accès aléatoire à fonctionnement dynamique. Cycle d'écriture.

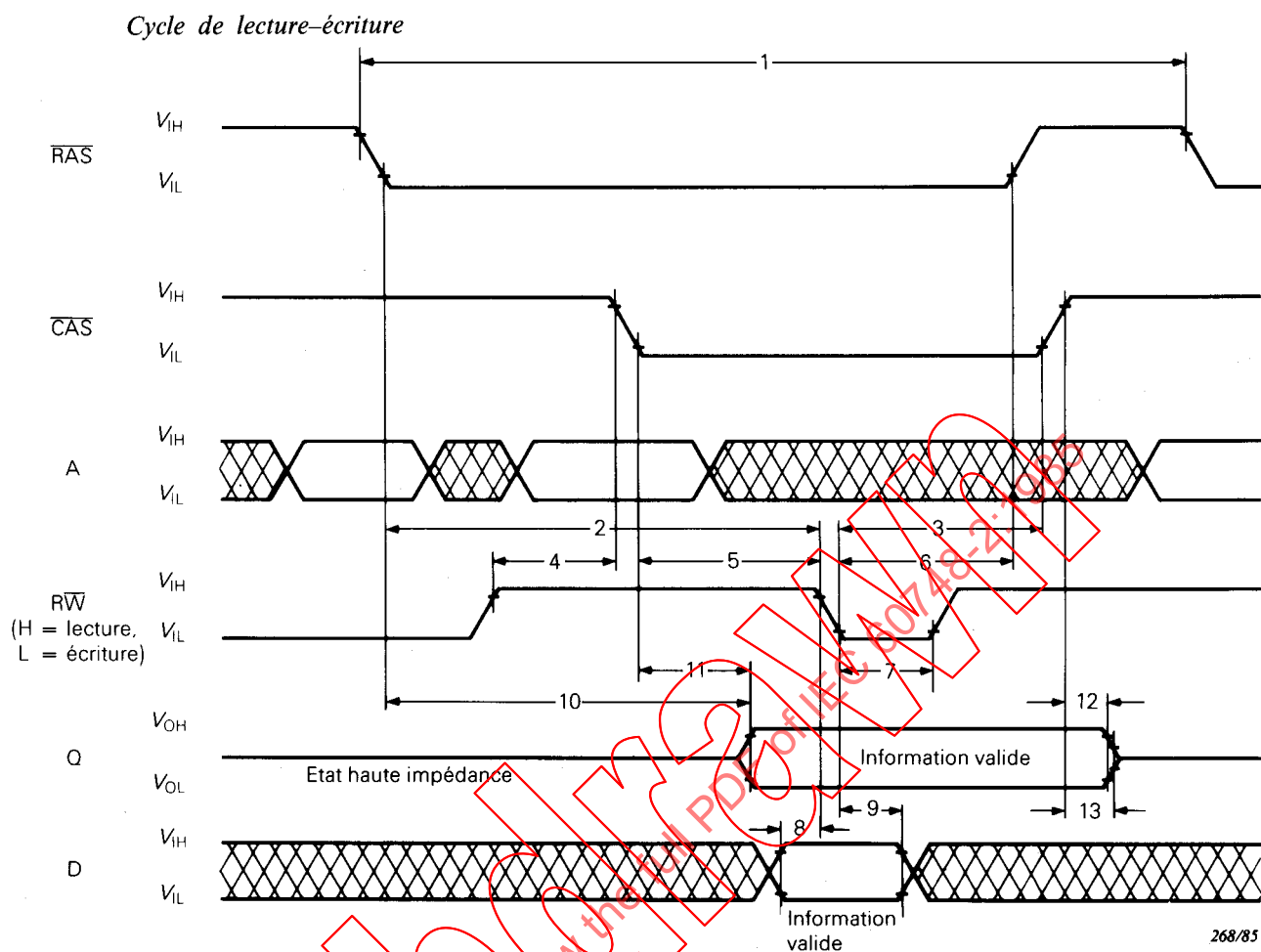
Write cycle



267/85

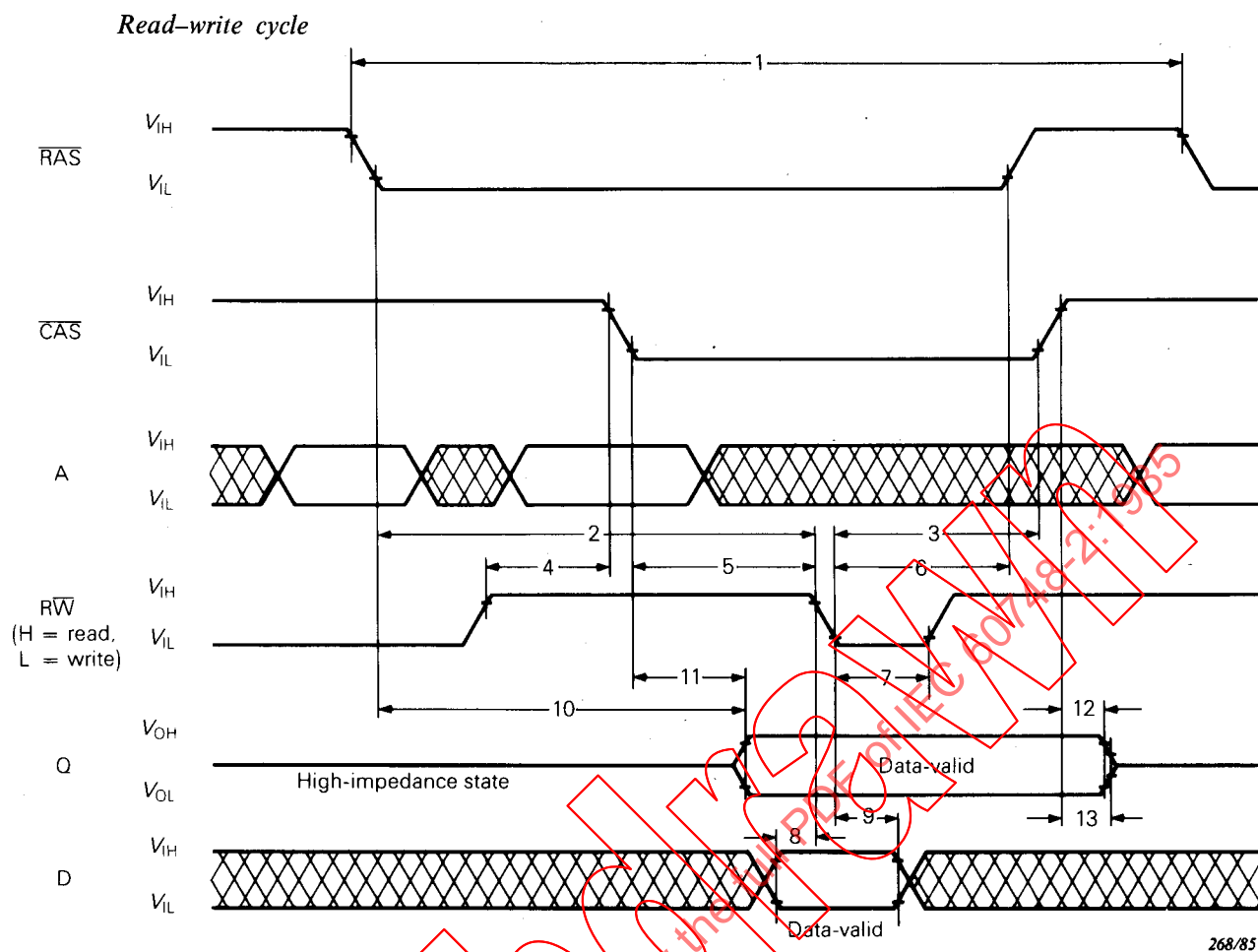
	Full symbols $t_{A(BC-DEF)}$	Symbols with abbreviated subscripts in position C and E, subscripts in position F only when essential	Typical abbreviated forms
Timing requirements 1. Write cycle time 2. Write hold time after RAS low 3. CAS low hold time after write 4. Write set-up time before CAS low 5. Write hold time after CAS low 6. Write pulse duration (width) 7. RAS low hold time after write 8. Data-in set-up time before CAS low 9. Data-in hold time after CAS low 10. Data-in hold time after RAS low	$t_{c(RASHL-RASH)W}$ $t_{h(RASHL-WLH)W}$ $t_{h(WHL-CASH)W}$ $t_{su(WLH-CASH)W}$ $t_{h(CASHL-WLH)W}$ $t_{w(WHL-WLH)W}$ $t_{h(WHL-RASH)W}$ $t_{su(DVX-CASH)W}$ $t_{h(CASHL-DVX)W}$ $t_{h(RASHL-DVX)W}$	$t_{c(RASL-RAS)W}$ $t_{h(RASL-WH)}$ $t_{h(WL-CASH)}$ $t_{su(WL-CASL)}$ $t_{h(CASL-WH)}$ $t_{w(WL-WH)}$ $t_{h(WL-RASH)}$ $t_{su(DV-CASL)}$ $t_{h(CASL-DX)}$ $t_{h(RASL-DX)}$	t_{cW} $t_{h(RASL-W)}$; $t_{h(RAS-W)}$ $t_{h(W-CASH)}$; $t_{h(W-CAS)}$ $t_{su(W-CASL)}$; $t_{su(W-CAS)}$ $t_{h(CASL-W)}$; $t_{h(CAS-W)}$ $t_{w(WL)}$; $t_{w(W)}$ $t_{h(W-RASH)}$; $t_{h(W-RAS)}$ $t_{su(D-CASL)}$; $t_{su(D-CAS)}$ $t_{h(CASL-D)}$; $t_{h(CAS-D)}$ $t_{h(RASL-D)}$; $t_{h(RAS-D)}$

FIG. 24. — Typical dynamic random-access memory. Write cycle.



	Symboles complets $t_{A(BC-DE)F}$	Symboles avec indices abrégés en position C et E, indices en position F seulement si essentiel	Formes abrégées typiques
Exigences de temps 1. Temps de cycle de lecture-écriture 2. Intervalle de temps $\overline{RAS}$ bas-écriture 3. Temps de maintien $\overline{CAS}$ bas-écriture 4. Temps de préparation lecture- $\overline{CAS}$ bas 5. Intervalle de temps $\overline{CAS}$ bas-écriture 6. Temps de maintien $\overline{RAS}$ bas-écriture 7. Durée (largeur) de l'impulsion d'écriture 8. Temps de préparation entrée information-écriture 9. Temps de maintien entrée information-écriture	$t_{c(RASHL-RASHL)RW}$ $t_{d(RASHL-WHL)RW}$ $t_{h(WHL-CASH)RW}$ $t_{su(RLH-CASH)RW}$ $t_{d(CASHL-WHL)RW}$ $t_{h(WHL-RASH)RW}$ $t_{w(WHL-WLH)RW}$ $t_{su(DXV-WHL)RW}$ $t_{h(WHL-DVX)RW}$	$t_{c(RASL-RASL)RW}$ $t_{d(RASL-WL)}$ $t_{h(WL-CASH)}$ $t_{su(RH-CASL)}$ $t_{d(CASL-WL)}$ $t_{h(WL-RASH)}$ $t_{w(WL-WH)}$ $t_{su(DV-WL)}$ $t_{h(WL-DX)}$	t_{cRW} $t_{d(RAS-W)}; t_{RASL-WL}; t_{RAS-W}$ $t_{h(W-CASH)}; t_{h(W-CAS)}$ $t_{su(R-CASL)}; t_{su(R-CAS)}$ $t_{d(CAS-W)}; t_{CASL-WL}; t_{CAS-W}$ $t_{h(W-RASH)}; t_{h(W-RAS)}$ $t_{w(WL)}; t_{w(W)}$ $t_{su(D-W)}$ $t_{h(W-D)}$
Caractéristiques de commutation 10. Temps d'accès $\overline{RAS}$ bas 11. Temps d'accès $\overline{CAS}$ bas 12. Temps de validation en sortie- $\overline{CAS}$ haut 13. Temps d'inhibition en sortie- $\overline{CAS}$ haut	$t_a(RASHL-QZV)RW$ $t_a(CASHL-QZV)RW$ $t_v(CASH-QVX)RW$ $t_{dis}(CASH-QVZ)RW$	$t_a(RASL-QV)$ $t_a(CASL-QV)$ $t_v(CASH-QX)$ $t_{dis}(CASH-QZ)$	$t_a(RASL); t_a(RAS)$ $t_a(CASL); t_a(CAS)$ $t_v(CASH-Q); t_v(CAS-Q); t_v(CAS)$ $t_{dis}(CASH-Q); t_{dis}(CAS-Q); t_{dis}(CAS)$

FIG. 25. — Mémoire à accès aléatoire à fonctionnement dynamique. Cycle de lecture-écriture typique.



	Full-symbols $t_{A(BC-DEF)}$	Symbols with abbreviated subscripts in position C and E, subscripts in position F only when essential	Typical abbreviated forms
Timing requirements 1. Read-write cycle time 2. Time interval RAS low to write 3. CAS low hold time after write 4. Read set-up time before CAS low 5. Time interval CAS low to write 6. RAS low hold time after write 7. Write pulse duration (width) 8. Data-in set-up time before write 9. Data-in hold time after write	$t_{cl}(RASHL-RASH)RW$ $t_{dl}(RASHL-WHL)RW$ $t_{hl}(WHL-CASH)RW$ $t_{su}(RLH-CASH)RW$ $t_{dl}(CASHL-WHL)RW$ $t_{hl}(WHL-RASH)RW$ $t_{wl}(WHL-WLH)RW$ $t_{su}(DXV-WHL)RW$ $t_{hl}(WHL-DVX)RW$	$t_{cl}(RASL-RAS)RW$ $t_{dl}(RASL-WL)$ $t_{hl}(WL-CASH)$ $t_{su}(RH-CASL)$ $t_{dl}(CASL-WL)$ $t_{hl}(WL-RASH)$ $t_{wl}(WL-WH)$ $t_{su}(DV-WL)$ $t_{hl}(WL-DX)$	t_{crw} $t_{dl}(RAS-W); t_{RASL-WL}; t_{RAS-W}$ $t_{hl}(W-CASH); t_{hl}(W-CAS)$ $t_{su}(R-CASL); t_{su}(R-CAS)$ $t_{dl}(CAS-W); t_{CASL-WL}; t_{CAS-W}$ $t_{hl}(W-RASH); t_{hl}(W-RAS)$ $t_{wl}(WL); t_{wl}(W)$ $t_{su}(D-W)$ $t_{hl}(W-D)$
Switching characteristics 10. RAS low access time 11. CAS low access time 12. Output valid time after CAS high 13. Output disable time after CAS high	$t_{al}(RASHL-QV)RW$ $t_{al}(CASHL-QV)RW$ $t_{vl}(CASLH-QVX)RW$ $t_{dis}(CASLH-QVZ)RW$	$t_{al}(RASL-QV)$ $t_{al}(CASL-QV)$ $t_{vl}(CASH-QX)$ $t_{dis}(CASH-QZ)$	$t_{al}(RASL); t_{al}(RAS)$ $t_{al}(CASL); t_{al}(CAS)$ $t_{vl}(CASH-Q); t_{vl}(CAS-Q); t_{vl}(CAS)$ $t_{dis}(CASH-Q); t_{dis}(CAS-Q); t_{dis}(CAS)$

FIG. 25. — Typical dynamic random-access memory. Read-write cycle.

CHAPITRE III: VALEURS LIMITES ET CARACTÉRISTIQUES ESSENTIELLES

SECTION UN — GÉNÉRALITÉS SUR LES CIRCUITS INTÉGRÉS DIGITAUX

Les stipulations de cette section couvrent les circuits intégrés digitaux combinatoires et séquentiels, à la fois bipolaires et MOS, sauf spécification contraire. Elles ne s'appliquent pas aux assemblages à couplage dynamique des circuits intégrés digitaux.

1. Identification et description du circuit

1.1 Désignation et type

1.2 Technologie

On doit indiquer la technologie employée pour la fabrication, par exemple: circuit intégré monolithique à semiconducteurs, circuit intégré à couche mince, circuit intégré hybride, microassemblage. On doit aussi indiquer les détails des technologies du semiconducteur, telles que: NMOS, CMOS, TTL Schottky ou I²L.

1.3 Identification du boîtier

1.3.1 Numéro CEI et/ou numéro national de référence du dessin d'encombrement, ou dessin du boîtier non normalisé avec la numérotation des bornes.

1.3.2 Matériau principal du boîtier, par exemple: céramique, plastique, verre.

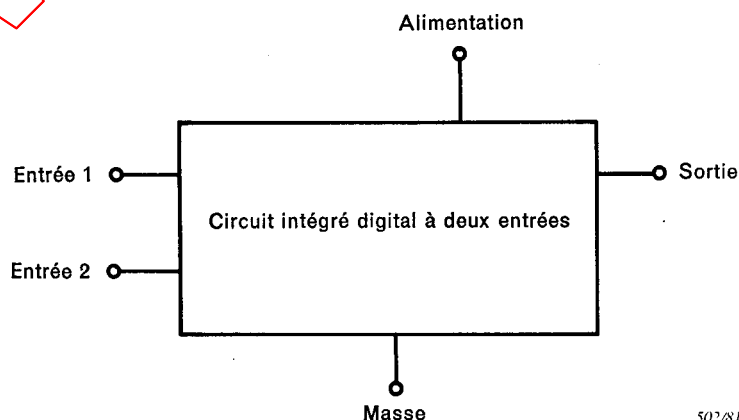
1.3.3 Identification des bornes: numéro des bornes et fonctions associées.

2. Spécifications fonctionnelles

2.1 Schéma synoptique

Un schéma synoptique ou une information équivalente sur le circuit intégré digital doit être donné.

Exemple:



502/81

FIGURE 26

CHAPTER III: ESSENTIAL RATINGS AND CHARACTERISTICS

SECTION ONE — DIGITAL INTEGRATED CIRCUITS, GENERAL

The provisions of this section cover combinatorial and sequential digital integrated circuits, both bipolar and MOS circuits, unless otherwise specified. They do not include a.c. coupled digital integrated circuits.

1. Circuit identification and description

1.1 Designation and type

1.2 Technology

The manufacturing technology, for example, semiconductor monolithic integrated circuit, thin film integrated circuit, hybrid integrated circuit, micro-assembly, should be stated. This statement should include details of the semiconductor technologies such as NMOS, CMOS, Schottky TTL or I²L.

1.3 Package identification

1.3.1 IEC and/or national reference number of the outline drawing, or drawing of non-standard package including terminal numbering.

1.3.2 Principal package material, for example, ceramic, plastic, glass.

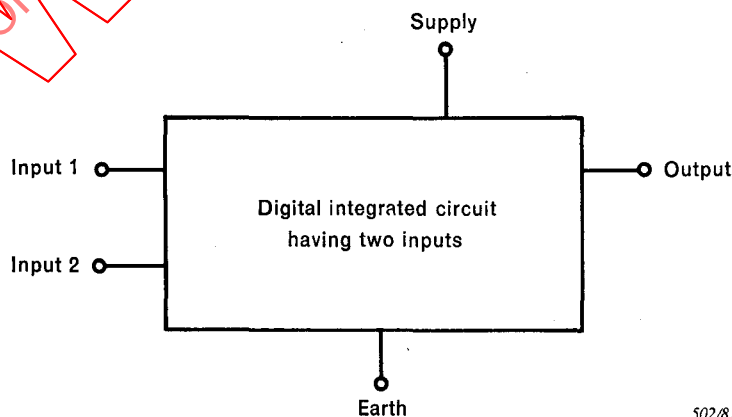
1.3.3 Terminal identification, terminal numbers and associated functions.

2. Functional specifications

2.1 Block diagram

A block diagram or equivalent circuit information of the digital integrated circuit should be given.

Example:



502/81

FIGURE 26

On peut distinguer les bornes suivantes:

- a) Bornes d'alimentation, c'est-à-dire les bornes prévues pour être connectées aux alimentations.
- b) Bornes d'entrée et de sortie, c'est-à-dire les bornes vers lesquelles ou à partir desquelles les signaux circulent. Le terme «signal» comprend à la fois l'impulsion et des formes d'ondes plus complexes.
- c) S'il y a lieu, autres bornes pouvant servir à commander ou à modifier les caractéristiques du circuit.
- d) Bornes non connectées.

Le schéma synoptique doit permettre d'identifier la fonction de chaque connexion externe et, lorsqu'il n'y a pas de risque d'ambiguïté, indiquer également les numéros des bornes. Si l'encapsulation comporte des parties métalliques, toute connexion des bornes extérieures à ces parties doit être précisée. On doit indiquer les connexions avec tous les éléments électriques externes associés, si c'est nécessaire.

Comme information supplémentaire, on peut reproduire le schéma électrique complet comprenant les éléments parasites importants, mais sans indiquer nécessairement les valeurs des composants du circuit.

2.2 Description fonctionnelle

La fonction réalisée par le circuit doit être spécifiée, par exemple sous forme d'une table de fonctionnement.

Exemple:

Table de fonctionnement pour un circuit intégré digital à deux entrées réalisant la fonction ET-NON (OU-NON).

Entrée 1	Entrée 2	Sortie
H	H	L
H	L	H
L	H	H
L	L	H

Sauf indication contraire, H et L sont relatifs à une tension.

2.3 Structures complexes

S'il y a lieu, pour des structures complexes dans un même boîtier, les interconnexions extérieures permises entre les bornes, les éléments extérieurs tels que résistances de charge à connecter et la fonction principale qui alors est remplie, doivent être indiqués.

3. Valeurs limites

En satisfaisant aux articles suivants, si des valeurs maximales et/ou minimales sont données, le fabricant doit indiquer s'il se réfère à la valeur absolue ou à la valeur algébrique de la grandeur.

Les valeurs limites doivent couvrir le fonctionnement du circuit intégré dans la gamme des températures de fonctionnement spécifiée. Si ces valeurs limites dépendent de la température, cette dépendance doit être indiquée.

The following terminals may be distinguished:

- a) Supply terminals, that is, terminals intended to be connected to the power supplies.
- b) Input and output terminals, that is, terminals into or out of which signals are passed. The term "signal" includes both pulse and more complex waveforms.
- c) Where appropriate, other terminals that can be used to control or modify the characteristics of the circuit.
- d) Blank terminals.

The block diagram should identify the function of each external connection and, where no ambiguity can occur, can also show the terminal numbers. If the encapsulation has metallic parts, any connection to them from external terminals should be indicated. The connections with any associated external electrical elements should be stated, where necessary.

As additional information, the complete electrical diagram can be reproduced, but not necessarily with indications of the values of the circuit components.

2.2 Functional description

The function performed by the circuit should be specified, for example, in the form of a function table.

Example:

A function table of a digital integrated circuit having two inputs and performing the NAND (NOR) function.

Input 1	Input 2	Output
H	H	L
H	L	H
L	H	H
L	L	H

Unless otherwise stated, H and L refer to voltage.

2.3 Complex structures

Where appropriate, for complex structures in a single encapsulation, the permissible external interconnections of the terminals, the external elements such as load resistances to be connected and the principal function which may be performed thereby, should be stated.

3. Ratings (limiting values)

In satisfying the following clauses, if maximum and/or minimum values are quoted, the manufacturer must indicate whether he refers to the absolute magnitude or to the algebraic value of the quantity.

The ratings given must cover the operation of the integrated circuit over the specified range of operating temperatures. Where such ratings are temperature-dependent, this dependence should be indicated.

3.1 *Tensions et courants continus*

- 3.1.1 Valeur(s) limite(s) de la (ou des) tension(s) aux bornes d'alimentation par rapport à un point de référence électrique spécifié (voir note).
- 3.1.2 S'il y a lieu, valeur limite de la tension entre des bornes d'alimentation spécifiées (voir note).
- 3.1.3 Quand plusieurs tensions d'alimentation sont nécessaires, on doit indiquer si l'ordre de mise en service des alimentations est important; dans ce cas, la séquence doit être indiquée.
- 3.1.4 Si le courant traversant une borne quelconque n'est pas suffisamment limité par la valeur limite de tension, une valeur limite de courant doit être aussi donnée pour cette borne (voir note).
- 3.1.5 S'il y a lieu, valeurs limites des conditions en continu aux bornes d'entrée et/ou de sortie.

Note. — Quand on utilise plus d'une alimentation, il peut être nécessaire d'indiquer la combinaison de valeurs limites pour ces tensions et ces courants d'alimentation.

3.2 *Tensions et courants non continus*

- 3.2.1 Si les valeurs données dans les paragraphes 3.1.1, 3.1.2 et 3.1.4 peuvent être dépassées pour des conditions transitoires, les valeurs des dépassements permis et leur durée doivent être indiquées.
- 3.2.2 Valeurs limites de la tension et du courant d'entrée et/ou de sortie et, s'il y a lieu, des limitations de temps, dans des conditions spécifiées de pire cas.

3.3 *Températures*

- 3.3.1 Températures minimale et maximale du milieu ambiant ou d'un point de référence permises pendant le fonctionnement.
- 3.3.2 Températures minimale et maximale de stockage.

3.4 *Aptitude à supporter un court-circuit*

S'il y a lieu, durée maximale de court-circuit entre chacune des bornes de sortie et une borne d'alimentation (ou la masse), dans des conditions de fonctionnement de pire cas spécifiées.

4. **Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée)**

- 4.1 La gamme des valeurs de la (des) tension(s) d'alimentation. Cette gamme doit être indiquée par une valeur nominale et une tolérance (les écarts en plus et en moins de la tolérance ne sont pas nécessairement les mêmes et doivent être donnés).

Les valeurs nominales et les écarts (tolérances) autorisés doivent être pris parmi les valeurs indiquées dans la Publication 748-1, chapitre VI, article 6.

3.1 *Continuous voltages and currents*

3.1.1 Limiting value(s) of the continuous voltage(s) at the supply terminal(s) with respect to a specified electrical reference point (see Note).

3.1.2 Where appropriate, limiting voltage between specified supply terminals (see Note).

3.1.3 When more than one voltage supply is required, a statement should be made as to whether the sequence in which these supplies are applied is significant; if so, the sequence should be stated.

3.1.4 Where the current through any terminal is not limited sufficiently by the voltage rating, a limiting current rating for that terminal should also be given (see Note).

3.1.5 Where appropriate, limiting values of the continuous conditions at the input and/or output terminals.

Note. — When more than one supply is needed, it may be necessary to state the combinations of ratings for these supply voltages and currents.

3.2 *Non-continuous voltages and currents*

3.2.1 If the values given in Sub-clauses 3.1.1, 3.1.2 and 3.1.4 may be exceeded under transient conditions, then the permissible excess values and their duration should be stated.

3.2.2 Limiting values of input and/or output voltage and current and, where appropriate, time limitations, under specified worst-case conditions.

3.3 *Temperatures*

3.3.1 Minimum and maximum ambient or reference-point operating temperatures.

3.3.2 Minimum and maximum storage temperatures.

3.4 *Capability of sustaining a short circuit*

Where appropriate, the maximum duration of a short circuit between each output terminal and any supply terminal (or earth) should be given, under specified worst-case conditions of operation.

4. **Recommended operating conditions (within the specified operating temperature range)**

4.1 The range of values of supply voltage(s): in terms of a nominal value, plus and minus given deviations (tolerances) (the plus and minus deviations (tolerances) need not be identical and should be stated).

The nominal values and the permitted deviations (tolerances) are to be taken from IEC Publication 748-1, Chapter VI, Clause 6.

- 4.2 Les conditions de l'impulsion d'entrée, les niveaux de tension et/ou de courant, les formes d'onde et, s'il y a lieu, les diagrammes de temps des signaux d'entrée.
- 4.3 S'il y a lieu, les conditions de polarisation de tension et/ou de courant recommandées en continu à toutes les bornes d'entrée.
- 4.4 S'il y a lieu, les conditions de polarisation de tension et/ou de courant recommandées en continu à toutes les bornes de sortie.
- 4.5 S'il y a lieu, les valeurs des impédances externes requises aux bornes d'entrée et de sortie.
- 4.6 Conditions des impulsions d'horloge(s). S'il y a lieu, de telles conditions doivent comprendre les niveaux de tension, les conditions de forme d'onde des impulsions et les interrelations de temps entre les impulsions.

5. Caractéristiques électriques statiques pour les circuits intégrés bipolaires

Chaque caractéristique électrique de l'article 5 doit être donnée pour des conditions électriques de pire cas spécifiées, compte tenu de la gamme recommandée pour la (les) tension(s) d'alimentation, comme il est indiqué au paragraphe 4.1 et.

- a) dans la gamme de températures de fonctionnement spécifiée, ou
- b) à la température de 25 °C, et aux températures de fonctionnement maximale et minimale.

5.1 Caractéristiques essentielles en tension des signaux digitaux

Les caractéristiques de tension s'expriment sous forme de quatre domaines, chacun d'eux étant spécifié par deux limites. En conséquence, huit valeurs de tension sont nécessaires.

Pour chaque état de la variable tension, deux domaines sont définis: le domaine garanti à la sortie et le domaine permis à l'entrée. Toute tension à l'intérieur du domaine permis appliquée aux entrées engendre une tension de sortie à l'intérieur du domaine garanti correspondant à l'état résultant donné par la table de fonctionnement. Les caractéristiques de tension suivantes sont donc exigées:

V_{OHA} : valeur la plus positive (la moins négative) du domaine garanti de la tension de sortie pour l'état haut.

Note. — Dans de nombreux cas pratiques, on peut par simplification avoir V_{OHA} égale à la valeur la plus positive de la tension d'alimentation la plus positive (ou égale à zéro si l'on n'utilise que des tensions d'alimentation négatives). Une telle condition est implicite si aucune indication n'est donnée pour V_{OHA} .

V_{OHB} : valeur la moins positive (la plus négative) du domaine garanti de la tension de sortie pour l'état haut.

V_{OLA} : valeur la plus positive (la moins négative) du domaine garanti de la tension de sortie pour l'état bas.

V_{OLB} : valeur la moins positive (la plus négative) du domaine garanti de la tension de sortie pour l'état bas.

Note. — Dans de nombreux cas pratiques, on peut par simplification avoir V_{OLB} égale à la valeur la plus négative de la tension d'alimentation la plus négative (ou égale à zéro si l'on n'utilise que des tensions d'alimentation positives). Une telle condition est implicite si aucune indication n'est donnée pour V_{OLB} .

- 4.2 The input pulse conditions, voltage and/or current levels and waveforms and, where appropriate, the time relations of the input signals.
- 4.3 Where appropriate, the continuous voltage and/or current bias conditions at all input terminals.
- 4.4 Where appropriate, the continuous voltage and/or current bias conditions at all output terminals.
- 4.5 Where appropriate, the values of external impedances required at the input and output terminals.
- 4.6 Pulse conditions of the clock(s). Where appropriate, such conditions should include voltage levels, pulse waveform conditions and time interrelations of the pulses.

5. Static electrical characteristics for bipolar integrated circuits

Each electrical characteristic of Clause 5 should be stated under specified electrical worst-case conditions, with respect to the recommended range of supply voltage(s), as stated in Sub-clause 4.1 and:

- a) over the specified range of operating temperatures, or
- b) at a temperature of 25 °C, and at maximum and minimum operating temperatures.

5.1 Essential characteristics of the digital voltage signals

The voltage characteristics are expressed in terms of four ranges, each of which is specified by two limits. Thus, eight values of voltage are needed.

For each state of the voltage variable, two ranges are defined: the guaranteed range at the output and the permitted range at the input. Any voltage within the permitted range applied to the inputs causes the output voltage to remain within the guaranteed range corresponding to the resulting state shown by the function table. The following voltage characteristics are therefore required:

V_{OHA} : the most positive (least negative) value of the guaranteed high state voltage range at the output.

Note — In many practical cases, a simplification can be made by setting V_{OHA} equal to the most positive value of the most positive power supply voltage (or to zero when there are only negative supply voltages). This condition is implied when no indication is given on V_{OHA} .

V_{OHB} : the least positive (most negative) value of the guaranteed high state voltage range at the output.

V_{OLA} : the most positive (least negative) value of the guaranteed low state voltage range at the output.

V_{OLB} : the least positive (most negative) value of the guaranteed low state voltage range at the output.

Note — In many practical cases, a simplification can be made by setting V_{OLB} equal to the most negative value of the most negative power supply voltage (or to zero when there are only positive supply voltages). This condition is implied when no indication is given on V_{OLB} .

V_{IHA} : valeur la plus positive (la moins négative) du domaine permis de la tension d'entrée pour l'état haut.

Note. — Si aucune indication n'est donnée pour la valeur de V_{IHA} , cela suppose que $V_{IHA} = V_{OHA}$.

V_{IHB} : valeur la moins positive (la plus négative) du domaine permis de la tension d'entrée pour l'état haut.

V_{ILA} : valeur la plus positive (la moins négative) du domaine permis de la tension d'entrée pour l'état bas.

V_{ILB} : valeur la moins positive (la plus négative) du domaine permis de la tension d'entrée pour l'état bas.

Note. — Si aucune indication n'est donnée pour la valeur de V_{ILB} , cela suppose que $V_{ILB} = V_{OLB}$.

5.1.1 Caractéristiques essentielles des circuits dont les entrées présentent de l'hystérésis (par exemple, trigger de Schmitt)

V_{IT+} , V_{ITP} : tension de seuil (d'entrée) à la transition positive

V_{IT+A} , V_{ITPA} : valeur la plus positive (la moins négative) du domaine garanti des tensions de seuil (d'entrée) à la transition positive.

V_{IT+B} , V_{ITPB} : valeur la moins positive (la plus négative) du domaine garanti des tensions de seuil (d'entrée) à la transition positive.

V_{IT-} , V_{ITN} : tension de seuil (d'entrée) à la transition négative

V_{IT-A} , V_{ITNA} : valeur la plus positive (la moins négative) du domaine garanti des tensions de seuil (d'entrée) à la transition négative.

V_{IT-B} , V_{ITNB} : valeur la moins positive (la plus négative) du domaine garanti des tensions de seuil (d'entrée) à la transition négative.

Note. — Le terme «hystérésis», utilisé souvent dans les feuilles de caractéristiques, représente la différence entre les tensions de seuil (d'entrée) à la transition positive et à la transition négative.

$$V_{hys} = V_{IT+} - V_{IT-}$$

ou:

$$V_{hys} = V_{ITP} - V_{ITN}$$

5.2 Tension d'écrêtage d'entrée (s'il y a lieu)

Valeur maximale de la tension d'écrêtage d'entrée pour une valeur spécifiée du courant d'entrées.

Note. — Cette caractéristique doit être spécifiée pour des circuits ayant des diodes d'écrêtage à une ou plusieurs entrées, par exemple les TTL à écrêtage d'entrée.

5.3 Caractéristiques essentielles des courants d'entrée et de sortie

5.3.1 Caractéristiques essentielles pour tous les circuits intégrés digitaux

A chacune des quatre tensions de sortie, on peut associer une possibilité de fournir ou d'absorber du courant déterminée par la conception du circuit.

Il est alors nécessaire de spécifier les valeurs minimales et/ou maximales des courants associés aux quatre tensions de sortie. Avec la convention que le courant entrant par une borne est positif et que le courant sortant d'une borne est négatif, les courants exigés sont les suivants:

V_{IHA} : the most positive (least negative) value of the permitted high state voltage range at the input.

Note. — When no indication is given on V_{IHA} , it is supposed that $V_{IHA} = V_{OHA}$.

V_{IHB} : the least positive (most negative) value of the permitted high state voltage range at the input.

V_{ILA} : the most positive (least negative) value of the permitted low state voltage range at the input.

V_{ILB} : the least positive (most negative) value of the permitted low state voltage range at the input.

Note. — When no indication is given on V_{ILB} , it is supposed that $V_{ILB} = V_{OLB}$.

5.1.1 *Essential characteristics of circuits with inputs having hysteresis (for example, Schmitt-trigger circuit)*

V_{IT+} , V_{ITP} : *positive-going (input) threshold voltage*

V_{IT+A} , V_{ITPA} : the most positive (least negative) value of the guaranteed positive-going (input) threshold voltage range.

V_{IT+B} , V_{ITPB} : the least positive (most negative) value of the guaranteed positive-going (input) threshold voltage range.

V_{IT-} , V_{ITN} : *negative-going (input) threshold voltage*

V_{IT-A} , V_{ITNA} : the most positive (least negative) value of the guaranteed negative-going (input) threshold voltage range.

V_{IT-B} , V_{ITNB} : the least positive (most negative) value of the guaranteed negative-going (input) threshold voltage range.

Note. — The term "hysteresis", often used in data sheets, denotes the difference between the positive-going and the negative-going (input) threshold voltages.

$$V_{hys} = V_{IT+} - V_{IT-}$$

or

$$V_{hys} = V_{ITP} - V_{ITN}$$

5.2 *Input clamping voltage (where appropriate)*

Maximum value of input clamping voltage at a specified value of input current.

Note. — This characteristic should be specified for circuits having clamping diodes attached to one or more inputs, for example, input-clamped TTL.

5.3 *Essential characteristics for input and output currents*

5.3.1 *Essential characteristics for all digital integrated circuits*

Associated with each of the four output voltages is a current driving or sinking capability determined by the design of the circuit.

It is necessary therefore to specify limit values of current associated with the four output voltages. Taking as a convention that current flowing into a terminal is positive, and that out of a terminal is negative, the required currents are as follows:

I_{OHB} à V_{OHA} : valeur la moins positive (la plus négative) du courant de sortie lorsque V_{OHA} est présente à la sortie considérée et que sont appliquées, aux entrées, des tensions correspondant au pire cas dans le domaine approprié V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB} qui définissent des états d'entrée tels que la sortie soit dans l'état haut, comme il est indiqué dans la table de fonctionnement.

Note. — Cette valeur n'est pas nécessaire si V_{OHA} est égale à la valeur la plus positive de la tension d'alimentation la plus positive.

I_{OHA} à V_{OHB} : valeur la plus positive (la moins négative) du courant de sortie lorsque V_{OHB} est présente à la sortie considérée et que sont appliquées, aux entrées, des tensions correspondant au pire cas dans le domaine approprié V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB} qui définissent des états d'entrée tels que la sortie soit dans l'état haut, comme il est indiqué dans la table de fonctionnement.

I_{OLB} à V_{OLA} : valeur la moins positive (la plus négative) du courant de sortie lorsque V_{OLA} est présente à la sortie considérée et que sont appliquées, aux entrées, des tensions correspondant au pire cas dans le domaine approprié V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB} qui définissent des états d'entrée tels que la sortie soit dans l'état bas, comme il est indiqué dans la table de fonctionnement.

I_{OLA} à V_{OLB} : valeur la plus positive (la moins négative) du courant de sortie lorsque V_{OLB} est présente à la sortie considérée et que sont appliquées, aux entrées, des tensions correspondant au pire cas dans le domaine approprié V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB} qui définissent des états d'entrée tels que la sortie soit dans l'état bas, comme il est indiqué dans la table de fonctionnement.

Note. — Cette valeur n'est pas nécessaire si V_{OLB} est égale à la valeur la plus négative de la tension d'alimentation la plus négative.

D'une manière similaire, les entrées du circuit absorbent ou fournissent un certain courant lorsque l'une quelconque des quatre tensions d'entrée leur est appliquée. Aux entrées, les valeurs aux limites des courants sont les suivantes:

I_{IHB} à V_{OHA} : valeur la moins positive (la plus négative) du courant d'entrée lorsqu'on applique V_{OHA} à l'entrée considérée et que sont appliquées, aux autres entrées, des tensions correspondant au pire cas dans le domaine approprié V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB} .

Note. — Cette caractéristique n'est pas obligatoire dans tous les cas, par exemple si V_{OHA} est égale à la valeur la plus positive de la tension d'alimentation la plus positive, ou pour les circuits ECL.

I_{IHA} à V_{OHB} : valeur la plus positive (la moins négative) du courant d'entrée lorsqu'on applique une tension spécifiée correspondant au pire cas dans le domaine V_{OHB} à V_{IHA} à l'entrée considérée et que sont appliquées, aux autres entrées, des tensions correspondant au pire cas dans le domaine approprié V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB} .

Note. — La tension correspondant au pire cas est celle dans le domaine permis qui augmente le courant d'entrée au maximum.

I_{ILB} à V_{OLA} : valeur la moins positive (la plus négative) du courant d'entrée lorsqu'on applique une tension spécifiée correspondant au pire cas dans le domaine V_{ILB} à V_{OLA} à l'entrée considérée et que sont appliquées, aux autres entrées, des tensions correspondant au pire cas dans le domaine approprié V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB} .

Note. — La tension correspondant au pire cas est celle dans le domaine permis qui augmente le courant d'entrée au maximum.

I_{OHB} at V_{OHA} : least positive (most negative) value of the output current when V_{OHA} is present at the output considered and when the voltages applied to the inputs have the worst-case value within the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB} corresponding to the input states necessary for the output to be in the high state as shown by the function table.

Note. — This value is not necessary if V_{OHA} is equal to the most positive value of the most positive power supply voltage.

I_{OHA} at V_{OHB} : most positive (least negative) value of the output current when V_{OHB} is present at the output considered and when the voltages applied to the inputs have the worst-case value within the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB} corresponding to the input states necessary for the output to be in the high state as shown by the function table.

I_{OLB} at V_{OLA} : least positive (most negative) value of the output current when V_{OLA} is present at the output considered and when the voltages applied to the inputs have the worst-case value within the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB} corresponding to the input states necessary for the output to be in the low state as shown by the function table.

I_{OLA} at V_{OLB} : most positive (least negative) value of the output current when V_{OLB} is present at the output considered and when the voltages applied to the inputs have the worst-case value within the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB} corresponding to the input states necessary for the output to be in the low state as shown by the function table.

Note. — This value is not necessary if V_{OLA} is equal to the most negative value of the most negative power supply voltage.

In a similar way, the inputs of the circuit will sink or drive a certain current when they have any of the four input voltages applied to them. At the inputs, the values of current limits are as follows:

I_{IHB} at V_{OHA} : least positive (most negative) value of the input current when V_{OHA} is applied to the input considered and when the voltages applied to the other inputs have the worst-case value within the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB} .

Note. — This characteristic is not mandatory in every case, for example, when V_{OHA} is equal to the most positive value of the most positive power supply voltage, or for ECL circuits.

I_{IHA} at V_{OHB} : most positive (least negative) value of the input current when a specified worst-case voltage in the range V_{OHB} to V_{IHA} is applied to the input considered and when the voltages applied to the other inputs have the worst-case value within the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB} .

Note. — The worst-case voltage is that voltage within the permitted range that increases the input current to a maximum.

I_{ILB} at V_{OLA} : least positive (most negative) value of the input current when a specified worst-case voltage in the range V_{ILB} to V_{OLA} is applied to the input considered and when the voltages applied to the other inputs have the worst-case value within the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB} .

Note. — The worst-case voltage is that voltage within the permitted range that increases the input current to a maximum.

I_{ILA} à V_{OLB} : valeur la plus positive (la moins négative) du courant d'entrée lorsqu'on applique V_{OLB} à l'entrée considérée et que sont appliquées, aux autres entrées, des tensions correspondant au pire cas dans le domaine approprié V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB} .

Note. — Cette caractéristique n'est pas obligatoire dans tous les cas, par exemple si V_{OLB} est égale à la valeur la plus négative de la tension d'alimentation la plus négative, ou pour les circuits ECL.

En général, pour les sorties comme pour les entrées, on doit spécifier quatre points dans le plan courant-tension (voir figures 27 et 28). Ils peuvent être spécifiés suivant l'une des trois méthodes suivantes:

- a) en appliquant un courant de référence spécifié et en mesurant la tension qui en résulte;
- b) en appliquant une tension de référence spécifiée et en mesurant le courant qui en résulte;

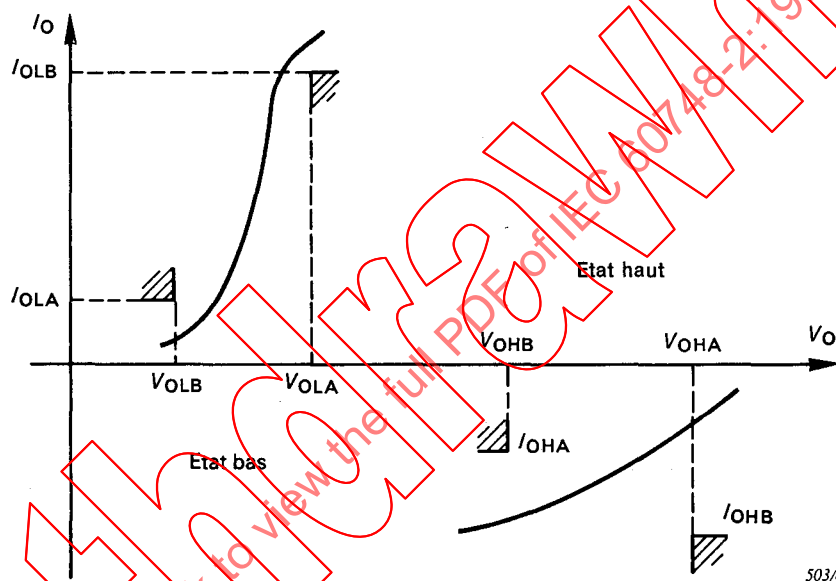


FIG. 27. — Courants de sortie associés aux tensions de sortie.

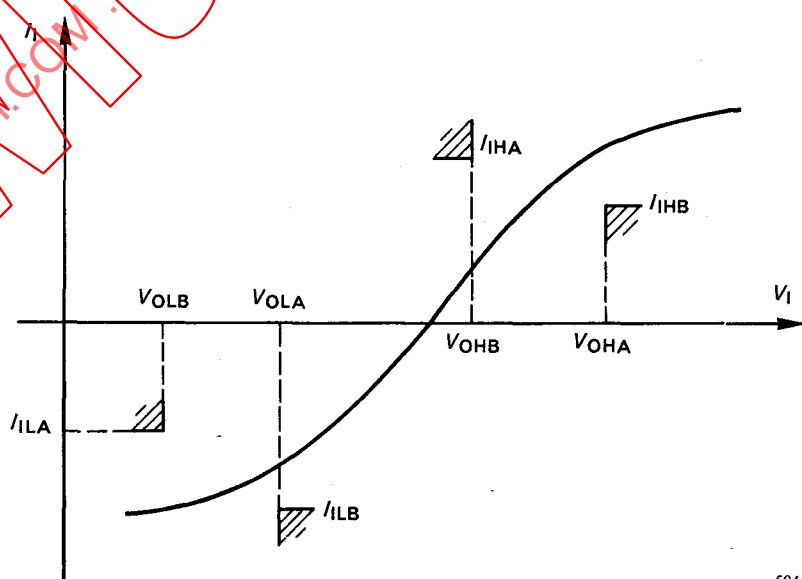


FIG. 28. — Courants d'entrée associés aux tensions d'entrée.

Note. — Dans les figures 27 et 28, les axes ne représentent pas nécessairement le zéro pour la tension ou pour le courant.

I_{ILA} at V_{OLB} : most positive (least negative) value of the input current when V_{OLB} is applied to the input considered and when the voltages applied to the other inputs have the worst-case value within the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB} .

Note. — This characteristic is not mandatory in every case, for example, when V_{OLB} is equal to the most negative value of the most negative power supply voltage, or for ECL circuits.

In general, for both output and input terminals, four points in the voltage-current plane must be specified (for example, see Figures 27 and 28). The specification may be written using one of the following three methods:

- by applying a specified reference current and measuring the resulting voltage;
- by applying a specified reference voltage and measuring the resulting current;

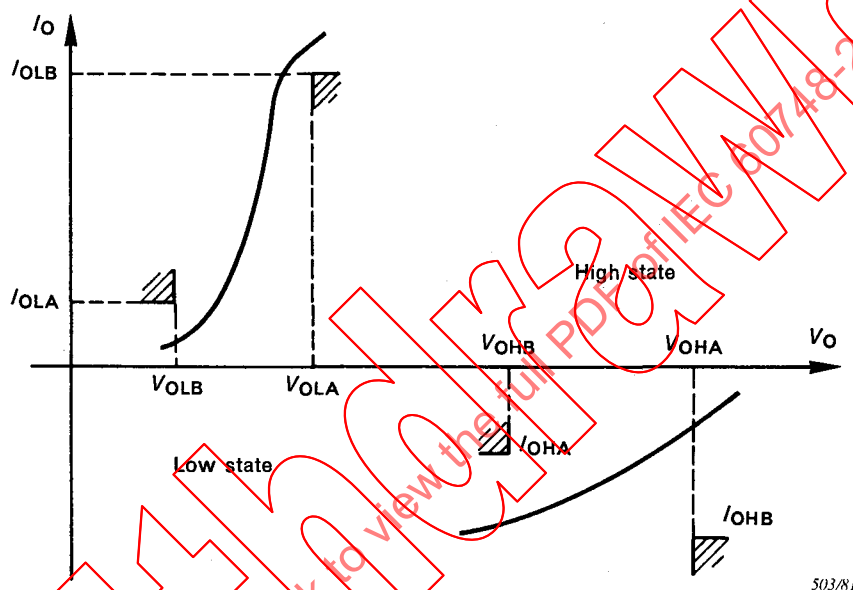


FIG. 27. — Output currents associated with output voltages.

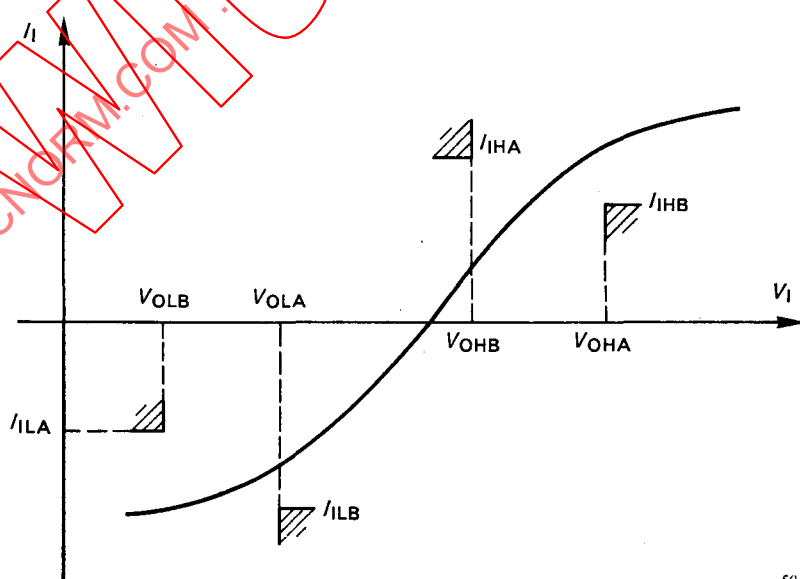


FIG. 28. — Input currents associated with input voltages.

Note. — In Figures 27 and 28, the axes do not necessarily represent zero voltage or current.

- c) en appliquant une tension de référence spécifiée à travers une résistance de charge spécifiée et en mesurant soit la tension, soit le courant à la borne de sortie.

Note. — La méthode c) ne peut être adoptée que si le circuit est spécifié pour attaquer une charge définie.

5.3.2 *Caractéristiques supplémentaires pour les circuits intégrés digitaux ayant des sorties «trois états»*

A l'étude.

5.4 *Conditions appliquées pour le pire cas*

Les conditions limites pour les caractéristiques d'entrée et de sortie doivent être garanties dans les conditions électriques de pire cas:

- a) dans la gamme des températures de fonctionnement spécifiée, ou
- b) à la température de 25 °C, et aux températures de fonctionnement maximale et minimale.

Cela est réalisé en fixant les valeurs des points précédents spécifiés dans les conditions de pire cas. Les conditions de pire cas sont en général différentes pour chacun des points.

Ces conditions, qui ont la possibilité de varier indépendamment, chacune dans une gamme spécifiée, et qui sont déterminées dans le pire cas électrique sont:

- a) les tensions d'alimentation à l'intérieur de la gamme spécifiée recommandée;
- b) les conditions appliquées à une borne d'entrée autre que celles concernées directement par la mesure, à savoir une tension choisie dans la gamme appropriée V_{IHA} à V_{IHB} et/ou V_{ILA} à V_{ILB} .

6. *Caractéristiques électriques statiques et quasi statiques pour les circuits intégrés MOS*

Chaque caractéristique électrique de l'article 6 doit être donnée dans des conditions électriques de pire cas spécifiées, compte tenu de la gamme recommandée pour la (les) tension(s) d'alimentation, comme il est indiqué au paragraphe 4.1 et:

- a) dans la gamme des températures de fonctionnement spécifiée, ou
- b) à la température de 25 °C, et aux températures de fonctionnement maximale et minimale.

6.1 *Caractéristiques essentielles en tension des signaux digitaux*

Les caractéristiques de tension s'expriment sous forme de quatre domaines, chacun d'eux étant spécifié par deux limites. En conséquence, huit valeurs de tension sont nécessaires.

Pour chaque état de la variable tension, deux domaines sont définis: le domaine garanti à la sortie et le domaine permis à l'entrée. Toute tension à l'intérieur du domaine permis appliquée aux entrées engendre une tension de sortie à l'intérieur du domaine garanti correspondant à l'état résultant donné par la table de fonctionnement. Les caractéristiques de tension suivantes sont donc exigées:

V_{OHA} : valeur la plus positive (la moins négative) du domaine garanti de la tension de sortie pour l'état haut.

- c) by applying a specified reference voltage through a specified load resistor and measuring either voltage or current at the output terminal.

Note. — Method c) should be adopted only when the circuit is specified for driving a defined load.

5.3.2 Additional characteristics for digital integrated circuits having three-state outputs

Under consideration.

5.4 Applied conditions for worst case

The boundaries of the input and output characteristics curves must be guaranteed in the electrical worst case:

- a) over the specified range of operating temperatures, or
- b) at a temperature of 25 °C, and at maximum and minimum operating temperatures.

This is done by stating the values of the foregoing specified points under the worst-case conditions. The worst-case conditions in general are different for each point.

These conditions, which are allowed to vary independently, each within a stated range, and which determine the electrical worst case are:

- a) supply voltages within the specified recommended range;
- b) conditions to be applied to an input terminal other than those directly concerned by the measurement, that is, a voltage chosen from the appropriate range V_{IHA} to V_{IHB} and/or V_{ILA} to V_{ILB} .

6. Static and quasi-static electrical characteristics for MOS integrated circuits

Each electrical characteristic of Clause 6 should be stated under specified electrical worst-case conditions, with respect to the recommended range of supply voltage(s), as stated in Sub-clause 4.1 and:

- a) over the specified range of operating temperatures, or
- b) at a temperature of 25 °C, and at maximum and minimum operating temperatures.

6.1 Essential characteristics of the digital voltage signals

The voltage characteristics are expressed in terms of four ranges, each of which is specified by two limits. Thus, eight values of voltage are needed.

For each state of the voltage variable, two ranges are defined: the guaranteed range at the output and the permitted range at the input. Any voltage within the permitted range applied to the inputs causes the output voltage to remain within the guaranteed range corresponding to the resulting state shown by the function table. The following voltage characteristics are therefore required:

V_{OHA} : the most positive (least negative) value of the guaranteed high state voltage range at the output.

Note. — Dans de nombreux cas pratiques, on peut par simplification avoir V_{OHA} égale à la valeur la plus positive de la tension d'alimentation la plus positive (ou égale à zéro si l'on n'utilise que des tensions d'alimentation négatives). Une telle condition est implicite si aucune indication n'est donnée pour la valeur de V_{OHA} .

V_{OHB} : valeur la moins positive (la plus négative) du domaine garanti de la tension de sortie pour l'état haut.

V_{OLA} : valeur la plus positive (la moins négative) du domaine garanti de la tension de sortie pour l'état bas.

V_{OLB} : valeur la moins positive (la plus négative) du domaine garanti de la tension de sortie pour l'état bas.

Note. — Dans de nombreux cas pratiques, on peut par simplification avoir V_{OLB} égale à la valeur la plus négative de la tension d'alimentation la plus négative (ou égale à zéro si l'on n'utilise que des tensions d'alimentation positives). Une telle condition est implicite si aucune indication n'est donnée pour V_{OLB} .

V_{IHA} : valeur la plus positive (la moins négative) du domaine permis de la tension d'entrée pour l'état haut.

Note. — Si aucune indication n'est donnée pour V_{IHA} , cela suppose que $V_{IHA} = V_{OHA}$.

V_{IHB} : valeur la moins positive (la plus négative) du domaine permis de la tension d'entrée pour l'état haut.

V_{ILA} : valeur la plus positive (la moins négative) du domaine permis de la tension d'entrée pour l'état bas.

V_{ILB} : valeur la moins positive (la plus négative) du domaine permis de la tension d'entrée pour l'état bas.

Note. — Si aucune indication n'est donnée pour V_{ILB} , cela suppose que $V_{ILB} = V_{OLB}$.

6.2 Caractéristiques essentielles des courants

6.2.1 Courant d'entrée statique

Valeur maximale, dans des conditions statiques spécifiées.

6.2.2 Courants de sortie

Les courants de sortie qui doivent être indiqués correspondent à ceux obtenus en appliquant une des tensions V_{OHA} , V_{OHB} , V_{OLA} , V_{OLB} sur la borne où le courant est mesuré.

Les courants suivants doivent être indiqués: I_{OHB} à V_{OHA} , I_{OHA} à V_{OHB} , I_{OLB} à V_{OLA} , I_{OLA} à V_{OLB} .

6.2.3 Courant de fuite de sortie (s'il y a lieu)

Valeur maximale, dans des conditions spécifiées.

7. Caractéristiques électriques dynamiques

Chaque caractéristique électrique du paragraphe 7.2 doit être indiquée dans des conditions électriques spécifiées de pire cas, dans la gamme recommandée des tensions d'alimentation indiquées dans le paragraphe 4.1.

Note. — In many practical cases, a simplification can be made by setting V_{OHA} equal to the most positive value of the most positive power supply voltage (or to zero when there are only negative supply voltages). This condition is implied when no indication is given on V_{OHA} .

V_{OHB} : the least positive (most negative) value of the guaranteed high state voltage range at the output.

V_{OLA} : the most positive (least negative) value of the guaranteed low state voltage range at the output.

V_{OLB} : the least positive (most negative) value of the guaranteed low state voltage range at the output.

Note. — In many practical cases, a simplification can be made by setting V_{OLB} equal to the most negative value of the most negative power supply voltage (or to zero when there are only positive supply voltages). This condition is implied when no indication is given on V_{OLB} .

V_{IHA} : the most positive (least negative) value of the permitted high state voltage range at the input.

Note. — When no indication is given on V_{IHA} , it is supposed that $V_{IHA} = V_{OHA}$.

V_{IHB} : the least positive (most negative) value of the permitted high state voltage range at the input.

V_{ILA} : the most positive (least negative) value of the permitted low state voltage range at the input.

V_{ILB} : the least positive (most negative) value of the permitted low state voltage range at the input.

Note. — When no indication is given on V_{ILB} , it is supposed that $V_{ILB} = V_{OLB}$.

6.2 Essential characteristics for currents

6.2.1 Static input current

Maximum value, under specified static conditions.

6.2.2 Output currents

The output currents that should be stated correspond to those obtained in applying one of the voltages V_{OHA} , V_{OHB} , V_{OLA} , V_{OLB} to the terminal at which the current is measured.

The following currents should therefore be stated: I_{OHB} at V_{OHA} , I_{OHA} at V_{OHB} , I_{OLB} at V_{OLA} , I_{OLA} at V_{OLB} .

6.2.3 Output leakage current (where appropriate)

Maximum value, under specified conditions.

7. Dynamic electrical characteristics

Each electrical characteristic of Sub-clause 7.2 should be stated under specified electrical worst-case conditions with respect to the recommended range of supply voltages as stated in Sub-clause 4.1.

Les valeurs minimales et/ou maximales ou, si celles-ci ne peuvent faire l'objet d'un accord entre le fabricant et l'utilisateur, des valeurs typiques doivent être données:

- a) dans la gamme de températures de fonctionnement spécifiée (par exemple sous forme de courbe) ou,
- b) à la température de 25 °C, et aux températures de fonctionnement maximale et minimale.

La condition b) ne doit être utilisée que si la valeur de la caractéristique pour le pire cas dans toute la gamme de températures peut se déduire des valeurs données aux températures spécifiées.

Dans tous les cas, on doit indiquer les valeurs minimales et/ou maximales applicables à 25 °C.

7.1 Introduction

Les temps de commutation des circuits intégrés digitaux sont caractérisés par les temps de propagation et les temps de transition. Les temps de propagation sont toujours exigés, mais la nécessité de spécifier les temps de transition dépend de:

- a) la valeur du temps de transition par rapport à celle du temps de propagation, et
- b) la valeur du temps de transition par rapport à une valeur arbitraire faible, par exemple 10 ns (voir paragraphe 7.2.2).

Ces temps de commutation sont prévus pour fournir des informations sur la performance du circuit intégré dans des applications typiques dans un système. Cependant, afin d'avoir des mesures exactes et des spécifications normalisées, des méthodes de mesure, utilisant des caractéristiques définies de l'impulsion de commande et des circuits de charge comprenant des éléments de circuits passifs, doivent être utilisées.

Les caractéristiques de commutation données au paragraphe 7.2 et les exigences sur le diagramme des temps données au paragraphe 7.3 le sont en termes généraux mais, pour les circuits séquentiels, il peut être nécessaire de spécifier plus d'une valeur pour certains des temps énumérés (par exemple, pour différents chemins de propagation). De plus, pour un circuit particulier, il peut être nécessaire de spécifier plus d'une valeur d'un même temps en référence à divers niveaux de tension spécifiés.

Les niveaux de tensions à utiliser pour définir les temps de commutation sont donnés au paragraphe 5.1.

7.2 Temps caractérisant la réponse d'un circuit

7.2.1 Temps de propagation

Les temps de propagation suivants doivent être indiqués dans des conditions spécifiées (voir note 1 du paragraphe 7.2.2):

- a) t_{PHL} : temps de propagation, la sortie allant vers le niveau bas;
valeurs maximale et minimale;
- b) t_{PLH} : temps de propagation, la sortie allant vers le niveau haut;
valeurs maximale et minimale.

S'il existe plusieurs chemins différents d'information logique, on doit spécifier séparément les temps pour chaque chemin.

Limit values, or if these are not mutually acceptable to manufacturer and user, typical values should be stated either:

- a) over the specified range of operating temperatures (for example, as a curve), or
- b) at a temperature of 25 °C, and at the maximum and the minimum operating temperatures.

Alternative b) should be used only if the worst-case value of the characteristic over the whole temperature range can be deduced from the values given at the specified temperatures.

In all cases, limit values applicable at 25 °C should be stated.

7.1 Introduction

Switching times of digital integrated circuits are characterized by propagation times and transition times. Propagation times are always required, but the necessity of specifying transition times depends on:

- a) the value of the transition time relative to the propagation time, and
- b) the value of the transition time relative to an arbitrary low value, for example, 10 ns (see Sub-clause 7.2.2).

These switching times are intended to provide information on the performance of the integrated circuit in typical system applications. However, in the interests of exact measurements and standard specifications, methods of measurement using defined driving pulse characteristics and loads comprising passive circuit elements should be used.

The switching characteristics of Sub-clause 7.2 and the timing requirements of Sub-clause 7.3 are given in general terms but, for sequential circuits, it may be necessary to specify more than one value for some of the times listed (for example, for different propagation paths). In addition, for a particular circuit, it may be necessary to specify more than one value of the same time with reference to different specified voltage levels.

The voltage levels to be used to define the switching times are given in Sub-clause 5.1.

7.2 Times characterizing the response of the circuit

7.2.1 Propagation times

The following propagation times should be stated under specified conditions (see Note 1 of Sub-clause 7.2.2):

- a) t_{PHL} : propagation time with output going to low level;
maximum and minimum values;
- b) t_{PLH} : propagation time with output going to high level;
maximum and minimum values.

If there are several different logic information paths, separate times should be specified for each path.

On doit donner les informations suivantes en valeurs typiques:

- variation des temps de propagation avec le courant de charge ou, s'il y a lieu, avec la résistance de charge;
- variation des temps de propagation pour un courant de charge ou, s'il y a lieu, pour une résistance de charge spécifiés, en fonction de la capacité de charge.

7.2.2 Temps de transition

Les temps de transition doivent être indiqués dans des conditions spécifiées (voir note 1), comme suit:

- a) si la valeur typique du temps de transition est comparable (voir note 2) ou supérieure à la valeur typique du temps de propagation, une valeur maximale du temps de transition doit alors être indiquée;
- b) si la valeur typique du temps de transition est inférieure à 10 ns, une valeur minimale doit être indiquée (voir note 3).

Si les deux conditions a) et b) sont remplies, les valeurs maximale et minimale doivent être indiquées. Si aucune des conditions a) et b) n'est remplie, aucune valeur du temps de transition n'a alors besoin d'être indiquée.

Les temps de transition, s'ils sont exigés, doivent être indiqués pour les deux directions de la transition (c'est-à-dire que t_{THL} et t_{TLH} doivent être indiqués).

Notes 1. — Les conditions de mesure spécifiées doivent comprendre les caractéristiques du générateur d'impulsions et de l'oscilloscope (ou de tout autre instrument de mesure approprié), ainsi que la configuration et la valeur des composants du réseau de charge de sortie.

2. — Le temps de transition est considéré comme comparable au temps de propagation si sa valeur dépasse de 50% la valeur du temps de propagation.

3. — Lorsque les temps de transition sont très courts, il peut se produire des suroscillations ou y avoir des problèmes de couplage en pratique.

On doit donner l'information suivante en valeur typique:

- temps de transition en fonction de la capacité de charge.

7.3 Exigences sur les entrées pour assurer un fonctionnement séquentiel correct

Un fonctionnement séquentiel correct peut consister en:

- un changement d'état d'une ou de plusieurs sorties, ou
- un maintien de toutes les sorties dans leur état précédent, et/ou
- un changement dans l'état de préparation du circuit.

7.3.1 Temps caractérisant la forme d'onde limite du signal appliqué à une borne d'entrée (les autres entrées étant à des niveaux constants)

- a) *Durée pour le niveau haut (t_1)* (voir figure 31, page 138)

Valeur minimale pour un signal ayant des niveaux spécifiés à l'état haut et à l'état bas appliqué à la borne d'entrée spécifiée.

La durée du niveau bas doit être suffisamment longue pour que le fait de diminuer sa valeur n'affecte pas le résultat obtenu.

- b) *Durée pour le niveau bas (t_2)* (voir figure 31)

Valeur minimale pour un signal ayant des niveaux spécifiés à l'état haut et à l'état bas appliqué à la borne d'entrée spécifiée.

La durée du niveau haut doit être suffisamment longue pour que le fait de diminuer sa valeur n'affecte pas le résultat obtenu.

The following information should be given as typical data:

- variation of propagation times with load current or, where appropriate, load resistance;
- variation of propagation times at a specified load current or, where appropriate, load resistance as a function of load capacitance.

7.2.2 Transition times

Transition times should be stated under specified conditions (see Note 1), as follows:

- a) if the typical value of transition time is comparable to (see Note 2), or greater than, the typical value of propagation time, then a maximum value of transition time should be stated;
- b) if the typical value of transition time is less than 10 ns, a minimum value should be stated (see Note 3).

If both conditions a) and b) are fulfilled, then both minimum and maximum values should be stated. If neither condition a) nor b) is fulfilled, then no value of transition time is required.

Transition times, when required, should be stated for both directions of transition (that is, t_{THL} and t_{TLH} should be stated).

Notes 1. — The specified conditions of measurement should include the characteristics of the pulse generator and oscilloscope (or other appropriate measuring system), and the configuration and component values of the output loading network.

2. — The transition time is considered comparable to propagation time if its value exceeds 50% of the value of propagation time.

3. — When very short transition times occur, these may give rise to overshoot and coupling problems in practice.

The following information should be given as typical data:

- transition time as a function of load capacitance.

7.3 Requirements at the inputs to ensure correct sequential operation

Correct sequential operation may consist of:

- a change of state of one or more outputs, or
- holding all outputs in their previous state, and/or
- a change in the state of preparedness of the circuit.

7.3.1 Times characterizing the limiting waveform of the applied signal to an input terminal (with other inputs at specified constant levels)

a) Duration for the high level (t_1) (see Figure 31, page 139)

Minimum value for a signal having specified high state and low state levels applied to the specified input terminal.

The duration of the low level should be sufficiently long that decreasing its value does not affect the result obtained.

b) Duration for the low level (t_2) (see Figure 31)

Minimum value for a signal having specified high state and low state levels applied to the specified input terminal.

The duration of the high level should be sufficiently long that decreasing its value does not affect the result obtained.

c) *Durée pour le niveau haut (t_1)* (voir figure 31, page 138)

Valeur maximale pour un signal ayant des niveaux spécifiés à l'état haut et à l'état bas appliqué à la borne d'entrée spécifiée.

La durée du niveau bas doit être suffisamment longue pour que le fait de diminuer sa valeur n'affecte pas le résultat obtenu.

d) *Durée pour le niveau bas (t_2)* (voir figure 31)

Valeur maximale pour un signal ayant des niveaux spécifiés à l'état haut et à l'état bas appliqué à la borne d'entrée spécifiée.

La durée du niveau haut doit être suffisamment longue pour que le fait de diminuer sa valeur n'affecte pas le résultat obtenu.

e) *Taux de variation, ou temps de montée/ou de descente, du signal d'entrée*

Valeurs minimale et maximale pour un signal ayant des niveaux spécifiés à l'état haut et à l'état bas appliqué à la borne d'entrée spécifiée.

7.3.2 Relations de temps nécessaires entre deux signaux d'entrée

Quand l'effet d'un changement d'état pour un signal d'entrée E_i est déterminé par l'état des autres signaux d'entrée E_j (où $j = 2$ à n , n étant le nombre d'entrées), les temps suivants nécessaires pour assurer un fonctionnement séquentiel correct doivent être indiqués pour chaque entrée E_j .

Notes 1. — Le signal E_i est relatif à un signal appliqué à n'importe quelle borne d'entrée choisie ici arbitrairement comme ayant le numéro 1.

2. — Dans le cas général, plusieurs intervalles de temps entre différents niveaux spécifiés du signal E_i et un signal E_j peuvent devoir être indiqués.

a) *Temps de préparation (temps d'établissement) (t_{su})*

Valeur minimale et, s'il y a lieu, valeur maximale.

Notes 1. — Le temps de préparation est l'intervalle de temps mesuré en référence à un niveau spécifié du signal E_j , pour lequel le signal E_i est présent *avant* que le signal E_i soit appliqué. Il est mesuré entre des niveaux spécifiés sur les signaux E_i et E_j , comme il est indiqué sur la figure 29, page 136.

2. — Le temps de préparation peut avoir une valeur négative.

b) *Temps de maintien (t_h)*

Valeur minimale et, s'il y a lieu, valeur maximale.

Notes 1. — Le temps de maintien est l'intervalle de temps mesuré en référence à un niveau spécifié du signal E_i , pour lequel le signal E_j est présent *après* que le signal E_i a été supprimé. Il est mesuré entre des niveaux spécifiés sur les signaux E_i et E_j , comme il est indiqué sur la figure 30, page 138.

2. — Le temps de maintien peut avoir une valeur négative.

7.3.3 Relations de temps nécessaires entre deux signaux successifs sur une même entrée

a) *Temps de résolution (t_{res})*

Valeur minimale.

Note. — Le temps de résolution est l'intervalle de temps entre la cessation d'une impulsion d'entrée et le commencement de l'impulsion d'entrée suivante appliquée à la même borne d'entrée, chacune ayant une durée définie au paragraphe 7.3 (voir figure 31).

b) *Fréquence de fonctionnement*

Valeurs minimale et maximale.

Note. — La fréquence d'un signal est celle du signal qui peut être appliqué à une borne d'entrée pour un facteur d'utilisation spécifié et pour des conditions (éventuellement séquentielles) spécifiées appliquées aux autres bornes d'entrée.

c) *Duration for the high level (t_h)* (see Figure 31, page 139)

Maximum value for a signal having specified high state and low state levels applied to the specified input terminal.

The duration of the low level should be sufficiently long that decreasing its value does not affect the result obtained.

d) *Duration for the low level (t_l)* (see Figure 31)

Maximum value for a signal having specified high state and low state levels applied to the specified input terminal.

The duration of the high level should be sufficiently long that decreasing its value does not affect the result obtained.

e) *Rate of change, or rise and/or fall times, of the input signal*

Minimum and maximum values for a signal having specified high state and low state levels applied to the specified input terminal.

7.3.2 *Necessary time relations between two input signals*

When the effect of a change of state of an input signal E_i is determined by the state of other input signals E_j (where $j = 2$ to n , n being the number of inputs), the following times necessary to ensure correct sequential operation should be stated for each input E_j .

Notes 1. — Signal E_i refers to a signal applied to any input terminal arbitrarily designated here as 1.

2. — In the general case, several time intervals between different specified levels of the signal E_i and the signal E_j may have to be stated.

a) *Set-up time (t_{su})*

Minimum value and, where appropriate, maximum value.

Notes 1. — The set-up time is the time interval, measured with reference to some specified level of the signal E_j , for which the signal E_i is present *before* the signal E_i is applied. It is measured between specified levels on the signals E_i and E_j , as indicated in Figure 29, page 137.

2. — The set-up time may have a negative value.

b) *Hold time (t_h)*

Minimum value and, where appropriate, maximum value.

Notes 1. — The hold time is the time interval, measured with reference to some specified level of the signal E_i , for which the signal E_j is present *after* the signal E_i has been removed. It is measured between specified levels on the signals E_i and E_j , as indicated in Figure 30, page 139.

2. — The hold time may have a negative value.

7.3.3 *Necessary time relations between two successive signals applied to the same input*

a) *Resolution time (t_{res})*

Minimum value.

Note. — The resolution time is the time interval between the cessation of one input pulse and the commencement of the next input pulse applied to the same input terminal, each having a duration as defined in Sub-clause 7.3 (see Figure 31).

b) *Operating frequency*

Minimum and maximum values.

Note. — The frequency of a signal is that of the signal which may be applied to an input terminal for a specified duty cycle and for specified (possibly sequential) conditions applied to the other input terminals.

7.4 Impédances d'entrée et de sortie

7.4.1 Capacité d'entrée pour un fonctionnement en grands signaux

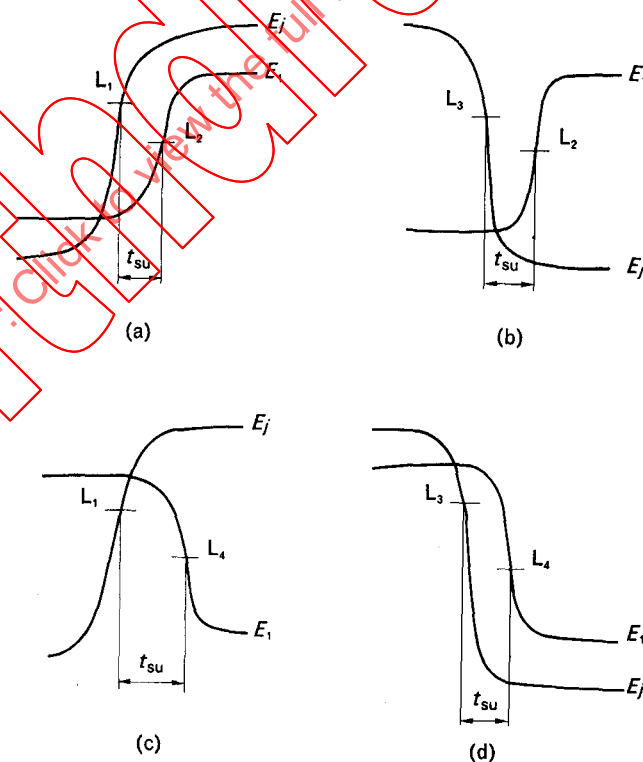
Valeur(s) maximale et/ou typique, lorsque la tension (ou le courant) du signal d'entrée change d'un état haut à un état bas, ou inversement, dans les conditions spécifiées suivantes:

- conditions de charge de sortie et conditions de charge pour les autres bornes d'entrée;
- conditions de l'impulsion d'entrée (amplitude, fréquence, temps de croissance et de décroissance, etc.);
- tension(s) d'alimentation.

7.4.2 Capacité de sortie pour un fonctionnement en grands signaux (limitée aux applications avec impédance de sortie élevée, telle que la configuration OU-câblé)

Valeur(s) maximale et/ou typique, lorsque la tension (ou le courant) de sortie change d'un état haut à un état bas, ou inversement, dans les conditions spécifiées suivantes:

- conditions de charge d'entrée et conditions de charge pour les autres bornes de sortie;
- conditions de l'impulsion d'entrée (amplitude, fréquence, temps de croissance et de décroissance, etc.);
- tension(s) d'alimentation.



505/81

Note. — Les symboles neutres L_1 à L_4 ont été utilisés pour indiquer les niveaux.

FIG. 29. — Temps de préparation t_{su} .

7.4 Input and output impedances

7.4.1 Input capacitance for large-signal operation

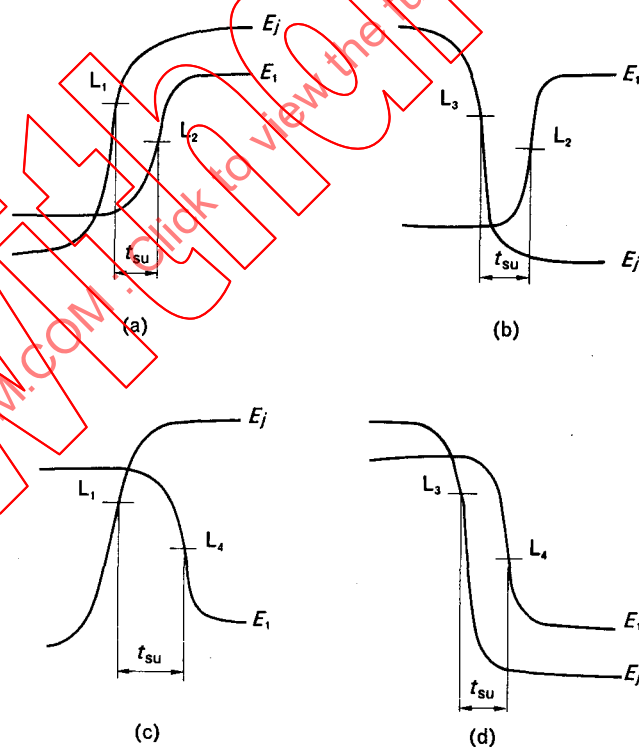
Maximum and/or typical value(s) with the input signal voltage (or current) changing from a high state to a low state or the reverse, under the following specified conditions:

- output loading conditions and loading conditions on other input terminals;
- input pulse conditions (amplitude, frequency, rise and fall times, etc.);
- supply voltage(s).

7.4.2 Output capacitance for large-signal operation (limited to high output impedance applications, such as wired-OR configuration)

Maximum and/or typical value(s) with the voltage (or current) at the output terminal changing from a high state to a low state or the reverse, under the following specified conditions:

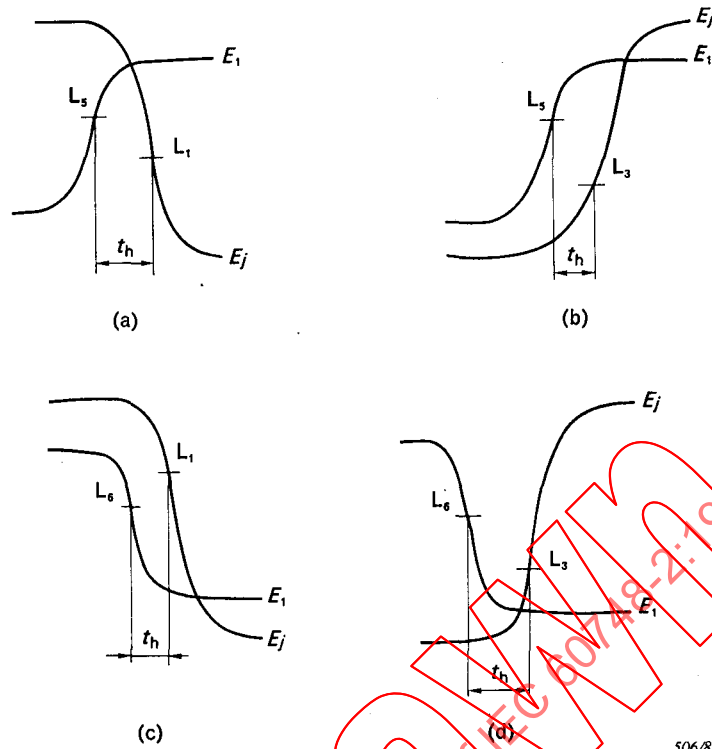
- input loading conditions and loading conditions on other output terminals;
- input pulse conditions (amplitude, frequency, rise and fall times, etc.);
- supply voltage(s).



505/81

Note. — Neutral symbols L_1 to L_4 have been used to indicate levels.

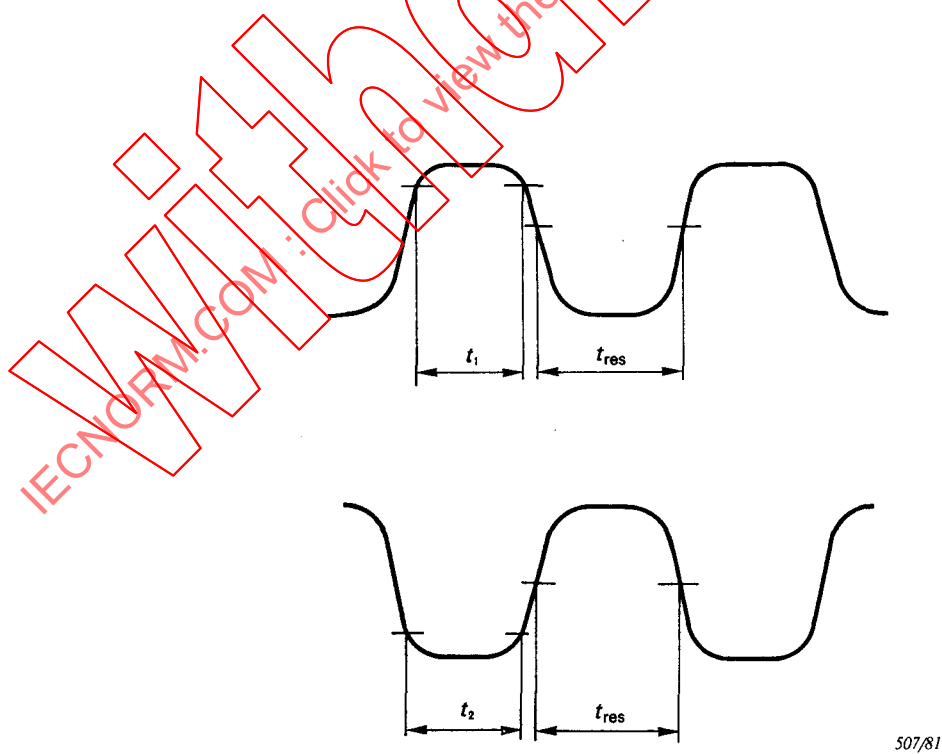
FIG. 29. — Set-up time t_{su} .



506/81

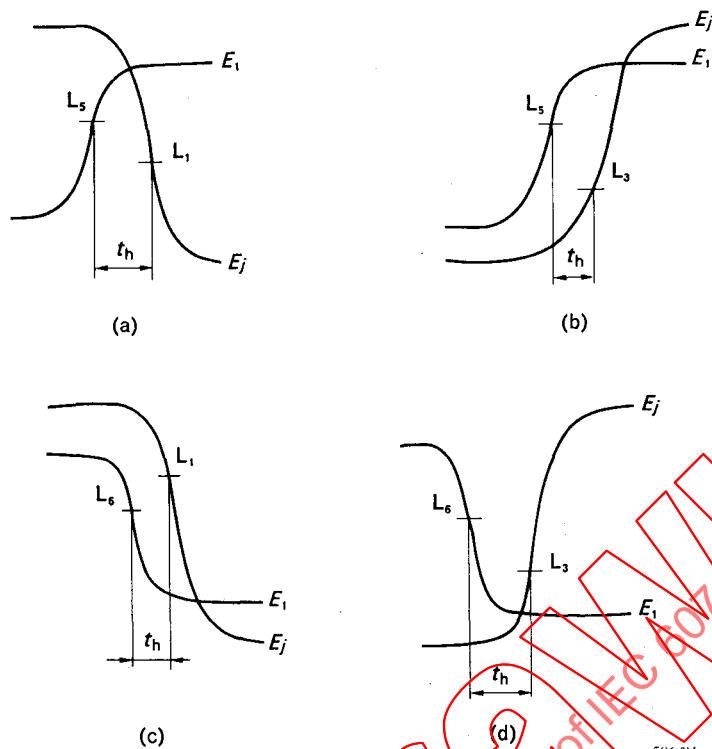
Note. — Les symboles neutres L_1 à L_6 ont été utilisés pour indiquer les niveaux.

FIG. 30. — Temps de maintien t_h .



507/81

FIG. 31. — Temps de résolution t_{res} .



Note. — Neutral symbols L_1 to L_6 have been used to indicate levels.

FIG. 30. — Hold time t_h .

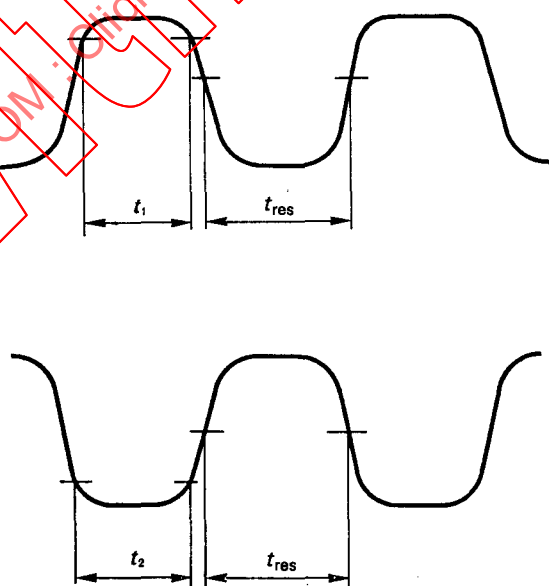


FIG. 31. — Resolution time t_{res} .

7.4.3 Résistance d'entrée pour un fonctionnement en grands signaux (pour des circuits non saturés et limitée à des applications à vitesse élevée)

Valeur(s) minimale et/ou typique, lorsque la tension (ou le courant) du signal d'entrée change d'un état haut à un état bas, ou inversement, dans les conditions spécifiées suivantes:

- conditions de charge de sortie et conditions de charge pour les autres bornes d'entrée;
- conditions de l'impulsion d'entrée (amplitude, fréquence, temps de croissance et de décroissance, etc.);
- tension(s) d'alimentation.

7.4.4 Résistance de sortie pour un fonctionnement en grands signaux (pour des circuits non saturés et limitée à des applications à vitesse élevée)

Valeur(s) minimale et/ou typique, lorsque la tension (ou le courant) de sortie change d'un état haut à un état bas, ou inversement, dans les conditions spécifiées suivantes:

- conditions de charge d'entrée et conditions de charge pour les autres bornes de sortie;
- conditions de l'impulsion d'entrée (amplitude, fréquence, temps de croissance et de décroissance, etc.);
- tension(s) d'alimentation.

8. Puissance totale ou courants fournis par les alimentations

Valeurs typique et maximale dans des conditions de fonctionnement spécifiées.

9. Courant total extrait des alimentations (fonctionnement dynamique)

Courbe(s) donnant les valeurs typiques du courant exigé de l'alimentation (des alimentations) en fonction de la fréquence de répétition des impulsions pour un facteur d'utilisation de 50 %, ou valeurs typiques à deux fréquences de répétition d'impulsions spécifiées. Ceci doit être indiqué pour des conditions spécifiées de fonctionnement recommandé.

S'il y a lieu, les informations ci-dessus doivent aussi être données pour les entrées d'horloge lorsqu'elles jouent le rôle d'alimentations pulsées.

10. Informations sur les impulsions de commande* (s'il y a lieu)

(* Terme à l'étude.)

11. Résistance d'isolement

S'il y a lieu, valeur minimale pour une tension spécifiée. La méthode de mesure doit être spécifiée.

12. Valeurs limites, caractéristiques mécaniques et autres données

Voir l'article 7, chapitre VI, de la Publication 747-1.

7.4.3 Input resistance for large-signal operation (for non-saturated circuits and limited to high-speed applications)

Minimum and/or typical value(s) with the voltage (or current) at the input terminal changing from a high state to a low state or the reverse, under the following specified conditions:

- output loading conditions and loading conditions on other input terminals;
- input pulse conditions (amplitude, frequency, rise and fall times, etc.);
- supply voltage(s).

7.4.4 Output resistance for large-signal operation (for non-saturated circuits and limited to high-speed applications)

Minimum and/or typical value(s) with the voltage (or current) at the output terminal changing from a high state to a low state or the reverse, under the following specified conditions:

- input loading conditions and loading conditions on other output terminals;
- input pulse conditions (amplitude, frequency, rise and fall times, etc.);
- supply voltage(s).

8. Total power or currents provided from the supplies

Typical and maximum values under specified operating conditions.

9. Total current drawn from the power supplies (dynamic operation)

Curve(s) showing the typical values of current required from the power supply(ies) versus the pulse repetition frequency at 50% duty cycle, or typical values at two specified pulse repetition frequencies. This (these) should be given under specified recommended operating conditions.

Where appropriate, the above information should also be given for clock inputs acting as pulsed power supplies.

10. Command* pulse information (where appropriate)

(* Term under consideration.)

11. Insulation resistance

Where appropriate, minimum value at a specified voltage. The measuring method must be specified.

12. Mechanical ratings, characteristics and other data

See Clause 7, Chapter VI, of Publication 747-1.

13. Informations supplémentaires

13.1 Facteur de charge de sortie

Nombre maximal de charges spécifiées qui peuvent être connectées à chaque sortie. Cette information peut être donnée pour plusieurs types de charges.

13.2 Marges de protection contre les perturbations

Dans un système composé uniquement d'ensembles semblables à celui à étudier, les différentes marges de protection contre les perturbations résultent directement des huit valeurs de tensions précédemment spécifiées. Il y a quatre sortes de marges de protection contre les perturbations, définies ainsi:

$$\begin{aligned} M_1 &= V_{IHA} - V_{OHA} & M_3 &= V_{ILA} - V_{OLA} \\ M_2 &= V_{OHB} - V_{IHB} & M_4 &= V_{OLB} - V_{ILB} \end{aligned}$$

Dans de nombreux cas pratiques, les marges de protection correspondant aux tensions extrêmes M_1 et M_4 ont peu d'intérêt. Ainsi, quand on indique une marge de protection sans autre précision, elle doit correspondre à la plus petite des deux valeurs M_2 et M_3 .

13.3 Interconnexions de circuits intégrés digitaux

Des exemples de fonctionnements digitaux obtenus en interconnectant des éléments semblables doivent être indiqués.

14. Précautions de manipulation

Des précautions appropriées doivent être prises pour protéger le dispositif contre les tensions électrostatiques élevées ou les champs électromagnétiques élevés (voir la Publication 747-1, chapitre IX).

ANNEXE À LA SECTION UN

Spécification des caractéristiques

Un exemple de spécification d'un circuit en général, en accord avec ce qui précède, est donné ci-après.

Les caractéristiques électriques suivantes doivent être données pour des conditions électriques de pire cas spécifiées compte tenu de la gamme recommandée des tensions d'alimentation, comme il est indiqué au paragraphe 4.1 de la section un, et

a) dans la gamme de températures de fonctionnement spécifiée, ou

b) à une température de 25 °C, et aux températures de fonctionnement maximale et minimale.

Sortie	Valeur de référence du courant	Valeur (mesurée) de la tension
Etat haut	I_{OHB}	V_{OHA} (note 1 ci-après)
	I_{OHA}	V_{OHB}
Etat bas	I_{OLB}	V_{OLA}
	I_{OLA}	V_{OLB} (note 2 ci-après)

13. Supplementary information

13.1 Output loading capability

The maximum number of specified loads that can be driven from each output. This information may be given for more than one type of load.

13.2 Noise margins

In a system composed solely of units similar to the one under consideration, the noise margins result directly from the eight values of voltages previously specified. There are four noise margins defined as:

$$\begin{aligned} M_1 &= V_{IHA} - V_{OHA} & M_3 &= V_{ILA} - V_{OLA} \\ M_2 &= V_{OHB} - V_{IHB} & M_4 &= V_{OLB} - V_{ILB} \end{aligned}$$

In many practical systems, the “outer” noise margins M_1 and M_4 are of little concern. Therefore, when a noise margin is indicated without further qualification, it should correspond to the smaller of values of M_2 and M_3 .

13.3 Interconnections of digital integrated circuits

Examples of logic operations which may be performed by interconnecting similar units should be stated.

14. Handling precautions

Appropriate precautions should be taken to protect the device against high electrostatic voltages or large electromagnetic fields (see Publication 747-1, Chapter IX).

APPENDIX TO SECTION ONE

Specification of characteristics

An example of the specification of a general circuit in accordance with the preceding is as follows.

The following electrical characteristics should be stated under specified electrical worst-case conditions with respect to the recommended range of supply voltages as given in Sub-clause 4.1 of Section One, and

- a) over the specified range of operating temperatures, or
- b) at a temperature of 25 °C, and at maximum and minimum operating temperatures.

Output	Reference value of current	Limit (measured) value of voltage
High state	$\begin{cases} I_{OHB} \\ I_{OHA} \end{cases}$	$\begin{cases} V_{OHA} \text{ (Note 1 below)} \\ V_{OHB} \end{cases}$
Low state	$\begin{cases} I_{OLB} \\ I_{OLA} \end{cases}$	$\begin{cases} V_{OLA} \\ V_{OLB} \text{ (Note 2 below)} \end{cases}$

Entrée	Valeur de référence de la tension	Valeur (mesurée) du courant
Etat haut	V_{OHA}	I_{IHB} (note 1 ci-après)
	V_{OHB}	I_{IHA}
Etat bas	V_{OLA}	I_{ILB}
	V_{OLB}	I_{ILA} (note 2 ci-après)

Notes 1. — Ces deux valeurs ne sont pas nécessaires si V_{OHA} est égale à la valeur la plus positive de la tension d'alimentation la plus positive.

2. — Ces deux valeurs ne sont pas nécessaires si V_{OLB} est égale à la valeur la plus négative de la tension d'alimentation la plus négative.

SECTION DEUX — MÉMOIRES À CIRCUIT INTÉGRÉ

A. — Mémoires à lecture-écriture à fonctionnement statique et à fonctionnement dynamique et mémoires à lecture seule

1. Identification et description du circuit

Les stipulations de l'article 1 de la section un s'appliquent.

2. Spécifications fonctionnelles

2.1 Schéma synoptique

Les stipulations du paragraphe 2.1 de la section un s'appliquent, ainsi que ce qui suit:

Le schéma synoptique doit être suffisamment détaillé pour permettre l'identification des différentes unités fonctionnelles à l'intérieur de la mémoire (par exemple: décodage d'adresse, autorisation boîtier, circuits «buffers» de sortie, etc.), ainsi que celle de leurs connexions externes.

2.2 Description fonctionnelle

Les fonctions réalisées par le circuit doivent être spécifiées et les informations suivantes doivent être données:

- nombre total de bits d'information pouvant être stockés dans le circuit-mémoire;
- nombre de bits par mot d'information pouvant être stockés dans le circuit-mémoire;
- mode d'adressage;
- fonction(s) engendrée(s) à chaque borne, indication de chaque signal de commande et séquences d'instructions nécessaires (voir aussi le paragraphe 7.2.1 de cette section);
- pour les mémoires à fonctionnement dynamique, mode de rafraîchissement.

3. Valeurs limites

L'article 3 de la section un s'applique, ainsi que ce qui suit:

- en 3.2.1: ... les valeurs des dépassements permis, leur durée et le facteur d'utilisation doivent être indiqués;

<i>Input</i>	<i>Reference value of voltage</i>	<i>Limit (measured) value of current</i>
High state	$\begin{cases} V_{\text{OHA}} \\ V_{\text{OHB}} \end{cases}$	$\begin{matrix} I_{\text{IHB}} \text{ (Note 1 below)} \\ I_{\text{IHA}} \end{matrix}$
Low state	$\begin{cases} V_{\text{OLA}} \\ V_{\text{OLB}} \end{cases}$	$\begin{matrix} I_{\text{ILB}} \\ I_{\text{ILA}} \text{ (Note 2 below)} \end{matrix}$

Notes 1. — This pair of values is not necessary if V_{OHA} is equal to the most positive value of the most positive power supply voltage.

2. — This pair of values is not necessary if V_{OLB} is equal to the most negative value of the most negative power supply voltage.

SECTION TWO — INTEGRATED CIRCUIT MEMORIES

A. — Static and dynamic read/write memories and read-only memories

1. Circuit identification and description

The provisions of Clause 1 of Section One apply.

2. Functional specifications

2.1 Block diagram

The provisions of Sub-clause 2.1 of Section One apply, together with the following:

The block diagram should be sufficiently detailed to enable the individual functional units within the memory (for example, address decode, chip enable, “buffer” output circuits, etc.) to be identified, together with their external connections.

2.2 Functional description

The functions performed by the circuit should be specified and the following information should be stated:

- the total number of bits of information capable of being stored in the memory circuit;
- the number of bits per word capable of being stored in the memory circuit;
- the method of addressing;
- the function(s) performed by each terminal, together with a statement of each control signal required, and the necessary sequence of instructions (see also Sub-clause 7.2.1 of this section);
- for dynamic memories, the method of refreshing.

3. Ratings (limiting values)

Clause 3 of Section One applies, together with the following:

- in 3.2.1: ... then the permissible excess values, their duration and the *duty cycle* should be stated;

b) ajouter deux nouveaux paragraphes, 3.5 et 3.6, comme suit:

3.5 Dissipation de puissance (s'il y a lieu)

Valeur maximale de la dissipation de puissance en continu.

3.6 Temps de transition à l'entrée (s'il y a lieu), pour les mémoires à fonctionnement dynamique

Valeurs minimales.

4. Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée)

L'article 4 de la section un s'applique, ainsi que ce qui suit:

Si le dispositif exige un préconditionnement quelconque, tel qu'une séquence de tensions, des cycles fictifs ou une séquence de signaux avant que le fonctionnement soit valide, ce préconditionnement doit être défini.

5. Caractéristiques électriques statiques pour les mémoires bipolaires

L'article 5 de la section un s'applique.

6. Caractéristiques électriques statiques pour les mémoires MOS

L'article 6 de la section un s'applique.

7. Caractéristiques électriques dynamiques

Chaque caractéristique électrique du paragraphe 7.1 doit être indiquée dans des conditions électriques spécifiées de pire cas, dans la gamme recommandée de tensions d'alimentation, indiquée dans le paragraphe 4.1 de la section un.

Les valeurs minimales et/ou maximales, comme exigé par le paragraphe 7.1, ou, si celles-ci ne peuvent faire l'objet d'un accord entre le fabricant et l'utilisateur, des valeurs typiques doivent être données:

a) dans la gamme des températures de fonctionnement spécifiée (par exemple sous forme de courbe), ou

b) à la température de 25 °C, et aux températures de fonctionnement maximale et minimale.

La condition b) ne doit être utilisée que si la valeur de la caractéristique pour le pire cas dans toute la gamme de températures peut se déduire des valeurs données aux températures spécifiées.

Dans tous les cas, on doit indiquer les valeurs minimales et/ou maximales applicables à 25 °C.

7.1 Temps caractérisant la réponse du circuit

Les temps suivants doivent être indiqués dans des conditions spécifiées:

b) two new Sub-clauses, 3.5 and 3.6, should be added, as given below:

3.5 Power dissipation (where appropriate)

Maximum value of continuous power dissipation.

3.6 Input transition times (where appropriate), for dynamic memories

Minimum values.

4. Recommended operating conditions (within the specified operating temperature range)

Clause 4 of Section One applies, together with:

If the device requires any pre-conditioning such as voltage sequencing, dummy cycles or signal sequencing before a valid operation, this pre-conditioning should be defined.

5. Static electrical characteristics for bipolar memories

Clause 5 of Section One applies.

6. Static electrical characteristics for MOS memories

Clause 6 of Section One applies.

7. Dynamic electrical characteristics

Each electrical characteristic of Sub-clause 7.1 should be stated under specified electrical worst-case conditions with respect to the recommended range of supply voltage(s) as stated in Sub-clause 4.1 of Section One.

Limit values as required by Sub-clause 7.1 or, if these are not mutually acceptable to manufacturer and user, typical values should be stated either:

- a) over the specified range of operating temperatures (for example, as a curve), or
- b) at a temperature of 25 °C, and at the maximum and the minimum operating temperatures.

Alternative b) should be used only if the worst-case value of the characteristic over the whole temperature range can be deduced from the values given at the specified temperatures.

In all cases, limit values applicable at 25 °C should be stated.

7.1 Times characterizing the response of the circuit

The following times should be stated under specified conditions:

7.1.1 Temps d'accès (voir notes 1 et 2)

- a) Temps d'accès de lecture.
- b) Temps d'accès de chaque signal d'autorisation et de sélection spécifié pour la mémoire (voir note 3).
- c) Temps d'accès d'adresse (non applicable tant que l'information d'adresse n'est pas prise en compte, c'est-à-dire qu'elle est enregistrée dans la mémoire).

On doit indiquer des valeurs maximales pour chacun de ces temps d'accès.

- Notes 1. — On doit indiquer des conditions de mesure spécifiées de façon à s'assurer que tous les signaux de commande sont appliqués suffisamment tôt pour que les temps d'accès spécifiés n'en soient pas affectés.
- 2. — Les conditions de référence pour les mesures de temps d'accès doivent comprendre les valeurs maximales autorisées de temps de préparation.
 - 3. — Lorsqu'on spécifie une séquence fixe de signaux d'autorisation et/ou de sélection (voir paragraphe 7.2.1) et que le dernier de ces signaux détermine toujours le temps d'accès réel, il n'y a alors besoin que d'indiquer les temps d'accès pour le premier et le dernier signal de cette séquence.

7.1.2 Temps de recouvrement de lecture (pour les mémoires à lecture-écriture seulement)

Valeur maximale.

Note. — Si les fonctions de lecture et d'écriture sont effectuées à partir d'une borne unique, le temps d'accès de lecture et le temps de recouvrement de lecture sont identiques; il n'y a alors besoin de spécifier que l'un de ces temps.

7.1.3 Temps d'inhibition en sortie

Temps d'inhibition en sortie pris à partir de la fin des signaux d'autorisation et de sélection.

Valeurs maximales.

Note. — Le temps d'inhibition en sortie est l'intervalle de temps qui sépare la fin d'un signal spécifié d'autorisation ou de sélection, de l'instant où l'information cesse d'être disponible en sortie.

7.1.4 Temps de transition (voir note 4)

On doit indiquer les temps de transition dans des conditions spécifiées (voir note 5), de la façon suivante:

- a) si la valeur typique du temps de transition est comparable (voir note 6) ou supérieure à la valeur typique du temps de propagation, on doit indiquer une valeur maximale du temps de transition;
- b) si la valeur typique du temps de transition est inférieure à 10 ns, on doit indiquer une valeur minimale (voir note 7);
- c) si les conditions a) et b) sont remplies simultanément, on doit alors indiquer des valeurs minimale et maximale.

Les temps de transition, lorsqu'on les exige, doivent être indiqués pour les deux sens de la transition (c'est-à-dire qu'on indiquera t_{THL} et t_{TLH}).

- Notes 4. — En général, on doit donner les valeurs de ces temps qui s'appliquent pour chacune ou pour les deux directions de transition du signal de sortie. Dans certains cas (par exemple pour les mémoires MOS), dans la mesure où il est reconnu que seule une direction de transition est significative (par exemple tension de sortie changeant vers la tension d'alimentation), cette valeur seule peut être indiquée.
- 5. — Les conditions de mesure spécifiées doivent comprendre les caractéristiques de l'impulsion d'entrée et de l'oscilloscope (ou de tout autre instrument de mesure approprié), la configuration et la valeur des composants du réseau de charge de sortie.

7.1.1 Access times (see Notes 1 and 2)

- a) Read access time.
- b) Access time from each enable and select signal specified for the memory (see Note 3).
- c) Address access time (not applicable where the address information is not accepted until it is clocked into the memory).

Maximum values should be stated for each of these access times.

Notes 1. — Specified measurement conditions should be given in order to ensure that all control signals are applied early enough so that they do not affect the specified access times.

- 2. — The reference conditions for the measurements of access times must include the maximum permissible values of set-up times.
- 3. — Where a fixed sequence of enable and/or select signals is specified (see Sub-clause 7.2.1), and the last of these signals always determines the actual access time, then only the access times for the first and last of the signals in this sequence need be stated.

7.1.2 Sense recovery time (for read/write memories only)

Maximum value.

Note. — If both “read” and “write” functions are controlled by a single terminal, then “read access time” and “sense recovery time” will be the same, and only one of these times is required.

7.1.3 Output disable times

Output disable times from the end of each relevant enable and select signal.

Maximum values.

Note. — The output disable time is the time interval between the cessation of a specified enable/select signal, and the instant at which the output data are no longer valid.

7.1.4 Transition times (see Note 4)

Transition times should be stated under specified conditions (see Note 5), depending on the following conditions:

- a) if the typical value of transition time is comparable to (see Note 6), or greater than, the typical value of propagation time, then a maximum value of transition time should be stated;
- b) if the typical value of transition time is less than 10 ns, a minimum value should be stated (see Note 7);
- c) if both conditions a) and b) are fulfilled, then both minimum and maximum values should be stated.

Transition times, when required, should be stated for both directions of transition (that is, t_{THL} and t_{TLH} should be stated).

Notes 4. — In general, values of these times that apply for each or both directions of transition of the output signal should be given. In some cases (for example, MOS memories), provided it is known that only one direction of transition is significant (for example, output voltage changing towards the supply voltage), only this value need be stated.

- 5. — The specified conditions of measurement should include the characteristics of the input pulse and oscilloscope (or other appropriate measuring system) and the configuration and component values of the output loading network.

6. — Le temps de transition peut être considéré comme comparable au temps de propagation si sa valeur dépasse 50% de celle du temps de propagation.
7. — On veut indiquer que, pour des temps de transition très courts, il peut y avoir des phénomènes de rebondissement et des problèmes de couplage avec les charges couramment utilisées.

7.2 Exigences sur les entrées pour assurer un fonctionnement séquentiel correct

7.2.1 Mémoires à fonctionnement statique

Les exigences de temps suivantes s'appliquent aux mémoires à écriture-lecture à fonctionnement statique et sont en accord avec les principes généraux énoncés dans le paragraphe 7.3 de la section un.

On doit indiquer un chronogramme comprenant l'ensemble des signaux nécessaires pour réaliser chaque opération fonctionnelle de la mémoire et mesurer les temps correspondants. Cet ensemble de signaux doit représenter les signaux de commande indiqués au point *d*) du paragraphe 2.2 de cette section.

La séquence de temps à utiliser doit être indiquée et tous les intervalles de temps nécessaires à l'utilisateur pour avoir un fonctionnement correct de la mémoire doivent être indiqués.

En général, les temps suivants doivent être indiqués.

7.2.1.1 Temps de cycle

Temps de cycle de lecture, temps de cycle d'écriture et, s'il y a lieu, temps de cycle de lecture-écriture et/ou temps de cycle d'écriture-lecture.

Valeurs minimales.

Note. — Dans les paragraphes 7.2.1.2 à 7.2.1.5 inclus, on n'utilise que le terme «autorisation» dans le texte français (alors qu'on utilise «enable/select» dans le texte anglais). Il faut noter que les temps de préparation et de maintien cités dans les paragraphes 7.2.1.2 et 7.2.1.3 supposent que la mémoire n'a pas de possibilité de verrouillage par l'entrée «autorisation». Si elle en a, les temps de préparation et de maintien pris en référence par rapport à la fin d'écriture et à la fin d'autorisation, doivent être alors simplement pris en référence par rapport à «lecture» et à «autorisation».

7.2.1.2 Temps de préparation

Valeurs minimales pour les temps suivants:

- a) temps de préparation adresse/écriture ou adresse/autorisation (voir note 8);
- b) temps de préparation autorisation/fin d'écriture;
- c) temps de préparation entrée d'information/fin d'écriture, pour une valeur minimale donnée de la largeur (durée) de l'impulsion d'écriture (voir note 8), ou
- d) temps de préparation entrée d'information/fin d'autorisation, pour une valeur minimale donnée de la durée (largeur) d'impulsion d'autorisation (voir note 8);
- e) pour les mémoires complexes fonctionnant avec plus d'un signal de commande d'autorisation, il est nécessaire d'indiquer en outre au moins un temps de préparation supplémentaire correspondant à chaque signal d'autorisation supplémentaire.

Note 8. — Le choix de l'impulsion d'écriture ou d'autorisation comme impulsion de référence dépend de celle qui devient inactive la première, et ceci doit être en accord avec la séquence de temps indiquée dans le paragraphe 7.2.1. Si la séquence entre les impulsions d'écriture et d'autorisation n'a pas d'importance, cela doit être indiqué, et l'on doit alors indiquer les temps *c*) et *d*).

Pour une mémoire n'ayant pas de possibilité d'autorisation, on ne donnera que les temps *a*) et *c*) (c'est-à-dire deux valeurs).

6. — The transition time is considered comparable to propagation time if its value exceeds 50% of the value of propagation time.
7. — The object here is to state when very short transition times may be obtained, which may give rise to overshoot and coupling problems using practical loads.

7.2 Requirements at the inputs to ensure correct sequential operation

7.2.1 Static memories

The following timing requirements are applicable to static read/write memories and are in accordance with the general principles given in Sub-clause 7.3 of Section One.

A timing diagram should be given, comprising a complete set of signals that would be required to enable each functional operation of the memory to be set up and measured. This set of signals should be in accordance with the control signals included in Item *d*) of Sub-clause 2.2 of this section.

The timing sequence to be used should be stated and all time intervals that need to be known by the user for correct operation of the memory should be stated.

In general, the following times should be stated:

7.2.1.1 Cycle times

Read cycle time, write cycle time and, where appropriate, read-write cycle time and/or write-read cycle time.

Minimum values.

Note. — In Sub-clauses 7.2.1.2 to 7.2.1.5 inclusive, the terms “enable” and “select” are being used synonymously, since no formal definitions have yet been agreed. Wherever the term “enable/select” occurs, the term to be used is that which is appropriate to the memory being specified. It should be noted that the set-up and hold times given in Sub-clauses 7.2.1.2 and 7.2.1.3 assume that the memory does not have a latch facility operated by the enable/select input. If it does, then set-up and hold times referenced to end-of-write and end-of-enable/select should be referenced to simply “write or enable/select”.

7.2.1.2 Set-up times

Minimum values for the following:

- a) address set-up time before write, or address set-up time before enable/select (see Note 8);
- b) enable/select set-up time before end-of-write;
- c) data-in set-up time before end-of-write, for a stated minimum value of enable/select pulse duration (width) (see Note 8), or
- d) data-in set-up time before end-of-enable/select, for a stated minimum value of enable/select pulse duration (width) (see Note 8);
- e) for complex memories having more than one enable or select control signal, at least one additional set-up time for each additional enable or select signal is required.

Note 8. — The choice of write or enable/select as the reference pulse depends on which one becomes inactive first, and this should be in accordance with the timing sequence given in Sub-clause 7.2.1. If the relative sequence in which write and enable/select become inactive is irrelevant, this should be stated and values for both *c*) and *d*) should be given.
For a memory having no enable/select facility, values of *a*) and *c*) only are required (that is, two times are required).

7.2.1.3 Temps de maintien

Par analogie avec les temps de préparation, valeurs minimales pour les temps suivants:

- a) temps de maintien adresse/fin d'écriture ou adresse/fin d'autorisation (voir note 9);
- b) temps de maintien autorisation/fin d'écriture ou écriture/fin d'autorisation (voir note 9);
- c) temps de maintien entrée d'information/fin d'écriture ou entrée d'information/fin d'autorisation (voir note 9);
- d) pour les mémoires complexes fonctionnant avec plus d'un signal de commande d'autorisation, il est nécessaire d'indiquer en outre au moins un temps de maintien supplémentaire correspondant à chaque signal d'autorisation supplémentaire.

Note 9. — Le choix de l'impulsion d'écriture ou d'autorisation comme impulsion de référence dépend de celle qui devient inactive la première, et ceci doit être en accord avec la séquence de temps indiquée dans le paragraphe 7.2.1. Si la séquence entre les impulsions d'écriture et d'autorisation n'a pas d'importance, cela doit être indiqué et l'on doit alors indiquer les temps a) et c). Pour une mémoire n'ayant pas de possibilité d'autorisation, on ne donnera que les temps a) et c) (c'est-à-dire deux valeurs).

7.2.1.4 Temps de recouvrement d'écriture

Valeur minimale.

Note. — Dans certaines mémoires, le temps de recouvrement d'écriture et le temps de maintien adresse/fin d'écriture sont les mêmes; il n'y a besoin d'indiquer qu'une seule de ces grandeurs dans ces cas.

7.2.1.5 Durées (largeurs) des impulsions

Valeurs minimales pour les durées suivantes:

- durée (largeur) de l'impulsion d'écriture;
- s'il y a lieu, durée (largeur) de l'impulsion d'autorisation (voir le point d) du paragraphe 7.2.1.2).

7.2.2 Mémoires à fonctionnement dynamique

Les exigences suivantes de séquençement s'appliquent aux mémoires à écriture-lecture à fonctionnement dynamique et sont en accord avec les principes généraux énoncés dans le paragraphe 7.2 de la section un de ce chapitre.

On doit indiquer un chronogramme comprenant un ensemble complet de signaux nécessaires pour réaliser chaque opération fonctionnelle de la mémoire et en effectuer la mesure. Cet ensemble de signaux doit être en accord avec les signaux de commande indiqués dans le paragraphe 2.2 d) de cette section.

Le séquençement à utiliser doit être indiqué, ainsi que tous les intervalles de temps nécessaires à l'utilisateur pour un fonctionnement correct de la mémoire. En général, on doit indiquer les temps suivants:

7.2.2.1 Mémoires à entrée de validation à l'exclusion des mémoires à entrées d'adresse multiplexées

a) Temps de préparation

- Temps de préparation adresse/autorisation.
- Temps de préparation lecture/autorisation.
- Temps de préparation sélection boîtier/autorisation, s'il y a lieu.

7.2.1.3 *Hold times*

By analogy with set-up times, minimum values for the following:

- a) address after end-of-write hold time or address hold time after end-of-enable/select (see Note 9);
- b) enable/select hold time after end-of-write or write hold time after end-of-enable/select (see Note 9);
- c) data-in hold time after end-of-write or data-in hold time after end-of-enable/select (see Note 9);
- d) for complex memories having more than one enable or select control signal, at least one additional hold time for each additional enable or select signal is required.

Note 9. — The choice of write or enable/select as the reference pulse depends on which one becomes inactive first, and this should be in accordance with the timing sequence given in Sub-clause 7.2.1. If the relative sequence in which write and enable/select become inactive is irrelevant, this should be stated, and values for both options in a) and c) should be given.
For a memory having no enable/select facility, values for a) and c) only are required (that is, two times are required).

7.2.1.4 *Write recovery time*

Minimum value.

Note. — In some memories, write recovery time and address after end-of-write hold time are the same and only one of the quantities need be stated in such cases.

7.2.1.5 *Pulse durations (widths)*

Minimum values for the following:

- write pulse duration (width);
- where appropriate, enable/select pulse duration (width) (see Item d) of Sub-clause 7.2.1.2).

7.2.2 *Dynamic memories*

The following timing requirements are applicable to dynamic read/write memories, and are in accordance with the general principles given in Sub-clause 7.2 of Section One of this chapter.

A timing diagram should be given, comprising a complete set of signals that would be required to enable each functional operation of the memory to be set up and measured. This set of signals should be in accordance with the control signals included in Sub-clause 2.2 d) of this section.

The timing sequence to be used and all time intervals that need to be known by the user for correct operation of the memory should be stated. In general, the following times should be stated.

7.2.2.1 *Memories with enable input, excluding memories with multiplexed address inputs*

a) *Set-up times*

- Address set-up time before enable.
- Read set-up time before enable.
- Chip-select set-up time before enable, where appropriate.

- Temps de préparation écriture/autorisation.
- Temps de préparation entrée information/écriture.
- Temps de préparation entrée information/autorisation.

Valeurs minimales.

b) Temps de maintien

- Temps de maintien adresse/autorisation.
- Temps de maintien lecture/autorisation.
- Temps de maintien sélection boîtier/autorisation, s'il y a lieu.
- Temps de maintien écriture/autorisation, s'il y a lieu.
- Temps de maintien entrée information/autorisation.
- Temps de maintien entrée information/écriture.

Valeurs minimales.

c) Temps de cycle

- Temps de cycle de lecture.
- Temps de cycle d'écriture.
- Temps de cycle de lecture-modification-écriture, s'il y a lieu.
- Temps de cycle de lecture-écriture, s'il y a lieu.

Valeurs minimales.

d) Durées (largeurs) des impulsions

- Durée (largeur) d'impulsion de lecture.
- Durée (largeur) d'impulsion d'écriture.
- Durée (largeur) d'impulsion d'autorisation.

Valeurs minimales et, s'il y a lieu, maximales.

e) Temps de préconditionnement

Valeur minimale.

f) Intervalle de temps de rafraîchissement

Valeur maximale.

g) Temps de transition

- Temps de montée de l'autorisation.
- Temps de descente de l'autorisation.
- Temps de transition en mode de sélection lecture-écriture, selon le cas.

Valeurs minimales et maximales.

7.2.2.2 Mémoires à entrées d'adresse multiplexées

a) Temps de préparation

- Temps de préparation adresse lignes/sélection d'adresse lignes.
- Temps de préparation adresse colonnes/sélection d'adresse colonnes.
- Temps de préparation lecture/sélection d'adresse colonnes.
- Temps de préparation entrée information/sélection d'adresse colonnes, s'il y a lieu.
- Temps de préparation entrée information/écriture.

- Write set-up time before enable.
- Data-in set-up time before write.
- Data-in set-up time before enable.

Minimum values.

b) Hold times

- Address hold time after enable.
- Read hold time after enable.
- Chip-select hold time after enable, where appropriate.
- Write hold time after enable, where appropriate.
- Data-in hold time after enable.
- Data-in hold time after write.

Minimum values.

c) Cycle times

- Read cycle time.
- Write cycle time.
- Read-modify-write cycle time, where appropriate.
- Read-write cycle time, where appropriate.

Minimum values.

d) Pulse durations (widths)

- Read pulse duration (width).
- Write pulse duration (width).
- Enable pulse duration (width).

Minimum and, where appropriate, maximum values.

e) Precharge time

Minimum value.

f) Refresh time interval

Maximum value.

g) Transition times

- Enable rise time.
- Enable fall time.
- Read-write mode select transition times, as appropriate.

Minimum and maximum values.

7.2.2.2 Memories with multiplexed address inputs

a) Set-up times

- Row-address set-up time before row-address-select.
- Column-address set-up time before column-address-select.
- Read set-up time before column-address-select.
- Data-in set-up time before column-address-select, where appropriate.
- Data-in set-up time before write.

- Temps de préparation écriture/sélection d'adresse colonnes.
- Temps de préparation écriture/sélection d'adresse lignes.
- Temps de préparation sélection boîtier/sélection d'adresse colonnes, s'il y a lieu.

Valeurs minimales.

b) Temps de maintien

- Temps de maintien adresse colonnes/sélection d'adresse lignes.
- Temps de maintien lecture/sélection d'adresse colonnes.
- Temps de maintien écriture/sélection d'adresse colonnes.
- Temps de maintien écriture/sélection d'adresse lignes.
- Temps de maintien entrée information/sélection d'adresse colonnes.
- Temps de maintien entrée information/sélection d'adresse lignes.
- Temps de maintien entrée information/écriture.
- Temps de maintien sélection boîtier/sélection adresse lignes, s'il y a lieu.

Valeurs minimales.

c) Temps de délai entre signaux d'entrée

- Temps de délai entre signal de sélection d'adresse colonnes devenant inactif et signal de sélection d'adresse lignes devenant actif.
- Temps de délai entre signal de sélection d'adresse colonnes devenant actif et signal de sélection d'adresse lignes devenant inactif.

Valeurs minimales.

d) Temps de cycle

- Temps de cycle de lecture.
- Temps de cycle d'écriture.
- Temps de cycle de lecture-écriture, s'il y a lieu.
- Temps de cycle de lecture-modification-écriture, s'il y a lieu.
- Temps de cycle par page, s'il y a lieu.

Valeurs minimales.

e) Durées (largeurs) d'impulsions

- Durée (largeur) d'impulsion de sélection d'adresse lignes.
- Durée (largeur) d'impulsion de sélection d'adresse colonnes.
- Durée (largeur) d'impulsion d'écriture.

S'il y a lieu, valeurs minimales et/ou maximales.

f) Temps de préconditionnement

- Temps de préconditionnement de sélection d'adresse lignes.
- Temps de préconditionnement de sélection d'adresse colonnes à sélection d'adresse lignes.
- Temps de préconditionnement de sélection d'adresse colonnes.

Valeurs minimales et, s'il y a lieu, maximales.

g) Intervalle de temps de rafraîchissement

Valeur maximale.

- Write set-up time before column-address-select.
- Write set-up time before row-address-select.
- Chip-select set-up time before column-address-select, where appropriate.

Minimum values.

b) Hold times

- Column-address hold time after row-address-select.
- Read hold time after column-address-select.
- Write hold time after column-address-select.
- Write hold time after row-address-select.
- Data-in hold time after column-address-select.
- Data-in hold time after row-address-select.
- Data-in hold time after write.
- Chip-select hold time after row-address-select, where appropriate.

Minimum values.

c) Delay time between input signals

- Delay time between column-address-select signal becoming inactive and row-address-select signal becoming active.
- Delay time between column-address-select signal becoming active and row-address-select signal becoming inactive.

Minimum values.

d) Cycle times

- Read cycle time.
- Write cycle time.
- Read-write cycle time, where appropriate.
- Read-modify-write cycle time, where appropriate.
- Page cycle time, where appropriate.

Minimum values.

e) Pulse durations (widths)

- Row-address-select pulse duration (width).
- Column-address-select pulse duration (width).
- Write pulse duration (width).

Where appropriate, minimum and/or maximum values.

f) Precharge times

- Row-address-select precharge time.
- Column-address-select to row-address-select precharge time.
- Column-address-select precharge time.

Minimum and, where appropriate, maximum values.

g) Refresh time interval

Maximum value.

h) Temps de transition

- Temps de transition de sélection d'adresse lignes.
- Temps de transition lecture-écriture, s'il y a lieu.
- Temps de transition d'autorisation (sélection boîtier).

Valeurs minimales et maximales.

7.3 Capacités d'entrée et de sortie

Valeurs typique et maximale des capacités d'entrée et de sortie dans des conditions spécifiées.

8. Puissance ou courant fourni par chaque alimentation (cas du fonctionnement statique)

Valeurs maximales du courant dans chaque borne d'alimentation dans les conditions de pire cas, pour le mode actif et pour la position attente si elles sont nettement différentes. Donner également les valeurs typiques dans les conditions nominales de fonctionnement.

9. Puissance ou courant fourni par chaque alimentation (cas du fonctionnement dynamique)

Courbe(s) donnant les valeurs typiques du courant fourni par l'alimentation (des alimentations) en fonction de la fréquence de répétition des impulsions, ou valeurs typiques à deux fréquences de répétition d'impulsions spécifiées. Cela doit être indiqué pour des conditions spécifiées de fonctionnement recommandé.

S'il y a lieu, les informations ci-dessus doivent aussi être données pour les entrées d'horloge lorsqu'elles jouent le rôle d'alimentations pulsées.

S'il y a lieu, cette information doit être aussi donnée pour le fonctionnement en position attente.

10. Valeurs limites, caractéristiques mécaniques et autres données

On doit donner toute valeur limite spécifique, mécanique ou d'environnement, applicable aux mémoires à circuit intégré (voir aussi l'article 7, chapitre VI, de la Publication 747-1).

11. Informations supplémentaires

11.1 Facteur de charge de sortie

Nombre maximal de charges spécifiées qui peuvent être connectées à chaque sortie. Cette information peut être donnée pour plusieurs types de charges.

11.2 Marges de protection contre les perturbations

Des informations permettant de calculer les marges de protection contre les perturbations concernant les mémoires sont données dans les articles 5 et 6 (voir aussi le paragraphe 13.2 de la section un).

11.3 Interconnexions de circuits similaires

Des exemples de fonctionnements logiques (par exemple: OU-câblé) qui peuvent être effectués en interconnectant des mémoires semblables doivent être donnés.

h) Transition times

- Row-address-select transition times.
- Read/write transition times, as appropriate.
- Enable (chip select) transition times.

Minimum and maximum values.

7.3 Input and output capacitances

Typical and maximum values of input and output capacitances under specified conditions.

8. Power or current drawn from each supply (static operation)

Maximum values of current into each supply terminal under worst-case conditions and for both active and standby modes if these are significantly different from each other. The typical values under nominal operating conditions should also be given.

9. Power or current drawn from each supply (dynamic operation)

Curve(s) showing the typical values of current required from the power supply(ies) versus the pulse repetition frequency, or typical values at two specified pulse repetition frequencies. This (these) should be given under specified recommended operating conditions.

Where appropriate, the above information should be given for clock inputs acting as pulsed power supplies.

Where appropriate, this information should also be given for standby operation.

10. Mechanical ratings, characteristics and other data

Any specific mechanical or environmental ratings applicable to the integrated circuit memory should be stated. (See also Clause 7, Chapter VI, of Publication 747-1.)

11. Supplementary information

11.1 Output loading capability

The maximum number of specified loads that can be driven from each output. This information may be given for more than one type of load.

11.2 Noise margins

Information about the memory that enables noise margins to be calculated is given in Clauses 5 and 6 (see also Sub-clause 13.2 of Section One).

11.3 Interconnections of similar units

Examples of logic operations (for example, wired-OR) that may be performed by interconnecting similar memory units should be stated.

11.4 Type de circuit de sortie

Les informations doivent être données sur le type de circuit de sortie, par exemple: trois-états, collecteur ouvert, drain ouvert, «push-pull».

11.5 Interconnexions avec d'autres types de circuits

S'il y a lieu, des détails sur les interconnexions avec d'autres circuits, par exemple: amplificateurs de lecture, «buffers», doivent être donnés.

12. Précautions de manipulation

Voir la Publication 747-1, chapitre IX.

B. — Mémoires à lecture seule à contenu programmable par l'utilisateur

Le contenu de cette sous-section est destiné à caractériser les mémoires à lecture seule à contenu programmable et reprogrammable, ces dernières étant:

- soit effaçables par ultraviolet et programmables électriquement,
- soit effaçables électriquement et programmables électriquement.

1. Identification et description du circuit

Les stipulations de l'article 1 de la section un du chapitre III s'appliquent, avec l'addition suivante au paragraphe 1.2 (Technologie):

«On doit indiquer également des détails sur le type de cellule de stockage: matrice de diodes, liaison par fusion, type d'injection par avalanche dans la grille flottante, etc.»

2. Spécifications fonctionnelles

2.1 Schéma synoptique

Un schéma synoptique ou une information équivalente sur le circuit intégré digital doit être donné.

Le schéma synoptique doit permettre d'identifier la fonction de chaque connexion externe et lorsqu'il n'y a pas de risque d'ambiguïté, indiquer également les numéros des bornes. Si l'encapsulation comporte des parties métalliques, toute connexion des bornes extérieures à ces parties doit être précisée. On doit indiquer les connexions avec tous les éléments électriques externes associés, si c'est nécessaire.

Comme information supplémentaire, on peut reproduire le schéma électrique complet comprenant les éléments parasites importants, mais sans indiquer nécessairement les valeurs des composants du circuit.

Le schéma synoptique doit être suffisamment détaillé pour permettre l'identification des différentes unités fonctionnelles à l'intérieur de la mémoire (par exemple: décodage d'adresse, autorisation d'adressage, circuits «buffers» de sortie, circuits de programmation et d'effacement, etc.) ainsi que celle de leurs connexions externes.

2.2 Identification des bornes

Les bornes suivantes doivent être identifiées sur le schéma synoptique:

11.4 *Type of output circuit*

Information should be given regarding the type of output circuit, for example, three-state, open-collector, open-drain, push-pull.

11.5 *Interconnections to other types of circuits*

Where appropriate, details of the interconnections to other circuits, for example, sense amplifiers, buffers, should be given.

12. **Handling precautions**

See Publication 747-1, Chapter IX.

B. — *Field-programmable read-only memories*

The material in this sub-section is intended to cover programmable and reprogrammable read-only memories, the latter being:

- either ultraviolet erasable and electrically programmable,
- or electrically erasable and electrically programmable.

1. **Circuit identification and description**

The provisions of Clause 1 of Section One of Chapter III apply, together with the following addition to Sub-clause 1.2 (Technology):

“This statement should also include details of the type of storage cell: diode matrix, fusible link, floating-gate avalanche-injection type, etc.”

2. **Functional specifications**

2.1 *Block diagram*

A block diagram or equivalent circuit information of the digital integrated circuit should be given.

The block diagram should identify the function of each external connection and, where no ambiguity may occur, can also show the terminal numbers. If the encapsulation has metallic parts, any connection to them from external terminals should be indicated. The connections with any associated external electrical elements should be stated, where necessary.

As additional information, the complete electrical diagram can be reproduced, but not necessarily with indications of the values of the circuit components.

The block diagram should be sufficiently detailed to enable the individual functional units within the memory (for example, address decode, chip enable, “buffer” output circuits, programming/erasing control circuits, etc.) to be identified, together with their external connections.

2.2 *Identification of terminals*

The following terminals should be identified on the block diagram:

- a) bornes d'alimentation, c'est-à-dire les bornes prévues pour être connectées aux alimentations;
- b) bornes d'entrée ou de sortie, c'est-à-dire les bornes vers lesquelles ou à partir desquelles les signaux circulent. Le terme «signal» comprend à la fois l'impulsion et des formes d'onde plus complexes;
- c) bornes d'entrée/sortie, c'est-à-dire les bornes qui peuvent, à différents instants, faire office de bornes d'entrée ou de sortie;
- d) bornes de sortie en troisième état, c'est-à-dire les bornes de sortie qui peuvent être commandées de façon à présenter un état à haute impédance.
- e) bornes à fonctions multiples, c'est-à-dire les bornes utilisables à différents instants pour différentes fonctions, par exemple programmation et effacement.

2.3 Description fonctionnelle

Les fonctions réalisées par le circuit doivent être spécifiées et les informations suivantes doivent être données:

- a) nombre total de bits d'information pouvant être stockés dans le circuit-mémoire;
- b) nombre de bits par mot d'information pouvant être stockés dans le circuit-mémoire;
- c) méthode d'adressage en mode de lecture;
- d) fonction(s) attribuée(s) à chaque borne, indication de chaque signal de commande et séquences d'opérations ou d'instructions nécessaires;
- e) méthode de programmation;
- f) méthode d'effacement du contenu de toute la mémoire ou d'une partie de celle-ci;
- g) niveau de sortie à l'état non programmé.

3. Valeurs limites

Les stipulations de l'article 3 de la section un du chapitre III s'appliquent; il faut leur ajouter ce qui suit:

- a) en 3.2.1: «... Les valeurs des dépassements permis, leur durée et le *facteur d'utilisation* doivent être indiqués.»;
- b) nouveau paragraphe 3.5: «Nombre maximal de cycles de programmation – effacement autorisé (s'il y a lieu).»

4. Mode de lecture

4.1 Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée)

Voir l'article 4 de la section un du chapitre III.

4.2 Caractéristiques électriques statiques

On doit indiquer les caractéristiques électriques suivantes:

a) Courants d'entrée et de sortie

- Pour les circuits intégrés bipolaires, les exigences de l'article 5 et du paragraphe 5.3 de la section un du chapitre III s'appliquent.

- a) supply terminals, that is, terminals intended to be connected to the power supplies;
- b) input or output terminals, that is, terminals into which or out of which signals are passed. The term “signal” includes both pulse and more complex waveforms;
- c) input/output terminals, that is, terminals that may function at different times as input or output terminals;
- d) three-state output terminals, that is, output terminals that may be controlled to give a high-impedance condition;
- e) multi-functional terminals, that is, terminals that may be used at different times for different functions, for example, programming and erasing.

2.3 Functional description

The functions performed by the circuit should be specified and the following information should be stated:

- a) the total number of bits of information capable of being stored in the memory circuit;
- b) the number of bits per word capable of being stored in the memory circuit;
- c) the method of addressing for read mode;
- d) the function(s) performed by each terminal, together with a statement of each control signal required, and the necessary sequence of operations or instructions;
- e) the method of programming;
- f) the method of erasing the contents of the whole memory or a selected part of it;
- g) output level in the unprogrammed state.

3. Ratings (limiting values)

The provisions of Clause 3 of Section One, Chapter III, apply, and the following should be added:

- a) in Sub-clause 3.2.1. “... then the permissible excess values, their duration and the duty cycle should be stated.”
- b) new Sub-clause 3.5: “Maximum number of programming – erasing cycles permitted (where appropriate).”

4. Read mode

4.1 Recommended operating conditions (within the specified operating temperature range)

See Clause 4 of Section One, Chapter III.

4.2 Static electrical characteristics

The following electrical characteristics should be stated:

a) Input and output currents

- For bipolar integrated circuits, the requirements of Clause 5 and Sub-clause 5.3 of Chapter III, Section One, apply.

- Pour les circuits intégrés MOS, les exigences de l'article 6 et des paragraphes 6.2.1 et 6.2.2 de la section un du chapitre III s'appliquent.

b) Tensions d'entrée et de sortie

- Pour les circuits intégrés bipolaires, les exigences de l'article 5 et du paragraphe 5.1 de la section un du chapitre III s'appliquent.
- Pour les circuits intégrés MOS, les exigences de l'article 6 et du paragraphe 6.1 de la section un du chapitre III s'appliquent.

c) Tension(s) d'écrêtage à l'entrée

Les exigences du paragraphe 5.2 de la section un du chapitre III s'appliquent.

d) Courant(s) de court-circuit en sortie

Valeurs maximale et/ou minimale.

e) Courants de fuite d'entrée et de sortie (s'il y a lieu)

Valeurs maximales.

f) Capacités d'entrée et de sortie

Valeurs typiques et maximales dans des conditions spécifiées.

4.3 Caractéristiques électriques dynamiques

4.3.1 Généralités

Les exigences de l'article 7 de la section deux (sous-section A) du chapitre III, concernant les valeurs de tensions d'alimentation et de températures de fonctionnement pour la mesure des caractéristiques électriques dynamiques, s'appliquent.

4.3.2 Temps caractérisant la réponse du circuit

On doit indiquer les caractéristiques suivantes. Elles sont destinées à s'appliquer au circuit mémoire après qu'il a été programmé.

a) Temps d'accès

Les exigences du paragraphe 7.1.1 de la section deux du chapitre III s'appliquent.

b) Temps d'inhibition en sortie

Les exigences du paragraphe 7.1.3 de la section deux du chapitre III s'appliquent.

c) Temps de maintien de la validation de l'information en sortie

Valeur(s) minimale(s) après la fin de chaque signal d'autorisation.

d) Temps de transition

Les exigences du paragraphe 7.1.4 de la section deux du chapitre III s'appliquent.

4.4 Exigences de temps

S'il y a lieu, on doit indiquer l'un – ou tous – des temps suivants:

a) Temps de préparation

Valeur(s) minimale(s).

(Par exemple: temps de préparation adresse/autorisation.)

- For MOS integrated circuits, the requirements of Clause 6 and Sub-clauses 6.2.1 and 6.2.2 of Chapter III, Section One, apply.

b) Input and output voltages

- For bipolar integrated circuits, the requirements of Clause 5 and Sub-clause 5.1 of Chapter III, Section One, apply.
- For MOS integrated circuits, the requirements of Clause 6 and Sub-clause 6.1 of Chapter III, Section One, apply.

c) Input clamping voltage(s)

The requirements of Sub-clause 5.2 of Chapter III, Section One, apply.

d) Output short-circuit current(s)

Maximum and/or minimum values.

e) Input and output leakage currents (where appropriate)

Maximum values.

f) Input and output capacitances

Typical and maximum values under specified conditions.

4.3 *Dynamic electrical characteristics*

4.3.1 *General*

The requirements of Clause 7 of Chapter III, Section Two (Sub-section A), concerning the conditions of supply voltages and operating temperatures applicable to dynamic electrical characteristics, apply.

4.3.2 *Times characterizing the response of the circuit*

The following electrical characteristics should be stated. They are intended to apply to the memory circuit after it has been programmed.

a) Access times

The requirements of Sub-clause 7.1.1, Chapter III, Section Two, apply.

b) Output disable time(s)

The requirements of Sub-clause 7.1.3 of Chapter III, Section Two, apply.

c) Output data-valid time(s)

Minimum value(s) from the end of each relevant enable and/or select signal.

d) Transition times

The requirements of Sub-clause 7.1.4 of Chapter III, Section Two, apply.

4.4 *Timing requirements*

Where appropriate, any or all of the following timing requirements should be stated:

a) Set-up times

Minimum value(s).

(For example: “Address” before “Enable” set-up time.)

b) Temps de maintien

Valeur(s) minimale(s).

(Par exemple: temps de maintien adresse/autorisation.)

c) Temps de cycle de lecture

Valeurs minimale et/ou maximale.

5. Mode de programmation

5.1 Procédure de programmation

On doit indiquer la procédure de programmation recommandée. S'il y a lieu, on doit indiquer la méthode et les conditions de vérification pendant la programmation (par exemple: tension de lecture, caractéristiques statiques et dynamiques des impulsions de programmation, nombre des impulsions de programmation, etc.).

S'il est nécessaire de procéder à un effacement avant la programmation, cela doit être spécifié.

5.2 Conditions de programmation recommandées

On doit indiquer les conditions spécifiées pour la programmation en accord avec l'article 4 de la section un du chapitre III.

Si la gamme de températures à utiliser pour la programmation diffère de celle pour le fonctionnement, elle doit être spécifiée.

On doit indiquer les valeurs maximales et/ou minimales pour les conditions et/ou les caractéristiques électriques suivantes:

- a) courant(s) et/ou tension(s) d'alimentation lorsqu'on applique l'impulsion de programmation;*
- b) courant(s) et/ou tension(s) de programmation à des bornes spécifiées auxquelles on applique l'impulsion de programmation;*
- c) courant(s) et/ou tension(s) d'entrée à toutes les bornes lors de la commande de programmation.*

5.3 Exigences de temps

5.3.1 Dispositifs avec bornes de programmation séparées

On doit donner un chronogramme et les exigences de temps suivantes:

- i) Durée (largeur) de l'impulsion de programmation Valeurs minimale et maximale.
- ii) Temps de croissance de l'impulsion de programmation Valeurs minimale et/ou maximale.
- iii) Temps de décroissance de l'impulsion de programmation Valeurs minimale et/ou maximale.
- iv) Facteur d'utilisation des impulsions (s'il y a lieu) Valeur maximale.

b) *Hold times*

Minimum value(s).

(For example: “Address” after “Enable” hold time.)

c) *Read cycle time*

Minimum and/or maximum values.

5. **Programming mode**5.1 *Programming procedure*

The recommended programming procedure should be stated. Where appropriate, the verification method and conditions (for example, sense voltage, static and dynamic characteristics of the programme pulses, number of programme pulses) during programming should be stated.

If an erasing procedure is necessary before programming, it should be specified.

5.2 *Recommended programming conditions*

The specified conditions for programming should be stated in accordance with Clause 4 of Section One of Chapter III.

When the temperature range to be used for the programming procedure is different from the operating temperature range, this should be specified.

The following electrical conditions and/or characteristics should be stated with maximum and/or minimum values:

- a) power supply current(s) and/or voltage(s) when the programme pulse is applied;
- b) programming current(s) and/or voltage(s) at specified terminals to which the programme pulse is applied,
- c) input current(s) and/or voltage(s) at any terminal for programming control.

5.3 *Timing requirements*5.3.1 *Devices having separate programme terminal(s)*

A timing diagram should be given, and the following timing requirements stated:

- i) Programme pulse duration (width) Minimum and maximum values.
- ii) Programme pulse rise time Minimum and/or maximum values.
- iii) Programme pulse fall time Minimum and/or maximum values.
- iv) Programme duty cycle (where appropriate)..... Maximum value.

v) Temps de préparation:

Valeurs minimales des temps de préparation suivants:

- a) adresse/début d'impulsion ou d'autorisation de programmation (voir note);
- b) entrée d'information/début d'impulsion ou d'autorisation de programmation (voir note);
- c) autorisation de programmation/impulsion de programmation (s'il y a lieu).

vi) Temps de maintien:

Valeurs minimales des temps de maintien suivants:

- a) adresse/fin d'impulsion ou d'autorisation de programmation (voir note);
- b) entrée d'information/fin d'impulsion ou d'autorisation de programmation (voir note);
- c) adresse/fin d'entrée d'information;
- d) autorisation de programmation/fin d'impulsion de programmation (s'il y a lieu).

Note. — Le choix entre «impulsion de programmation» et «autorisation de programmation» comme impulsion de référence dépend de celle qui devient inactive la première, et cela doit être en accord avec le chronogramme indiqué.

5.3.2 Dispositifs sans bornes de programmation séparées

Exigences à l'étude.

6. Mode d'effacement (si applicable)

La procédure d'effacement et la gamme des températures pour laquelle cette opération a lieu doivent être indiquées.

6.1 Mémoires effaçables électriquement

6.1.1 Conditions d'effacement recommandées

On doit indiquer les conditions électriques suivantes pendant l'effacement, avec des valeurs maximales et/ou minimales:

- a) courant(s) et/ou tension(s) d'alimentation, lors de l'application de l'impulsion d'effacement;
- b) courant(s) et/ou tension(s) d'effacement aux bornes spécifiées auxquelles l'impulsion d'effacement est appliquée;
- c) courant(s) et/ou tension(s) d'entrée aux autres bornes utilisées pour l'effacement.

Note. — Lorsque la gamme de températures utilisées pour la procédure d'effacement est différente de la gamme de températures de fonctionnement, cela doit être spécifié.

6.1.2 Exigences de temps (pour l'effacement)

6.1.2.1 Dispositifs avec bornes d'effacement séparées

On doit donner les exigences de temps suivantes:

- i) Durée (largeur) de l'impulsion d'effacement..... Valeurs minimale et maximale.
- ii) Temps de croissance de l'impulsion d'effacement..... Valeurs minimale et/ou maximale.

v) Set-up time:

Minimum values should be stated for the following set-up times:

- a) address before programme pulse or programme enable (see Note);
- b) data-in before programme pulse or programme enable (see Note);
- c) programme enable before programme pulse (where appropriate).

vi) Hold times:

Minimum values should be stated for the following hold times:

- a) address after end of programme pulse or programme enable (see Note);
- b) data-in after end of programme pulse or programme enable (see Note);
- c) address after end of data-in;
- d) programme enable after end of programme pulse (where appropriate).

Note. — The choice of “programme pulse” or “programme enable” as the reference pulse depends on which one becomes inactive first, and this should be in accordance with the given timing diagram.

5.3.2 *Devices without separate programme terminals*

Requirements are under consideration.

6. **Erasing mode** (if applicable)

The erasing procedure and the range of operating temperatures at which this operation may be carried out should be stated.

6.1 *Electrically erasable memories*6.1.1 *Recommended erasing conditions*

The following electrical conditions during erasing should be stated, with maximum and/or minimum values:

- a) power supply current(s) and/or voltage(s), when the erase pulse is applied;
- b) erasing current(s) and/or voltage(s) at specified terminals to which the erase pulse is applied;
- c) input current(s) and/or voltage(s) at any other terminal used for an erasing operation.

Note. — When the temperature range to be used for the erasing procedure is different from the operating temperature range, this should be specified.

6.1.2 *Timing requirements (erasure)*6.1.2.1 *Devices having separate erase terminals*

The following timing requirements should be stated:

- i) Erase pulse duration (width) Minimum and maximum values.
- ii) Erase pulse rise time Minimum and/or maximum values.

- iii) Temps de décroissance de l'impulsion d'effacement .. Valeurs minimale et/ou maximale.
- iv) Facteur d'utilisation d'effacement (s'il y a lieu)..... Valeur maximale.
- v) Temps de préparation:
 - adresse/début de l'impulsion d'effacement Valeur minimale;
 - autorisation/début de l'impulsion d'effacement (s'il y a lieu) Valeur minimale.
- vi) Temps de maintien:
 - adresse/fin de l'impulsion d'effacement..... Valeur minimale,
 - autorisation/fin de l'impulsion d'effacement (s'il y a lieu) Valeur minimale.

6.1.2.2 Dispositifs sans bornes d'effacement séparées

Exigences à l'étude.

6.2 Mémoires effaçables par ultraviolet

6.2.1 Conditions d'effacement recommandées

On doit indiquer les grandeurs suivantes, avec leurs tolérances:

- a) longueur d'onde de la lumière ultraviolette;
- b) intensité de la lumière ultraviolette sur la fenêtre transparente du boîtier;
- c) temps d'exposition.

7. Nombre de cycles de programmation-effacement

On doit indiquer le nombre minimal de cycles de programmation-effacement pouvant être effectués dans des conditions de fonctionnement spécifiées.

Note. — Ce nombre dépend des conditions d'impulsion de programmation et/ou d'effacement, du temps et de la température de fonctionnement.

8. Informations concernant la rétention des données

S'il y a lieu, par exemple pour les mémoires à lecture seule à contenu programmable électriquement et effaçables électriquement, on doit donner les informations suivantes concernant la rétention des données:

- a) nombre maximal des opérations de lecture possibles;
- b) temps minimal de rétention des données.

9. Puissance ou courant fourni par chaque alimentation (cas du fonctionnement statique)

Valeurs maximales du courant dans chaque borne d'alimentation dans les conditions de pire cas, pour le mode actif et pour la position attente si elles sont nettement différentes. Donner également les valeurs typiques dans les conditions normales de fonctionnement.

- iii) Erase pulse fall time Minimum and/or maximum values.
- iv) Erase duty cycle (where appropriate)..... Maximum value.
- v) Set-up times:
 - address before start of erase pulse Minimum value;
 - enable before start of erase pulse (where appropriate)..... Minimum value.
- vi) Hold times:
 - address after end of erase pulse Minimum value;
 - enable after end of erase pulse (where appropriate) Minimum value.

6.1.2.2 *Devices without separate erase terminals*

Requirements are under consideration.

6.2 *Ultraviolet erasable memories*

6.2.1 *Recommended erasing conditions*

The following quantities, with their tolerances, should be stated:

- a) ultraviolet light wavelength;
- b) ultraviolet light intensity on the transparent window of the case;
- c) exposure time.

7. **Number of programming-erasing cycles**

The minimum number of programming-erasing cycles that can be achieved for specified operating conditions should be stated.

Note. — This number is likely to be a function of the programme and/or erase pulse conditions, the operating time and temperature.

8. **Data retention information**

Where appropriate, for example for electrically erasable and electrically programmable read-only memories, the following data retention information should be stated:

- a) maximum number of read operations;
- b) minimum data retention time.

9. **Power or current drawn from each supply (static operation)**

Maximum values of current into each supply terminal at worst-case conditions and for both active and standby mode if these are significantly different from each other. Typical values at normal operating conditions should also be given.

10. Puissance ou courant fourni par chaque alimentation (cas du fonctionnement dynamique)

Courbe(s) donnant les valeurs typiques du courant exigé de l'alimentation (des alimentations) en fonction des fréquences de répétition des impulsions, ou valeurs typiques à deux fréquences de répétition d'impulsions spécifiées. Celles-ci doivent être indiquées, pour information, dans des conditions spécifiées de fonctionnement recommandé.

S'il y a lieu, les informations ci-dessus doivent aussi être données pour les horloges lorsqu'elles jouent le rôle d'alimentations pulsées.

S'il y a lieu, cette information doit être aussi donnée pour le fonctionnement en position d'attente.

11. Valeurs limites et caractéristiques mécaniques et autres données

On doit donner toute valeur limite spécifique, mécanique ou d'environnement, applicable aux mémoires à lecture seule à contenu programmable (voir aussi la Publication 747-1, chapitre VI, article 7).

12. Informations supplémentaires

12.1 Capacité de charge de sortie

Nombre maximal de charges spécifiées qui peuvent être connectées à chaque sortie. Cette information peut être donnée pour plusieurs types de charges.

12.2 Marges de protection contre les perturbations électriques

Des informations permettant de calculer les marges de protection contre les perturbations concernant les mémoires à lecture seule à contenu programmable sont données dans le paragraphe 13.2 de la section un du chapitre III.

12.3 Interconnexions de circuits similaires

On doit donner des exemples de fonctionnement logiques (par exemple OU-câblé) qui peuvent être effectués en interconnectant des mémoires semblables.

12.4 Type de circuit de sortie

Des informations doivent être données sur le type de circuit de sortie, par exemple: trois états, collecteur ouvert, drain ouvert, «push-pull» (totem-pole).

12.5 Interconnexions à d'autres types de circuits

Des détails sur les interconnexions aux autres circuits, par exemple: amplificateurs de lecture, «buffers», doivent être donnés.

13. Précautions de manipulation

S'il y a lieu, on doit donner les informations suivantes:

10. Power or current drawn from each supply (dynamic operation)

Curve(s) showing typical values of current required from the power supply(ies) versus the pulse repetition frequencies or typical values at two specified pulse repetition frequencies. These should be given for specified recommended operating conditions for information purposes.

Where appropriate, the above information should be given for clocks acting as pulsed power supplies.

Where appropriate, this information should also be given for standby operation.

11. Mechanical ratings, characteristics and other data

Any specific mechanical or environmental ratings applicable to the programmable read-only memory should be stated (see also Chapter VI, Clause 7, of IEC Publication 747-1).

12. Supplementary information

12.1 *Output loading capability*

The maximum number of specified loads that can be driven from each output. This information may be given for more than one type of load.

12.2 *Electrical noise margins*

Information about the programmable read-only memory that enables noise margins to be calculated is given in Sub-clause 13.2 of Section One of Chapter III.

12.3 *Interconnections of similar units*

Examples of logic operations (for example wired-OR) that may be performed by interconnecting similar memory units should be stated.

12.4 *Type of output circuit*

Information should be given regarding the type of output circuit, for example, three-state, open-collector, open-drain, push-pull (totem-pole).

12.5 *Interconnections to other types of circuits*

Where appropriate, details of the interconnections to other circuits, for example, sense amplifiers, buffers, should be given.

13. Handling precautions

Where appropriate, the following information should be stated:

- a) les précautions de manipulation, indiquées dans la Publication 747-1, chapitre IX, pour les mémoires à lecture seule à contenu programmable sensibles aux charges électrostatiques;
- b) les précautions nécessaires pour éviter des tensions anormalement élevées pendant la programmation;
- c) les conditions spéciales après programmation, par exemple recouvrir la fenêtre transparente pour éviter l'exposition à une lumière accidentelle dans le cas de mémoires à lecture seule effaçables par ultraviolet;
- d) les précautions à prendre contre les rayonnements électromagnétiques et nucléaires.

SECTION TROIS — MICROPROCESSEURS À CIRCUIT INTÉGRÉ

Cette section s'applique aux microprocesseurs comportant un seul circuit intégré. Elle peut également s'appliquer à un ensemble de circuits intégrés constituant une fonction microprocesseur, mais ne s'applique pas nécessairement aux circuits intégrés considérés individuellement dans un tel ensemble.

1. Identification et description du circuit

Les stipulations de l'article 1 de la section un du chapitre III s'appliquent, ainsi que ce qui suit:

1.4 *Compatibilité électrique*

On doit indiquer si le circuit intégré est compatible électriquement avec d'autres circuits intégrés particuliers ou familles de circuits intégrés, ou si des circuits d'interface spéciaux sont nécessaires. On doit donner des détails sur le type de circuit de sortie, par exemple: trois-états, collecteur ouvert, etc.

2. Spécifications fonctionnelles

2.1 *Schéma synoptique*

Les stipulations du paragraphe 2.1 de la section un du chapitre III s'appliquent, ainsi que ce qui suit:

Le schéma synoptique doit être suffisamment détaillé pour permettre l'identification des différentes unités fonctionnelles du microprocesseur affectées par l'exécution des instructions, y compris les blocs fonctionnels qui sont programmables par l'utilisateur (par exemple: réseaux logiques programmables, mémoire à lecture seule, etc.). On doit également indiquer les principales liaisons entre les unités fonctionnelles ainsi que l'identification de leurs connexions externes.

2.1.1 *Identification des bornes*

On doit identifier les bornes suivantes sur le schéma synoptique:

- bornes d'alimentation, c'est-à-dire les bornes devant être connectées aux alimentations;

- a) handling precautions, as in Publication 747-1, Chapter IX, for electrostatic sensitive programmable read-only memories;
- b) precautions necessary to avoid excessively high voltages during programming;
- c) special conditions after programming, for example, covering the transparent window to prevent the exposure to detrimental light in the case of ultraviolet erasable read-only memories;
- d) precautions to be observed against electromagnetic and nuclear radiation.

SECTION THREE — INTEGRATED CIRCUIT MICROPROCESSORS

This section applies to microprocessors consisting of a single integrated circuit. It can also apply to an assembly of integrated circuits designed to function as a microprocessor, but it does not necessarily apply to the individual integrated circuits in such an assembly.

1. Circuit identification and description

The provisions of Clause 1 of Section One, Chapter III, apply, together with:

1.4 *Electrical compatibility*

It should be stated whether the integrated circuit is electrically compatible with other particular integrated circuits or families of integrated circuits or whether special interfaces are required. Details should be given of the type of output circuit, for example, three-state, open-collector, etc.

2. Functional specifications

2.1 *Block diagram*

The provisions of Sub-clause 2.1 of Section One, Chapter III, apply, together with the following:

The block diagram should be sufficiently detailed to enable the individual functional units within the microprocessor that are affected by the execution of the instructions to be identified, including the functional blocks that are user-programmable (for example, programmable logic arrays, read-only memory, etc.). The main data paths between the functional units and the identification of their external connections should also be shown.

2.1.1 *Identification of terminals*

The following terminals should be identified on the block diagram:

- supply terminals, that is, terminals intended to be connected to the power supplies;

- bornes d'entrée ou de sortie, c'est-à-dire bornes vers lesquelles ou à partir desquelles les signaux se propagent. Le terme «signal» signifie aussi bien impulsion que forme d'onde plus complexe;
- bornes d'entrée/sortie, c'est-à-dire bornes qui peuvent être à des instants différents entrées ou sorties;
- bornes de sortie «trois états», c'est-à-dire bornes de sortie qui peuvent être commandées pour présenter un état à haute impédance.

2.2 Description fonctionnelle

On doit donner les informations suivantes:

- a) longueur du mot traité (dimension en nombre de bits);
- b) longueur d'adressage pour chaque type de mémoires pour lesquelles un procédé séparé de traitement est utilisé, par exemple: mémoire externe ou interne, mémoire à lecture-écriture, mémoire à lecture seule;
longueur en bits du mot adressé dans chaque type de mémoires, s'il est différent de celui indiqué au point a);

- c) taille en bits de l'adresse;

- d) nombre, types et dimensions en bits et mots des registres internes aussi bien adressables par programme qu'autrement, par exemple: registre(s) de travail, accumulateur(s), registre(s) d'index, compteur ordinal, pointeur de pile, registres d'état interne, unité logique et arithmétique, registre de condition;

Note. — Le registre de condition donne des informations sur le résultat des opérations arithmétiques ou logiques, tel que: résultat nul, parité, signe, report, dépassement de capacité, etc.

- e) mode d'adressage des mémoires, par exemple: immédiat, direct, relatif, indexé, indirect;
- f) type de possibilités d'interruptions, par exemple: validation ou invalidation du programme, nombre de niveaux d'interruption;
- g) méthodes de transfert des données d'entrée et de sortie et des sorties des adresses, par exemple des adresses série, parallèle, ou combinaison des deux;
- h) indiquer si le microprocesseur est microprogrammable ou non;
- i) mode de génération des signaux d'horloge;
- k) mode de fonctionnement, statique ou dynamique.

2.3 Jeux d'instructions

On doit donner une liste complète des instructions qui peuvent être traitées par le microprocesseur. Elle doit comprendre le code d'instruction, les instructions mnémoniques, les opérations qui résultent de l'exécution de l'instruction incluant tout code de condition ou le contenu des registres affectés, le nombre des cycles d'horloge et également, de préférence, le nombre de cycles machine nécessaires et, s'il y a lieu, le nombre de mots programme utilisés pour former l'instruction, ainsi que les modes d'adressage possibles pour chaque instruction.

L'information peut être donnée pour chaque instruction ou chaque groupe d'instructions semblables. On doit indiquer les différences quand celles-ci sont provoquées par des variantes d'adressage.

- input or output terminals, that is, terminals into which or out of which signals pass. The term “signal” includes pulse and more complex waveforms;
- input/output terminals, that is, terminals that may function at different times as input or output terminals;
- three-state output terminals, that is, output terminals that may be controlled to give a high-impedance condition.

2.2 Functional description

The following information should be given:

- a) size, in bits, of word that is processed;
- b) memory addressing range for each type of memory for which a separate addressing procedure is used, for example, external or internal memory, read/write or read-only memory;
size, in bits, of word addressed in each type of memory, where this is different from that in Item a);
- c) size, in bits, of the address;
- d) number, types and size in bits and words of internal registers, both programme addressable and otherwise, for example, general purpose, accumulator, index, programme counter, stack pointer, stack register, control register, arithmetic/logic unit, condition code register;
Note. — The condition codes give information about the result of arithmetic or logic operations such as zero result, parity, sign, carry, overflow, etc.
- e) modes of memory addressing provided, for example, immediate, direct, relative, indexed, indirect;
- f) types of interrupt capability provided, for example, programme enabled/disabled, vectored and otherwise;
- g) methods of transferring input and output data and output of addresses, for example, whether serial, parallel or a combination of both;
- h) whether the microprocessor is microprogrammable or not;
- j) method of generating clock signals;
- k) operation mode, static or dynamic.

2.3 Instruction set

A comprehensive list should be given of the instructions that may be performed by the microprocessor. This should give the instruction code, instruction mnemonic, the operation(s) that result from the execution of the instructions including any condition codes or register contents that are affected, the number of clock cycles and preferably also the number of machine cycles required and, where appropriate, the number of programme words used to form the instruction and addressing mode capabilities for each instruction.

This information may be given for each instruction or for each group of similar instructions. Differences should be indicated when these occur due to alternative modes of addressing.

2.4 Configuration de l'instruction

Les formats de l'instruction utilisés doivent être distingués, s'il y a lieu, pour indiquer l'organisation en bits des mots d'instruction. Ceci doit être donné sous forme de diagramme:

- code opération;
- mode d'adressage;
- définition de registre;
- opérande.

2.5 Signaux d'entrée et de sortie

La fonction de chaque signal d'entrée et de sortie doit être précisée.

En général, on peut diviser les signaux en:

- signaux de données;
- signaux d'adresse;
- signaux de contrôle et de commande.

Par ailleurs, il existe des signaux de contrôle qui définissent à quel moment le transfert de données va être effectué ainsi que le sens du transfert (c'est-à-dire vers ou en provenance du microprocesseur); il doit exister un signal d'entrée de réinitialisation pour obliger le microprocesseur à être dans un état défini.

Exemples de signaux de contrôle supplémentaires pouvant être utilisés:

a) Signaux transitant par le bus de contrôle:

- pour spécifier quand les bits d'adresse sont stables et donnent une information valide;
- pour spécifier si l'adresse est relative à la mémoire ou à un dispositif périphérique;
- pour contrôler la fonction du bus lorsqu'il y a multiplexage des signaux;
- signal pour indiquer que la mémoire adressée est prête à fonctionner.

b) Signaux de contrôle d'exécution:

- demande d'arrêt;
- prise en compte de l'arrêt;
- signal prioritaire.

c) Autres signaux de contrôle:

- interruption (masquable);
- interruption (non masquable);
- prise en compte de l'interruption;
- sortie signalant l'état d'attente du microprocesseur;
- non-disponibilité de la sortie;
- synchronisation;
- etc.

2.4 Configuration of instructions

Where appropriate, the format of the instructions used should be distinguished as follows to indicate the bit organization of the instruction words. This should be given in the form of a diagram:

- operation code field;
- address mode field;
- register definition field;
- operand field.

2.5 Input and output signals

The function of each input and output signal should be stated.

In general, the signals may be divided into:

- data signals;
- address signals;
- control signals.

As a minimum, control signals exist that define when the data transfer is to be performed, the direction of transfer (that is, into or out of the microprocessor), and should include a reset input signal that forces the microprocessor into a defined state.

Examples of additional control signals that may be provided are:

a) Bus control signals:

- to specify when the address bits are stable and present valid information;
- to specify whether the address is to memory or a peripheral device;
- to control the function of the bus when there is time multiplexing of signals;
- a ready signal controlled by the addressed memory.

b) Executive control signals:

- hold request;
- hold acknowledge;
- priority handling.

c) Other control signals:

- interrupt in (maskable);
- interrupt in (not maskable);
- interrupt acknowledge;
- wait state output;
- output disable;
- synchronization;
- etc.

3. Valeurs limites

Les valeurs limites doivent couvrir le fonctionnement du microprocesseur dans la gamme spécifiée des températures de fonctionnement. Si ces valeurs limites dépendent de la température, cette dépendance doit être indiquée.

3.1 Valeurs limites électriques

3.1.1 Tension(s) d'alimentation

- a) Valeur(s) maximale(s) et polarité(s).
- b) Valeur maximale de la tension entre une borne commune d'alimentation et le boîtier ou une borne de référence, s'il y a lieu.
- c) Séquence d'application ou de suppression des tensions d'alimentation, s'il y a lieu. Toute limitation dans la durée de cette séquence doit être indiquée.

3.1.2 Tensions d'entrée

Valeurs maximales par rapport à une borne commune de référence (et polarités s'il y a lieu).

3.1.3 Courants d'entrée (s'il y a lieu)

Valeurs maximales.

3.1.4 Tensions de sortie

Valeurs maximales par rapport à une borne commune de référence (et polarités s'il y a lieu).

3.1.5 Courants de sortie

Valeurs maximales.

3.2 Températures

- a) Températures minimale et maximale du milieu ambiant ou d'un point de référence permises pendant le fonctionnement.
- b) Températures minimale et maximale de stockage.
- c) Valeur maximale de la température et durée d'application maximale sur une connexion.

3.3 Dissipation de puissance

Valeur maximale.

4. Conditions de fonctionnement recommandées (dans la gamme des températures de fonctionnement spécifiée)

4.1 Tension(s) d'alimentation

Polarité, valeur nominale et tolérance(s) pour chaque tension d'alimentation.

3. Ratings (limiting values)

The ratings given must cover the operation of the microprocessor over the specified range of operating temperatures. Where such ratings are temperature-dependent, this dependence should be indicated.

3.1 *Electrical limiting values*

3.1.1 *Power supply voltage(s)*

- a) Maximum value(s) and polarity(ies).
- b) Maximum value of the voltage between a common supply terminal and case or reference terminal, where appropriate.
- c) Sequence of application and/or removal of supply voltages, where appropriate. Any restrictions on the duration of the sequence should be stated.

3.1.2 *Input voltages*

Maximum values, with respect to a common reference terminal (and polarities, where appropriate).

3.1.3 *Input currents* (where appropriate)

Maximum values.

3.1.4 *Output voltages*

Maximum values, with respect to a common reference terminal (and polarities, where appropriate).

3.1.5 *Output currents*

Maximum values.

3.2 *Temperatures*

- a) Minimum and maximum ambient or reference-point operating temperatures.
- b) Minimum and maximum storage temperatures.
- c) Maximum value and duration of lead temperature.

3.3 *Power dissipation*

Maximum value.

4. Recommended operating conditions (within the specified operating temperature range)

4.1 *Power supply voltage(s)*

Polarity, nominal value and tolerance(s) for each power supply voltage.

4.2 Entrées d'horloge

- a) Valeurs minimale et maximale des tensions au niveau bas et au niveau haut.
- b) Valeurs minimale et maximale des temps de croissance et de décroissance.
- c) Valeurs minimale et, s'il y a lieu, maximale de la période d'horloge.
- d) Valeurs minimale et, s'il y a lieu, maximale de la durée d'impulsion. Pour les entrées d'horloge multiphase, cette information doit être donnée pour chaque entrée.
- e) Pour les entrées d'horloge multiphase, valeurs minimale et, s'il y a lieu, maximale des temps séparant les phases successives des impulsions d'horloge.

4.3 Tensions d'entrée (à l'exclusion des entrées d'horloge)

Valeurs minimale et maximale des tensions au niveau bas et au niveau haut.

4.4 Courants de sortie

Valeurs maximale et, s'il y a lieu, minimale, les tensions de sortie étant à l'état bas, puis à l'état haut.

4.5 Eléments extérieurs (s'il y a lieu)

Valeur(s) et tolérance(s) de tous les éléments extérieurs recommandés ou spécifiés destinés à être utilisés avec le microprocesseur.

4.6 Temps de préparation et de maintien

Valeurs minimale et/ou maximale, selon les cas, pour chaque entrée (ou groupe d'entrées) relative à la transition appropriée d'une impulsion d'horloge, pour des valeurs spécifiées:

- des temps de croissance et de décroissance de l'impulsion d'horloge;
- des tensions d'entrée aux autres bornes.

On doit indiquer ces valeurs afin de permettre à l'utilisateur de définir les exigences critiques de temps pour chaque fonction indépendante du microprocesseur.

4.7 Diagrammes des temps (chronogrammes) pour les séquences de commande

Durées minimales des signaux d'entrée et de l'intervalle qui les sépare, par rapport aux signaux d'horloge, pour les séquences d'entrée nécessaires afin d'amener le microprocesseur à un état prédéterminé, par exemple: redémarrage (ou retour à l'état initial), interruption, arrêt, etc. Celles-ci doivent être reliées aux séquences pour l'exécution des instructions d'un programme.

Ces séquences doivent s'exprimer en cycles d'horloge et aussi, de préférence, en cycles machine.

5. Caractéristiques électriques

5.1 Caractéristiques statiques

On doit indiquer les caractéristiques électriques, énumérées dans les paragraphes 5.1.1, 5.1.2, 5.1.3 et 5.1.4 ci-dessous, dans les conditions électriques spécifiées de pire cas, dans la gamme recommandée pour les tensions d'alimentation indiquée au paragraphe 4.1 et:

4.2 *Clock inputs*

- a) Minimum and maximum values of low and high level voltages.
- b) Minimum and maximum values of rise and fall times.
- c) Minimum and, where appropriate, maximum values of clock period.
- d) Minimum and, where appropriate, maximum values of pulse duration. For multi-phase clock inputs, this information should be given for each input.
- e) For multi-phase clock inputs, minimum and, where appropriate, maximum values of delays between successive phases of clock pulses.

4.3 *Input voltages (excluding clock inputs)*

Minimum and maximum values of low and high level voltages.

4.4 *Output currents*

Maximum and, where appropriate, minimum values for both low and high level output voltage conditions.

4.5 *External elements (where appropriate)*

Value(s) and tolerance(s) of any external elements recommended or specified for use with the microprocessor.

4.6 *Set-up and hold times*

Minimum and/or maximum values, as appropriate, for each input (or group of inputs) relative to the appropriate transition of a clock pulse, for specified values of:

- clock pulse rise and fall times;
- input voltages at other terminals.

Values should be stated to enable the critical timing requirements for each independent function of the microprocessor to be established by the user.

4.7 *Timing diagrams for control sequences*

Minimum durations of input signals, and their timings relative to the clock signal(s) for input sequences necessary to bring the microprocessor into a pre-determined state, for example, restart (or reset), interrupt, hold, etc. These should be related to the sequences for execution of programme instructions.

These sequences should be expressed in terms of clock cycles and preferably also in terms of machine cycles.

5. **Electrical characteristics**

5.1 *Static characteristics*

Each electrical characteristic of Sub-clauses 5.1.1, 5.1.2, 5.1.3 and 5.1.4 below should be stated under specified electrical worst-case conditions with respect to the recommended range of supply voltage(s), as stated in Sub-clause 4.1 and:

- a) dans la gamme des températures de fonctionnement spécifiée, ou
- b) à la température de 25 °C, et aux températures de fonctionnement maximale et minimale.

5.1.1 *Courant(s) d'alimentation*

a) *Fonctionnement statique*

Valeurs typique et maximale du courant fourni par chaque alimentation pour un fonctionnement normal et, s'il y a lieu, pour un fonctionnement au repos, pour des valeurs spécifiées de:

- tension(s) d'alimentation;
- fréquence d'horloge.

On doit également donner ces informations pour les entrées d'horloge alimentées par impulsions.

b) *Fonctionnement dynamique*

On doit donner également des valeurs typiques pour les informations ci-dessus, soit pour une fréquence différente d'horloge, soit sous la forme de courbe(s) en fonction de la fréquence d'horloge.

5.1.2 *Courants d'entrée (y compris les entrées d'horloge)*

Valeur(s) maximale(s), s'il y a lieu, les tensions d'entrée étant au niveau bas, puis au niveau haut, pour des valeurs spécifiées de:

- tension(s) d'alimentation;
- tension d'entrée;
- tensions d'entrée pour les autres bornes.

On doit également donner ces informations pour les entrées pouvant fonctionner comme sorties.

5.1.3 *Tensions de sortie*

Valeur maximale de la tension de sortie au niveau bas et valeur minimale au niveau haut, pour des valeurs spécifiées de:

- tension(s) d'alimentation;
- courant de charge;
- tension(s) d'entrée (s'il y a lieu).

On doit également donner ces informations pour les sorties qui peuvent aussi fonctionner comme entrées.

5.1.4 *Courants dans le cas de sortie inopérante*

Pour les sorties trois-états qui peuvent être hors service et donc n'être ni à l'état bas ni à l'état haut: valeur maximale, lorsque la sortie est inopérante, pour des valeurs de:

- tension(s) d'alimentation;
- tension continue à la borne correspondante;
- tensions d'entrée pour les autres bornes.

- a) over the specified range of operating temperatures, or
- b) at a temperature of 25 °C, and at maximum and minimum operating temperatures.

5.1.1 *Power supply current(s)*

a) *Static operation*

Typical and maximum values of current drawn from each power supply for normal operation and, where appropriate, standby operation, for specified values of:

- supply voltage(s);
- clock frequency.

This information should also be given for clock inputs acting as pulsed power supplies.

b) *Dynamic operation*

Typical values should also be given for the information above, either at a different clock frequency or as a curve (or curves) versus clock frequency.

5.1.2 *Input currents (including clock inputs)*

Maximum value(s), where appropriate, under both low and high level input voltage conditions, for specified values of:

- supply voltage(s);
- input voltage;
- input voltages at other terminals.

This information should also be given for those inputs that may also function as outputs.

5.1.3 *Output voltages*

Maximum value of low-level and minimum value of high-level output voltage for specified values of:

- supply voltage(s);
- load current;
- input voltage(s) (where appropriate).

This information should also be given for those outputs that may also function as inputs.

5.1.4 *Output off-state currents*

For three-state outputs that may be disabled so as to give neither a low-level nor a high-level output condition: maximum value in the off-state condition for specified values of:

- supply voltage(s);
- continuous voltage at the relevant terminal;
- input voltages at other terminals.

5.1.5 Capacités

Valeur maximale des capacités d'entrée d'horloge, et des bornes d'entrée et de sortie, pour des valeurs spécifiées de:

- tension(s) d'alimentation;
- tension continue appliquée à la borne considérée;
- fréquence;
- tensions d'entrée pour les autres bornes.

5.2 Caractéristiques dynamiques

Chaque caractéristique électrique du paragraphe 5.2.1 doit être indiquée dans les conditions électriques spécifiées de pire cas, dans la gamme recommandée des tensions d'alimentation, indiquée dans le paragraphe 4.1.

Des valeurs minimales et/ou maximales, comme exigé par exemple par le paragraphe 5.2.1 ou, si celles-ci ne peuvent faire l'objet d'un accord entre le fabricant et l'utilisateur, des valeurs typiques doivent être données:

- a) dans la gamme des températures de fonctionnement spécifiées, ou
- b) à la température de 25 °C, et aux températures de fonctionnement maximale et minimale.

La condition b) ne doit être utilisée que si la valeur de la caractéristique pour le pire cas dans toute la gamme de températures peut se déduire des valeurs données aux températures spécifiées.

Dans tous les cas, on doit indiquer les valeurs minimales et/ou maximales applicables à 25 °C.

5.2.1 Temps caractérisant la réponse du circuit

5.2.1.1 Temps de propagation

Les temps suivants doivent être indiqués dans des conditions spécifiées (voir note 1):

- a) t_{PHL} : temps de propagation, la sortie allant vers le niveau bas; valeur maximale;
- b) t_{PLH} : temps de propagation, la sortie allant vers le niveau haut; valeur maximale.

S'il existe plusieurs chemins différents d'information logique, on doit spécifier séparément les temps pour chaque chemin.

On doit donner, s'il y a lieu, des valeurs de temps supplémentaires pour les sorties atteignant ou abandonnant l'état à haute impédance.

5.2.1.2 Temps de transition

On doit indiquer les temps de transition dans des conditions spécifiées (voir note 1) comme suit:

- a) si la valeur typique du temps de transition est supérieure ou égale (voir note 2) à la valeur typique du temps de propagation, on doit indiquer une valeur maximale du temps de transition;
- b) si la valeur typique du temps de transition est inférieure à 10 ns, on doit indiquer une valeur minimale (voir note 3);

5.1.5 Capacitances

Maximum values of capacitances at clock input, input and output terminals, for specified values of:

- supply voltage(s);
- continuous voltage at the relevant terminal;
- frequency;
- input voltages at other terminals.

5.2 Dynamic characteristics

Each electrical characteristic of Sub-clause 5.2.1 should be stated under specified electrical worst-case conditions with respect to the recommended range of supply voltage(s) as stated in Sub-clause 4.1.

Limit values as required in Sub-clause 5.2.1 or, if these are not mutually acceptable to manufacturer and user, typical values should be stated either:

- a) over the specified range of operating temperatures, or
- b) at a temperature of 25 °C, and at maximum and minimum operating temperatures.

Alternative b) should be used only if the worst-case value of the characteristic over the whole temperature range can be deduced from the values given at the specified temperatures.

In all cases, limit values applicable at 25 °C should be stated.

5.2.1 Times characterizing the response of the circuit

5.2.1.1 Propagation times

The following times should be stated under specified conditions (see Note 1):

- a) t_{PHL} : propagation time with output going to low level; maximum value;
- b) t_{PLH} : propagation time with output going to high level; maximum value.

If there are several different logic information paths, separate times should be specified for each path.

Additional times should be given, where appropriate, for three-state outputs entering and leaving the high-impedance state.

5.2.1.2 Transition times

Transition times should be stated under specified conditions (see Note 1) as follows:

- a) if the typical value of transition time is comparable to (see Note 2), or greater than, the typical value of propagation time, a maximum value of transition time should be stated;
- b) if the typical value of transition time is less than 10 ns, a minimum value should be stated (see Note 3);

- c) si les conditions a) et b) sont remplies simultanément, on doit alors indiquer des valeurs minimale et maximale.

On doit indiquer, quand cela est demandé, les temps de transition pour les deux sens de transition (c'est-à-dire t_{THL} et t_{TLH}).

- Notes 1. — Les conditions spécifiées de mesure doivent comprendre les caractéristiques de l'impulsion d'entrée et de l'oscilloscope (ou de tout autre appareil de mesure approprié), ainsi que la configuration et les valeurs des composants du réseau de charge de sortie.
2. — Le temps de transition est considéré comme comparable au temps de propagation si sa valeur dépasse 50% de la valeur du temps de propagation.
3. — On veut indiquer que, pour des temps de transition très courts, il peut y avoir des phénomènes de rebondissement et des problèmes de couplage avec les charges couramment utilisées.

6. Valeurs limites, caractéristiques mécaniques et autres données

Toutes les valeurs limites spécifiques pour les essais mécaniques ou d'environnement applicables à un microprocesseur particulier doivent être données.

Voir aussi l'article 7, chapitre VI, de la Publication 747-1.

7. Informations supplémentaires

7.1 Facteur de charge de sortie

Nombre maximal de charges spécifiées qui peuvent être connectées à chaque sortie. Cette information peut être donnée pour plusieurs types de charges.

7.2 Marges de protection contre les perturbations

Des informations sur le microprocesseur permettant de calculer les marges de protection contre les perturbations sont données dans les paragraphes 4.3 et 5.1.3 de cette section (voir aussi le paragraphe 13.2 de la section un).

7.3 Données d'application

Des informations supplémentaires sur les variations des caractéristiques données dans l'article 5 en fonction de la tension d'alimentation, de l'impédance de charge, etc., peuvent être données.

D'autres informations, indiquant en détail l'action de chaque instruction, peuvent être données en plus de celles figurant au paragraphe 2.3. En particulier, elles doivent donner des détails sur les séquences et les modes de fonctionnement contenus dans les mises en route et interruptions de programme.

D'autres informations indiquant en détail la fonction et les séquences de fonctionnement de chaque entrée ou groupe d'entrées peuvent être données en plus de celles figurant dans les paragraphes 2.3 et 4.7. Elles peuvent comprendre des diagrammes d'états et des diagrammes de temps.

Des informations sur les temps d'exécution des instructions peuvent être données pour des instructions particulières telles que: addition binaire ou transfert d'un registre à un autre. Si un temps moyen est donné, des détails concernant les instructions utilisées et le temps d'accès mémoire doivent être fournis.

- c) if both conditions a) and b) are fulfilled, then both minimum and maximum values should be stated.

Transition times, when required, should be stated for both directions of transition (that is, t_{THL} and t_{TLH}).

- Notes 1. — The specified conditions of measurement should include the characteristics of the input pulse and oscilloscope (or other appropriate measuring system) and the configuration and component values of the output loading network.
2. — The transition time is considered comparable to propagation time if its value exceeds 50% of the value of propagation time.
3. — The object here is to state when very short transition times may be obtained, which may give rise to overshoot and coupling problems using practical loads.

6. Mechanical ratings, characteristics and other data

Any specific mechanical or environmental ratings applicable to the particular microprocessor should be stated.

See also Clause 7, Chapter VI, of Publication 747-1.

7. Supplementary information

7.1 Output loading capability

The maximum number of specified loads that can be driven from each output. This information may be given for more than one type of load.

7.2 Noise margins

Information about the microprocessor that enables noise margins to be calculated is given in Sub-clauses 4.3 and 5.1.3 of this section (see also Sub-clause 13.2 of Section One).

7.3 Application data

Additional information concerning the variations of the characteristics in Clause 5 with supply voltage, load impedance, etc., may be given.

Further information, detailing the action of each instruction, may be given to supplement that in Sub-clause 2.3. In particular, this should give details of the sequences and operations involved in programme branching and interrupts.

Further information detailing the function and sequences of operations of each input or group of inputs may be given to supplement that in Sub-clauses 2.3 and 4.7. This may include state diagrams and timing diagrams.

Information on instruction execution times may be given for particular instructions such as binary addition or register-to-register transfer. If an average time is given, details of the instruction used and the memory access time should be included.

7.4 *Autres informations*

On doit indiquer si le circuit intégré comporte une protection interne contre les tensions électrostatiques ou contre les champs électriques élevés.

8. **Précautions de manipulation**

Voir la Publication 747-1, chapitre IX.

IECNORM.COM: Click to view the full PDF of IEC 60748-2:1985

Withdrawn

7.4 *Other information*

A statement should be given whether the integrated circuit contains internal protection against high electrostatic voltages or electrical fields.

8. **Handling precautions**

See Publication 747-1, Chapter IX.

IECNORM.COM: Click to view the full PDF of IEC 60748-2:1985

Withd2Wm

CHAPITRE IV: MÉTHODES DE MESURE

SECTION UN — GÉNÉRALITÉS

1. Exigences générales

L'article 1 de la Publication 748-1, chapitre VII, qui renvoie aux articles 1 (Introduction) et 2 (Précautions générales) de la Publication 747-1, chapitre VII, s'applique, sauf spécification contraire.

2. Exigences spécifiques

2.1 Exigences générales pour les mesures statiques et dynamiques

2.1.1 Pour chaque mesure, les tolérances sur les tensions ou les courants d'alimentation doivent être de $\pm 1\%$ des valeurs spécifiées, sauf spécification contraire.

2.1.2 La tolérance sur la température ambiante relative au dispositif en mesure doit être de $\pm 2^\circ\text{C}$ de la valeur indiquée, sauf spécification contraire.

2.1.3 Quand aucune condition électrique n'est spécifiée pour une borne donnée, on laisse cette borne non connectée.

2.1.4 Le(s) point(s) de référence pour les mesures de tensions doit (doivent) être indiqué(s).

Note. — Le point de référence pour les mesures de tensions du signal n'est pas nécessairement le même que celui pour les tensions d'alimentation.

2.1.5 Quand un dispositif possède une mémoire interne ou de l'hystérésis, un cycle de préréglage peut être nécessaire avant chaque mesure.

2.1.6 On doit faire fonctionner le dispositif dans des conditions dont l'ensemble correspond aux «conditions de fonctionnement recommandées», sauf spécification contraire.

2.1.7 Avant d'effectuer les mesures suivantes, on doit d'abord s'assurer que, pour chaque combinaison des entrées, la sortie est conforme aux détails donnés dans la table de fonctionnement correspondante, sauf lorsque cette table de fonctionnement est vérifiée par les mesures elles-mêmes.

2.2 Conditions spécifiées pour les caractéristiques statiques

2.2.1 Mesure de la tension ou du courant de sortie

Les conditions suivantes doivent être indiquées (voir note):

- a) la température ambiante ou celle d'un point de référence;
- b) les valeurs des tensions ou des courants d'alimentation;
- c) les conditions à chaque borne d'entrée;

CHAPTER IV: MEASURING METHODS

SECTION ONE — GENERAL

1. Basic requirements

Clause 1 of Publication 748-1, Chapter VII, which refers back to Clauses 1 (Introduction) and 2 (General Precautions) of Publication 747-1, Chapter VII, applies, unless otherwise stated.

2. Specific requirements

2.1 *General requirements for static and dynamic measurements*

2.1.1 For each measurement, supply voltages or currents shall be within $\pm 1\%$ of the specified values, unless otherwise stated.

2.1.2 The ambient temperature of the device being measured shall be within $\pm 2^\circ\text{C}$ of the specified value, unless otherwise stated.

2.1.3 Where no electrical conditions are specified for a given terminal, it shall be left unconnected.

2.1.4 The reference point(s) for voltage measurements shall be stated.

Note. — The reference point for signal voltage measurements is not necessarily the same as that for supply voltages.

2.1.5 When a device has internal memory or hysteresis, a pre-setting cycle may be required before each measurement.

2.1.6 The device shall be operated at a set of conditions within the range of “recommended operating conditions”, unless otherwise stated.

2.1.7 Prior to carrying out the following measurements, it shall first be established that, for each combination of inputs, the output conforms to the details given in the relevant function table, except when this function table is verified by the measurements themselves.

2.2 *Specified conditions for static characteristics*

2.2.1 *Measurement of output voltage or current*

The following conditions shall be stated (see Note):

- a) ambient or reference-point temperature;
- b) values of supply voltages or currents;
- c) conditions at each input terminal;

- d) les conditions à la borne de sortie choisie pour la mesure;
- e) les conditions à toutes les autres bornes de sortie.

Note. — Les conditions de mesure pour une sortie «basse» peuvent être différentes des conditions de mesure pour une sortie «haute».

2.2.2 *Mesure de la tension ou du courant d'entrée*

Les conditions suivantes doivent être indiquées (voir note):

- a) la température ambiante ou celle d'un point de référence;
- b) les valeurs des tensions ou des courants d'alimentation;
- c) les conditions à chaque borne de sortie;
- d) les conditions à la borne d'entrée choisie pour la mesure;
- e) les conditions à toutes les autres bornes d'entrée.

Note. — Les conditions de mesure pour une entrée «basse» peuvent être différentes des conditions de mesure pour une entrée «haute».

Certains dispositifs ayant une mémoire interne ou de l'hystérésis peuvent avoir une ou plusieurs valeurs d'impédance d'entrée pour un niveau donné, auquel cas plus d'une mesure peut être nécessaire.

2.3 *Conditions spécifiées pour les caractéristiques dynamiques*

Les conditions sont données avec les méthodes de mesure.

3. **Matrice d'application pour les méthodes de mesure**

Voir le tableau de la page suivante.

- d) conditions at the output terminal selected for the measurement;
- e) conditions at all other output terminals.

Note. — The measuring conditions for a “low” output can be different from the measuring conditions for a “high” output.

2.2.2 *Measurement of input voltage or current*

The following conditions shall be stated (see *Note*):

- a) ambient or reference-point temperature;
- b) values of supply voltages or currents;
- c) conditions at each output terminal;
- d) conditions at the input terminal selected for the measurement;
- e) conditions at all other input terminals.

Note. — The measuring conditions for a “low” input can be different from the measuring conditions for a “high” input.

Some devices having internal memory or hysteresis may have more than one input impedance value for a given input level, in which case more than one measurement may be necessary.

2.3 *Specified conditions for dynamic characteristics*

The conditions are given with the measuring methods.

3. **Application matrix for the measuring methods**

See table on the following page.

Matrice d'application pour les méthodes de mesure (parues dans la Publication 748-2)

Méthode n°	Caractéristiques à mesurer	Catégories, sous-catégories											Mémoires			Microprocesseurs		
		Compteurs	Circuits séquentiels			Registres à décalage												
			Circuits combi- natoires	Mono- stables	Bistables	Astables	Statiques	Dynamiques	ROM	RAM statiques	RAM dynam.							
37	Tensions de sortie au niveau haut et au niveau bas	x	x	x			x	x	x									
38	Courants d'entrée au niveau haut et au niveau bas	x		x			x	x	x									
40	Courant de court-circuit en sortie	x	x	x			x	x	x									
41	Courant d'alimentation en fonctionnement statique	x	x	x			x	x	x									
48	Tensions de seuil (d'entrée) et tension d'hystérésis		x	x														
1	Courant total fourni par les alimentations (fonctionnement dynamique)	x	x	x			x	x										
2	Puissance fournie à travers la ligne d'horloge	x		x														
6	Capacités d'entrée et de sortie pour un fonctionnement en grands signaux	x	x	x			x	x										
11	Capacités d'entrée et de sortie équivalentes, résistances d'entrée et de sortie équivalentes	x	x	x			x	x										
3	Temps de propagation (circuits bipolaires)	x	x	x			x	x										
7	Temps de propagation (circuits MOS)	x	x	x			x	x										
4	Temps de délai et de transition (circuits bipolaires)	x	x	x			x	x										
5	Temps de délai et de transition (circuits MOS)	x	x	x			x	x										
8	Temps d'établissement		x	x			x	x										
9	Temps de maintien		x	x			x	x										
36	Temps de résolution			x			x	x										
49	Temps d'autorisation et d'inhibition en sortie (pour les sorties «trois états»)	x	x	x			x	x										
50 à 54	Temps spécifiques aux mémoires																	
10	Fréquence de commutation			x			x	x										

Application matrix for the measuring methods (given in Publication 748-2)

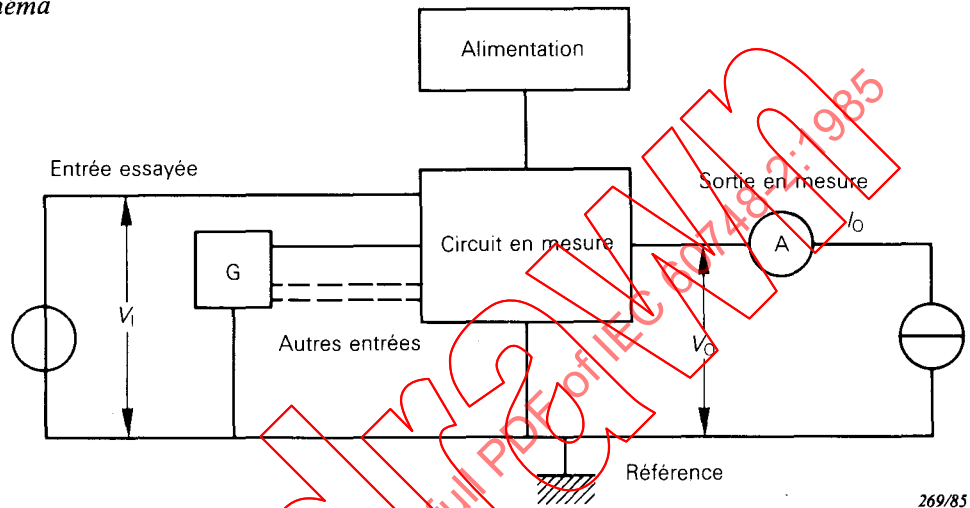
SECTION DEUX — MÉTHODES DE MESURE POUR LES CARACTÉRISTIQUES STATIQUES

1. Tensions de sortie au niveau haut et au niveau bas (V_{OH} et V_{OL}) 37

a) But

Mesurer les tensions de sortie au niveau haut et au niveau bas dans des conditions spécifiées.

b) Schéma



G = source de tension et générateur d'impulsions

FIGURE 32

c) Description et exigences du circuit

Le matériel utilisé doit permettre de réaliser, si c'est exigé, les conditions de sortie spécifiées.

S'il y a lieu, le générateur d'impulsions doit fournir un nombre suffisant de séquences d'impulsions indépendantes pour permettre à la sortie du circuit en mesure de vérifier la table de fonctionnement.

Le générateur de courant doit être capable de délivrer ou d'absorber le courant.

d) Exécution

Connecter le circuit intégré, comme il est spécifié, au circuit de mesure de la figure 32; régler les tensions d'alimentation et les tensions d'entrée aux valeurs spécifiées; appliquer les conditions exigées aux bornes de sortie.

Régler la température à la valeur spécifiée et la vérifier immédiatement avant et après la mesure.

Appliquer les conditions d'entrée et, s'il y a lieu, les séquences d'impulsions d'entrée nécessaires pour obtenir le niveau de sortie statique spécifié. Mesurer la tension de sortie V_o .

SECTION TWO — MEASURING METHODS OF STATIC CHARACTERISTICS

1. High-level and low-level output voltages (V_{OH} and V_{OL}) 37

a) Purpose

To measure the high-level and low-level output voltages under specified conditions.

b) Circuit diagram

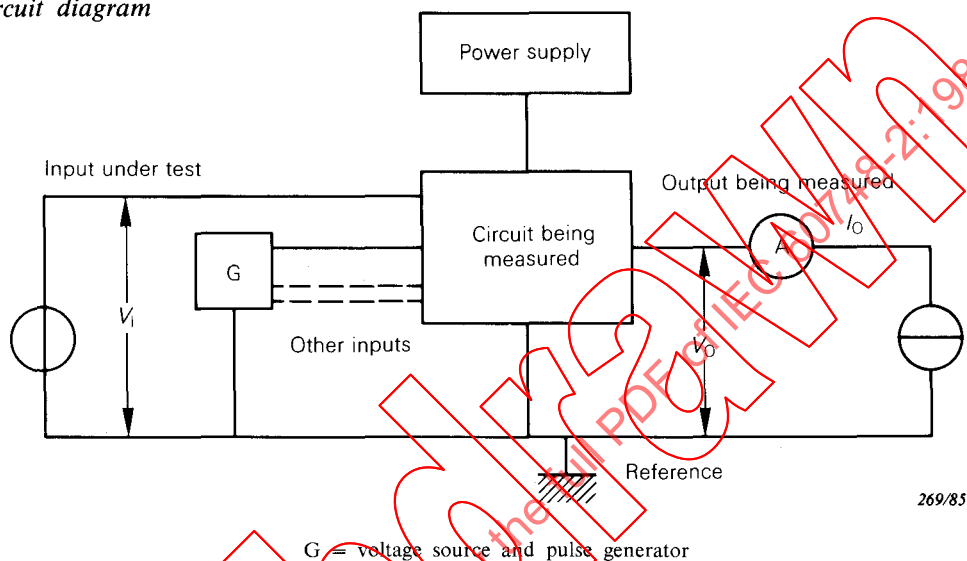


FIGURE 32

c) Circuit description and requirements

The measurement equipment should provide, where required, the specified output conditions.

Where appropriate, the pulse generator should provide a sufficient number of independent pulse sequences to enable the output condition of the circuit being measured to be set up according to the function table.

The current generator should be capable of acting as either a source or sink of current.

d) Measurement procedure

The integrated circuit is connected as specified to the measurement circuit of Figure 32; the supply and input voltages are set to their specified values and the appropriate conditions are applied to the output terminals.

The temperature is set to the specified value and checked immediately before and after the measurement.

The input conditions and, where appropriate, the input pulse sequences necessary to set up the specified static output level are applied. The output voltage V_o is measured.

Note. — Pourvu qu'on utilise les conditions de pire cas pour les tensions d'entrée, cette mesure peut vérifier en même temps que le circuit en essai satisfait à la fois les extrêmes pour les tensions d'entrée spécifiées et pour les tensions de sortie associées.

Exemple:

Fonction	Conditions appliquées		Valeur extrême de mesure
	Entrée essayée	Autre(s) entrée(s)	Sortie en mesure
ET-NON	V_{ILA} V_{IHB}	V_{IHA} V_{IHB}	V_{OHB} V_{OLA}
ET	V_{IHB} V_{ILA}	V_{IHB} V_{IHA}	V_{OHB} V_{OLA}

e) Conditions spécifiées

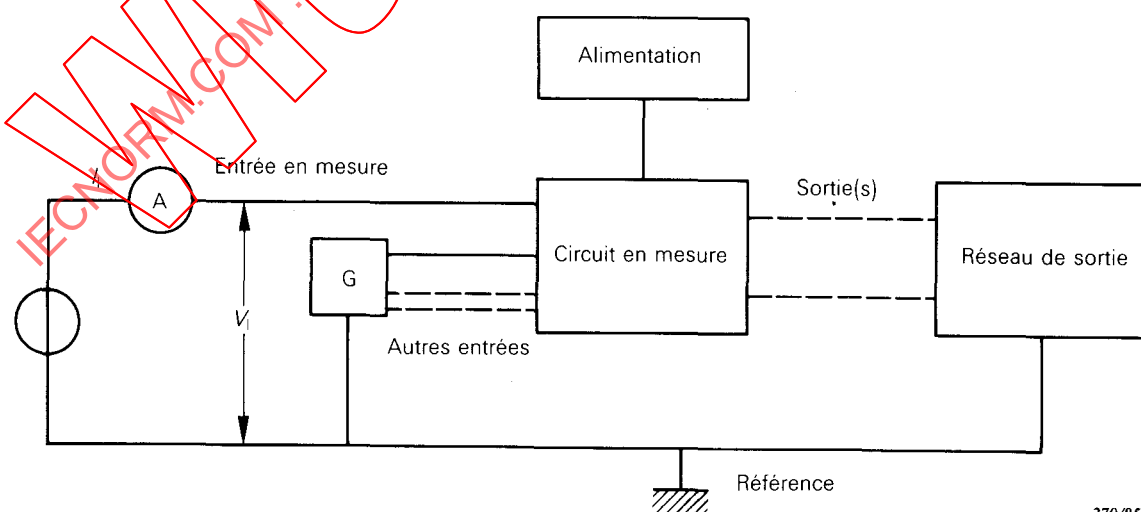
- Température ambiante ou température d'un point de référence.
- Procédure d'établissement (s'il y a lieu) et séquence de mesures.
- Valeur(s) de la (des) tension(s) d'alimentation.
- Tension(s) d'entrée.
- Courant(s) de sortie.
- Sens des courants.

2. Courants d'entrée au niveau haut et au niveau bas (I_{IH} et I_{IL}) 38

a) But

Mesurer les courants d'entrée au niveau haut et au niveau bas dans des conditions spécifiées.

b) Schéma



270/85

FIGURE 33

Note. — Provided that the worst-case combinations of input voltages are used, this measurement can simultaneously verify that the circuit under test meets both the specified input and the associated output voltage limits.

Example:

Function	Applied conditions		Measurement limit
	Input under test	Other input(s)	Output being measured
NAND	V_{ILA} V_{IHB}	V_{IHA} V_{IHB}	V_{OHB} V_{OLA}
AND	V_{IHB} V_{ILA}	V_{IHB} V_{IHA}	V_{OHB} V_{OLA}

e) *Specified conditions*

- Ambient or reference-point temperature.
- Setting-up procedure (where appropriate) and sequence of measurement.
- Value(s) of the supply voltage(s).
- Input voltage(s).
- Output current(s).
- The direction(s) of current(s).

2. **High-level and low-level input currents (I_{IH} and I_{IL})** 38

a) *Purpose*

To measure the high-level and low-level input currents under specified conditions.

b) *Circuit diagram*

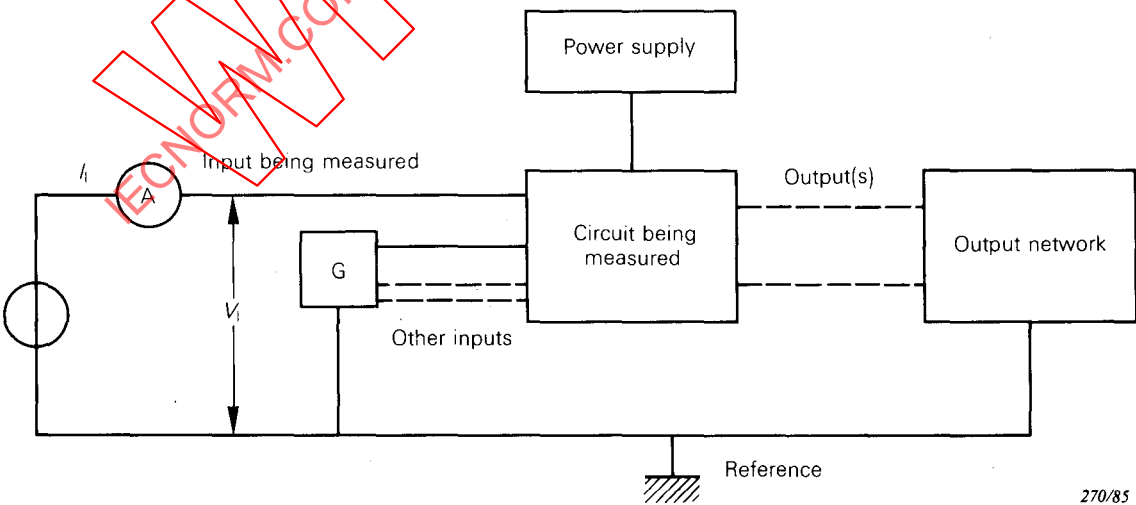


FIGURE 33

c) *Description et exigences du circuit*

S'il y a lieu, le générateur d'impulsions doit fournir un nombre suffisant de séquences d'impulsions indépendantes pour permettre d'établir l'état logique interne spécifié.

Le matériel utilisé doit permettre de réaliser, si c'est exigé, les conditions de sortie spécifiées.

d) *Exécution*

Connecter le circuit intégré, comme il est spécifié, au circuit de mesure de la figure 33, page 200; régler les tensions d'alimentation et les tensions d'entrée aux valeurs spécifiées; appliquer les conditions exigées aux bornes de sortie.

Régler la température à la valeur spécifiée et la vérifier immédiatement avant et après la mesure.

S'il y a lieu, appliquer les impulsions d'entrée nécessaires pour obtenir l'état logique spécifié.

Mesurer le courant qui en résulte I_i .

Note. — Habituellement, chaque entrée est mesurée séparément.

e) *Conditions spécifiées*

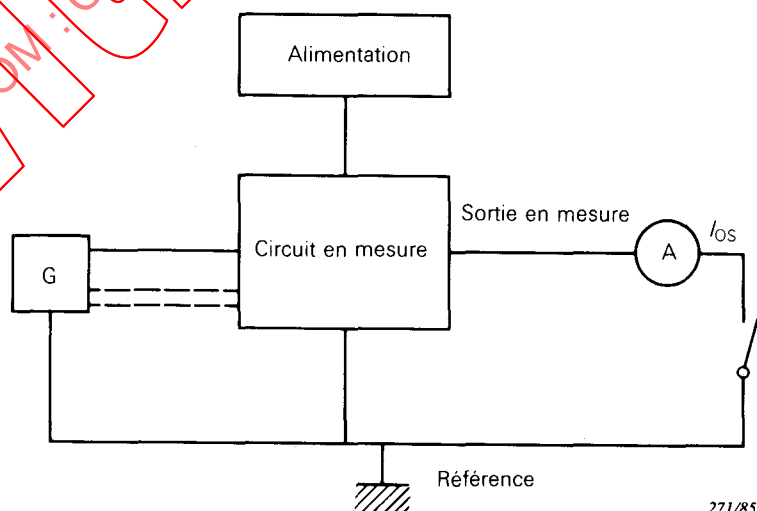
- Température ambiante ou température d'un point de référence.
- Procédure d'établissement (s'il y a lieu) et séquence des mesures.
- Valeur(s) de la (des) tension(s) d'alimentation.
- Tension(s) d'entrée.
- Conditions de sortie, s'il y a lieu.

3. **Courant de court-circuit en sortie (I_{os})** 40

a) *But*

Mesurer le courant de court-circuit en sortie dans des conditions spécifiées.

b) *Schema*



271/85

G = source de tension et générateur d'impulsions

FIGURE 34

c) *Circuit description and requirements*

Where appropriate, the pulse generator should provide a sufficient number of independent pulse sequences to enable the specified internal logic state to be set up.

The measurement equipment should provide, where required, the specified output conditions.

d) *Measurement procedure*

The integrated circuit is connected as specified to the measurement circuit of Figure 33, page 201; the supply and input voltages are set to their specified values and the appropriate conditions are applied to the output terminals.

The temperature is set to the specified value and checked immediately before and after the measurement.

Where appropriate, the input pulses necessary to set up the specified logic state are applied.

The resulting current I_i is measured.

Note. — Usually, each input is measured separately.

e) *Specified conditions*

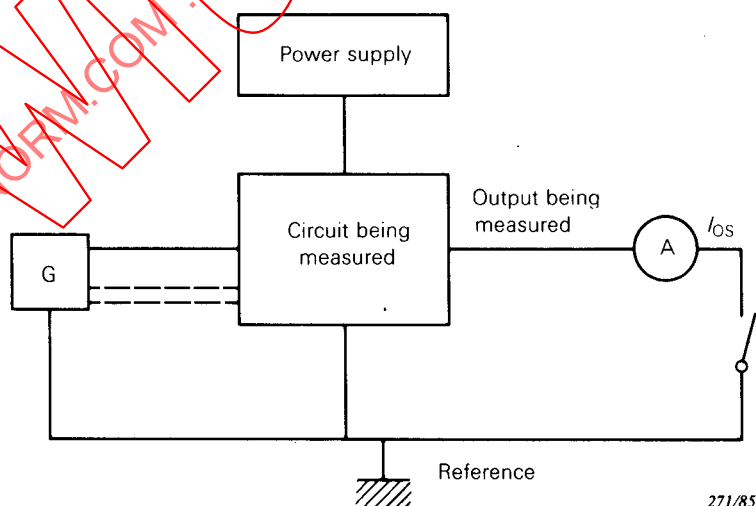
- Ambient or reference-point temperature.
- Setting-up procedure (where appropriate) and sequence of measurements.
- Value(s) of the supply voltage(s).
- Input voltage(s).
- Output conditions, where appropriate.

3. **Short-circuit output current (I_{os})** 40

a) *Purpose*

To measure the short-circuit output current under specified conditions.

b) *Circuit diagram*



G = voltage source and pulse generator

FIGURE 34

c) Description et exigences du circuit

S'il y a lieu, le générateur d'impulsions doit fournir un nombre suffisant de séquences d'impulsions indépendantes pour permettre à la sortie du circuit en essai de vérifier la table de fonctionnement.

L'équipement de mesure doit pouvoir permettre de réaliser un court-circuit entre la borne de sortie et un point de référence spécifié (pendant une durée spécifiée, s'il y a lieu) et mesurer le courant de court-circuit sans réagir d'une manière significative sur le court-circuit lui-même.

d) Précautions à prendre

On ne doit pas dépasser la valeur limite de la dissipation de puissance.

e) Exécution

Connecter le circuit intégré, comme il est spécifié, au circuit de mesure de la figure 34, page 202; régler les tensions d'alimentation et les tensions d'entrée aux valeurs spécifiées.

Régler la température à la valeur spécifiée et la vérifier immédiatement avant et après la mesure.

Appliquer, s'il y a lieu, les séquences d'impulsions d'entrée nécessaires pour obtenir le niveau de sortie statique spécifié.

Connecter la borne de sortie essayée au point de référence spécifié et mesurer le courant de court-circuit I_{OS} .

Avant de réaliser le court-circuit, on force la tension de sortie (par exemple, au moyen de la combinaison voulue des niveaux d'entrée) à un niveau aussi éloigné que possible du niveau de référence.

f) Conditions spécifiées

- Température ambiante ou température d'un point de référence.
- Procédure d'établissement, s'il y a lieu.
- Valeur(s) de la (des) tension(s) d'alimentation.
- Tension(s) d'entrée.
- Durée du court-circuit, s'il y a lieu.
- Conditions aux autres bornes.
- Point de référence (pour le court-circuit).

4. Courant d'alimentation en fonctionnement statique 41*a) But*

Mesurer le courant d'alimentation dans des conditions de fonctionnement statique spécifiées.

c) Circuit description and requirements

Where appropriate, the pulse generator should provide a sufficient number of independent pulse sequences to enable the output condition of the circuit under test to be set up according to the function table.

The measurement equipment should be capable of implementing a short-circuit between the output terminal and a specified reference point (for a specified duration, if appropriate) and of measuring the short-circuit current without influencing significantly the short-circuit itself.

d) Precautions to be observed

The maximum rated power dissipation should not be exceeded.

e) Measurement procedure

The integrated circuit is connected as specified to the measurement circuit of Figure 34, page 203; the supply and input voltages are set to their specified values.

The temperature is set to the specified value and checked immediately before and after the measurement.

Where appropriate, the input pulse sequences necessary to set up the specified static output level are applied.

The output terminal under test is connected to the specified reference point and the short-circuit current I_{OS} is measured.

Before application of the short-circuit, the output voltage is forced (for example, by means of the relevant input level combination) to a level as far as possible from the reference level.

f) Specified conditions

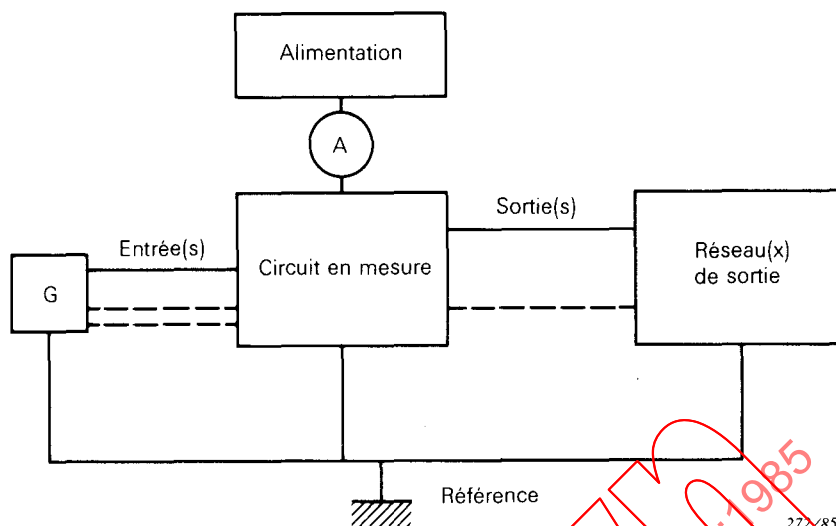
- Ambient or reference-point temperature.
- Setting-up procedure, where appropriate.
- Value(s) of the supply voltage(s).
- Input voltage(s).
- Short-circuit duration, if appropriate.
- Conditions at other terminals.
- Reference point (for the short-circuit).

4. Power supply current under static conditions 41

a) Purpose

To measure the power supply current under specified static conditions.

b) Schéma



G = source de tension et générateur d'impulsions.

FIGURE 35

c) Description et exigences du circuit

S'il y a lieu, le générateur d'impulsions doit fournir un nombre suffisant de séquences d'impulsions indépendantes pour permettre à la sortie du circuit en essai de vérifier la table de fonctionnement.

d) Exécution

Connecter le circuit intégré, comme il est spécifié, au circuit de mesure de la figure 35; régler les tensions d'alimentation et les tensions d'entrée aux valeurs spécifiées.

Régler la température à la valeur spécifiée et la vérifier immédiatement avant et après la mesure.

Appliquer, s'il y a lieu, les séquences d'impulsions d'entrée nécessaires pour obtenir le niveau de sortie statique voulu.

Mesurer le courant d'alimentation correspondant.

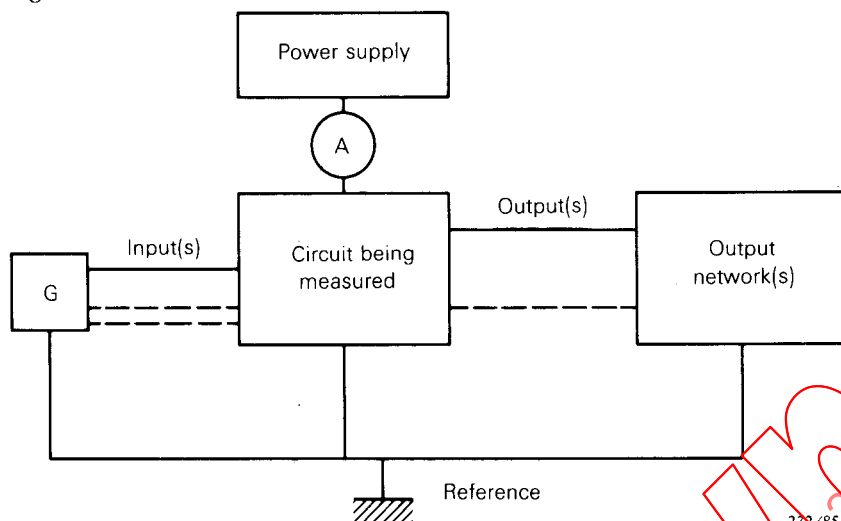
e) Conditions spécifiées

- Température ambiante ou température d'un point de référence.
- Procédure d'établissement (s'il y a lieu) et séquence de mesures.
- Valeur(s) de tension(s) d'alimentation.
- Tension(s) d'entrée.
- Réseau(x) de sortie.

5. Tensions de seuil (d'entrée) et tension d'hystérésis 48

a) But

Mesurer les tensions de seuil (d'entrée) et déterminer la tension d'hystérésis d'un circuit logique combinatoire à l'aide d'une méthode de mesure telle que le résultat reste indépendant des caractéristiques dynamiques du circuit en mesure.

b) *Circuit diagram*

G = voltage source and pulse generator

FIGURE 35

c) *Circuit description and requirements*

Where appropriate, the pulse generator should provide a sufficient number of independent pulse sequences to enable the output condition(s) of the circuit under test to be set up according to the function table.

d) *Measurement procedure*

The integrated circuit is connected as specified to the measurement circuit of Figure 35; the supply and input voltages are set to their specified values.

The temperature is set to the specified value and checked immediately before and after the measurement.

Where appropriate, the input pulse sequences necessary to set up the required static output level are applied.

The relevant power supply current is measured.

e) *Specified conditions*

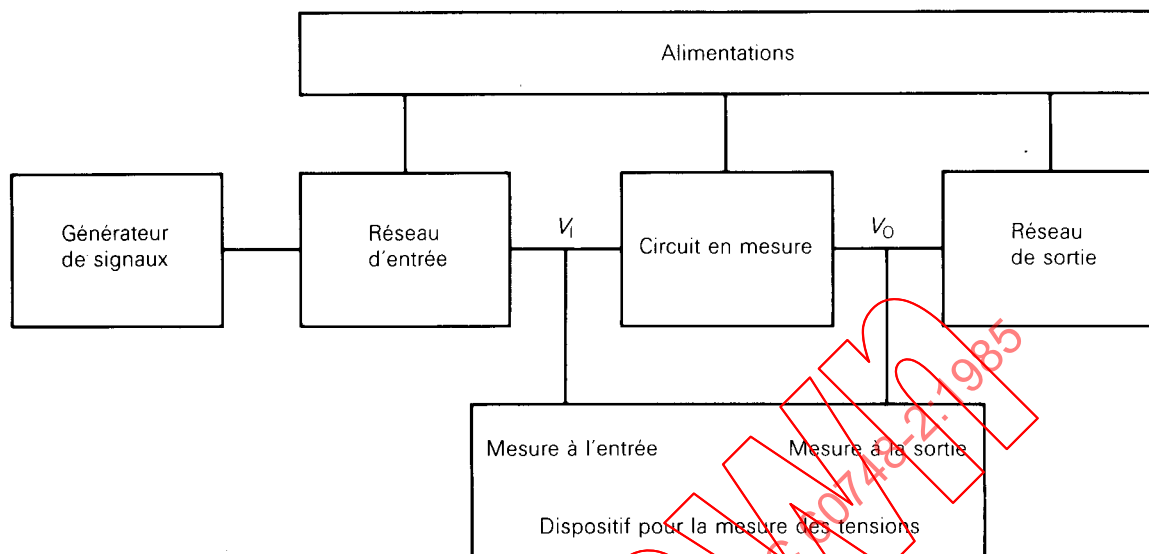
- Ambient or reference-point temperature.
- Setting-up procedure (where appropriate) and sequence of measurements.
- Value(s) of the supply voltage(s).
- Input voltage(s).
- Output network(s).

5. (Input) threshold voltages and hysteresis voltage 48a) *Purpose*

To measure the (input) threshold voltages and to determine the hysteresis voltage of a combinatorial logic circuit by a measuring method such that the result is independent of the dynamic characteristics of the circuit being measured.

b) Description et exigences du circuit

Le circuit de mesure est indiqué dans la figure 36.



273/85

FIGURE 36

On doit pouvoir effectuer la mesure de la tension de sortie V_o en fonction de la tension d'entrée V_i . Le générateur doit fournir un signal d'entrée triangulaire dont la forme d'onde est représentée par une tension qui varie de façon régulière ou par paliers; l'équipement doit comporter en outre les réseaux d'entrée et de sortie, et fournir les tensions d'alimentation. Le circuit en mesure doit être maintenu à la température (T_{amb} ou T_{case}) spécifiée.

c) Exécution

Placer le circuit en mesure à la température (T_{amb} ou T_{case}) spécifiée. Relier les bornes d'entrée et de sortie comme spécifié et appliquer les tensions d'alimentation. Connecter et régler le générateur de signaux. Appliquer le signal de sortie V_o du circuit en mesure à l'équipement de mesure, par exemple à l'entrée Y d'un oscilloscope. Appliquer également le signal d'entrée triangulaire V_i à l'entrée X de l'oscilloscope. Mesurer ou lire la tension d'entrée V_{IT+} (ou V_{ITP}) quand la tension de sortie V_o passe brusquement d'un niveau à l'autre, ou V_{IT-} (ou V_{ITN}) quand la tension de sortie V_o revient brusquement à son niveau d'origine; ces deux valeurs sont les tensions de seuil (d'entrée).

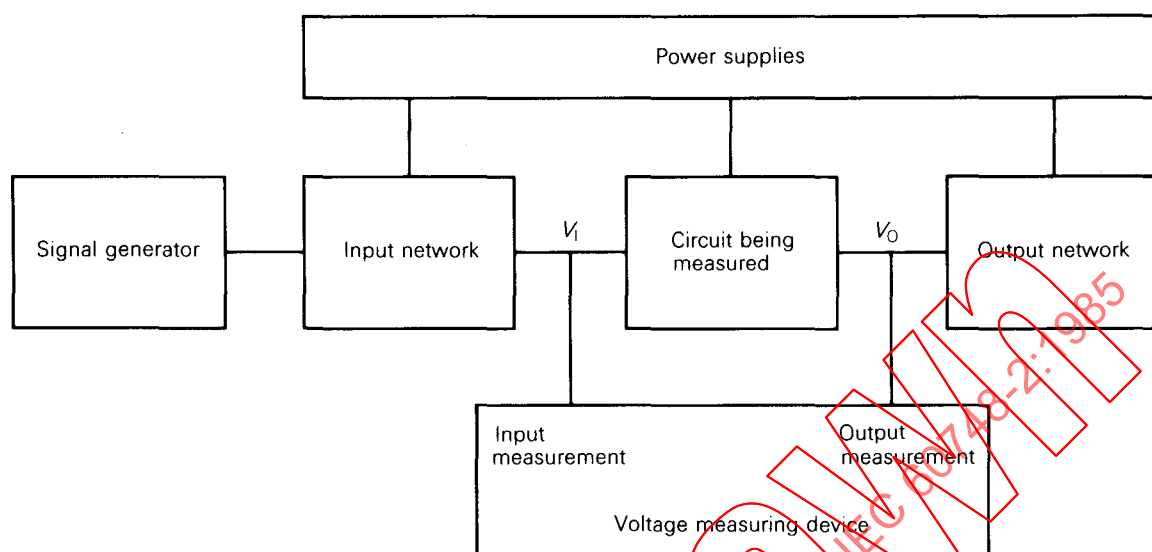
Le résultat est la caractéristique de transition indiquée dans la figure 37, page 210. La tension d'hystérésis V_{hys} est donnée par:

$$V_{hys} = V_{IT+} - V_{IT-} \quad \text{ou:} \quad V_{ITP} - V_{ITN}$$

Note. — Les figures 38 et 39, pages 210 et 212, représentent les caractéristiques de transition pour deux formes d'onde d'entrée différentes pouvant indifféremment être utilisées pour cette méthode.

b) *Circuit description and requirements*

The measuring circuit is shown in Figure 36.



273/85

FIGURE 36

The equipment shall be capable of measuring the output voltage V_o as a function of the input voltage V_i . The measuring equipment should provide a triangular input signal whose waveform is either a ramp or a series of steps; the equipment should also provide the input and output networks and the supply voltage(s); it shall keep the circuit being measured at the specified temperature (T_{amb} or T_{case}).

c) *Measurement procedure*

The circuit being measured is set to the specified temperature (T_{amb} or T_{case}). The input and output terminals are connected as specified and the supply voltage(s) is (are) applied. The signal generator is adjusted and connected. The output signal V_o of the circuit being measured is applied to the measurement equipment, for instance to the Y-input of an oscilloscope. The triangular input signal V_i of the circuit being measured is also applied to the measurement equipment, in the above case to the X-input of the oscilloscope. The input voltage is measured or read as V_{IT+} (or V_{ITP}) when the output voltage V_o just switches to the opposite level or as V_{IT-} (or V_{ITN}) when the output voltage V_o switches to the original level; these two values are the (input) threshold voltages.

The result is the transition characteristic shown in Figure 37, page 211. The hysteresis voltage V_{hys} results from:

$$V_{hys} = V_{IT+} - V_{IT-} \quad \text{or:} \quad V_{ITP} - V_{ITN}$$

Note. — Figures 38 and 39, pages 211 and 213, represent the transition characteristics for two different input waveforms, either of which may be used for this method.

d) Conditions spécifiées

- Température (T_{amb} ou T_{case}).
- Tension(s) d'alimentation.
- Caractéristiques du signal d'entrée:
 - tension variant de façon régulière: linéarité, temps de croissance (t_r), temps de décroissance (t_f), amplitude;
 - tension variant par paliers: différence de tension entre chaque palier (ΔV), durée de chaque palier (Δt), amplitude.

t_r , t_f et Δt du signal d'entrée doivent être très supérieurs au temps de propagation t_p du circuit en mesure.
- Réseaux d'entrée et de sortie (y compris les capacités parasites).
- Conditions pour les autres bornes.

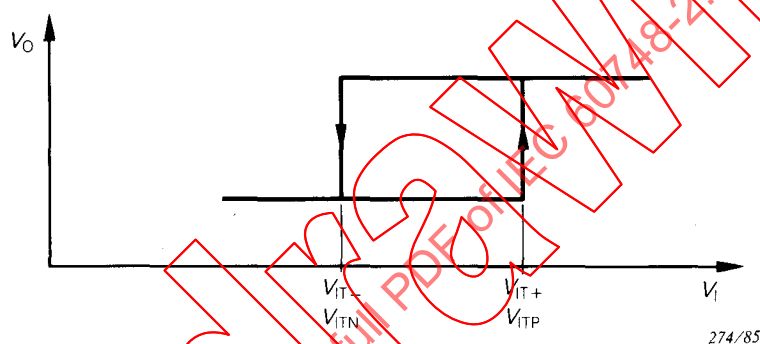


FIG. 37. — Diagramme de transition.

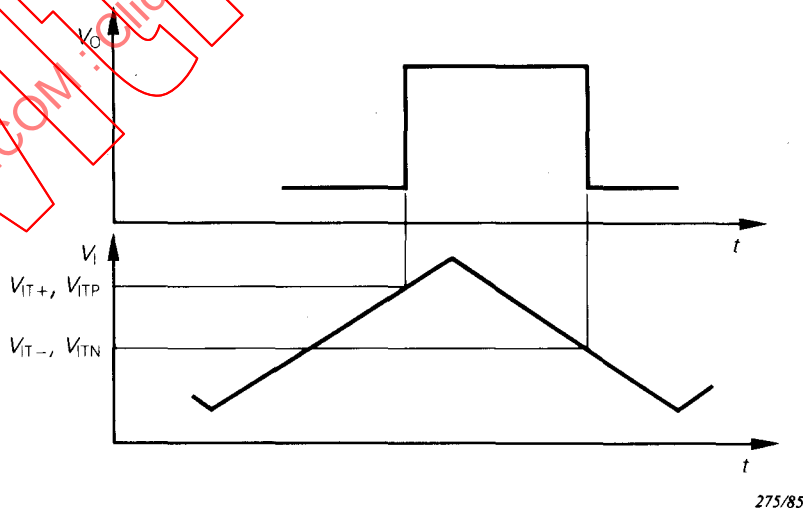


FIG. 38. — Caractéristique de transition (cas des mesures en laboratoire).

d) Specified conditions

- Temperature (T_{amb} or T_{case}).
- Supply voltage(s).
- Characteristics of the input signal:
 - ramp voltage: linearity, rise time (t_r), fall time (t_f), signal amplitude;
 - stepped voltage: voltage difference in each step (ΔV), hold time for each step (Δt), signal amplitude.
- t_r , t_f and Δt of the input signal should be much greater than the propagation time t_p of the circuit being measured.
- Input and output networks (including stray capacitance).
- Conditions at other terminals.

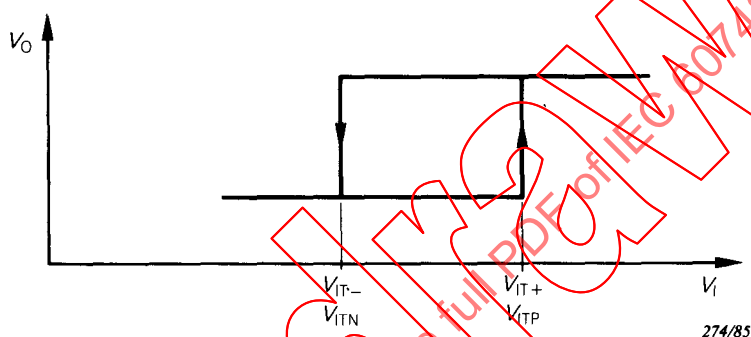


FIG. 37. — Transition diagram.

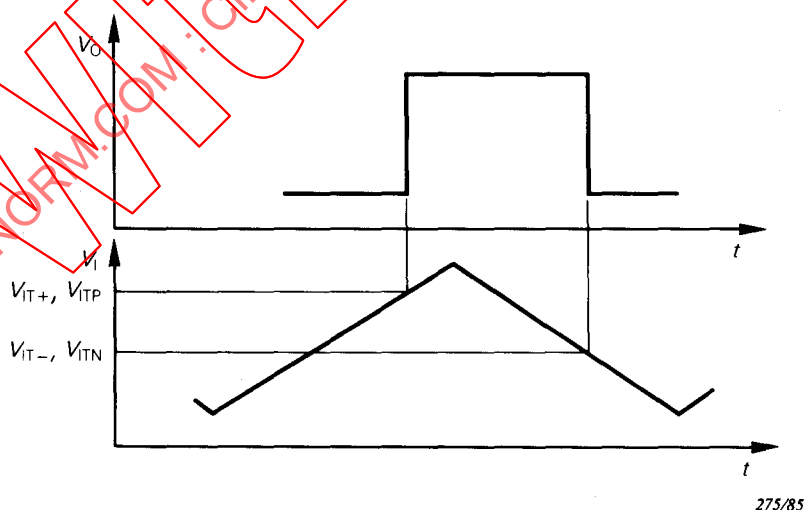
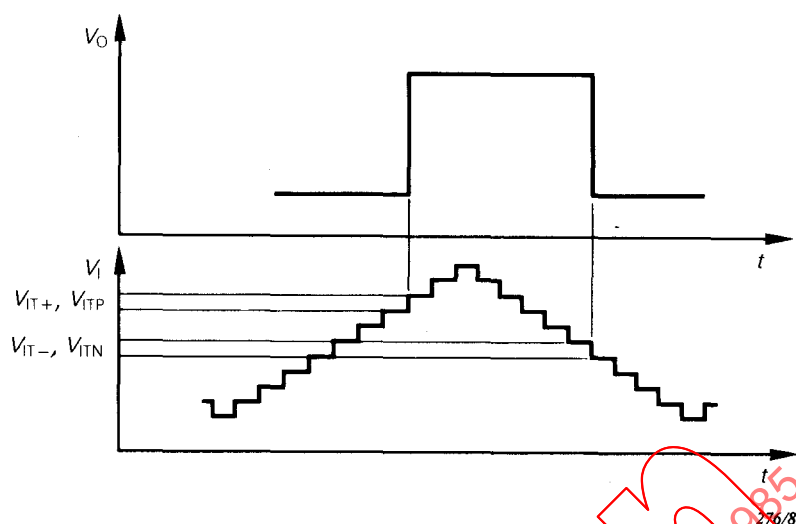


FIG. 38. — Transition characteristic for laboratory measurement.



Note. — La précision de la mesure est directement fonction de l'amplitude des paliers, dont il faut tenir compte.

FIG. 39. — Caractéristique de transition (cas de mesure automatique).

SECTION TROIS — MESURES DYNAMIQUES

1. Courant total fourni par les alimentations (fonctionnement dynamique) 1

a) But

Cette méthode est destinée à mesurer le courant total fourni par l'alimentation au circuit intégré en fonction de la fréquence de fonctionnement. Cette méthode est restreinte au cas de signaux d'entrée répétitifs.

b) Schéma

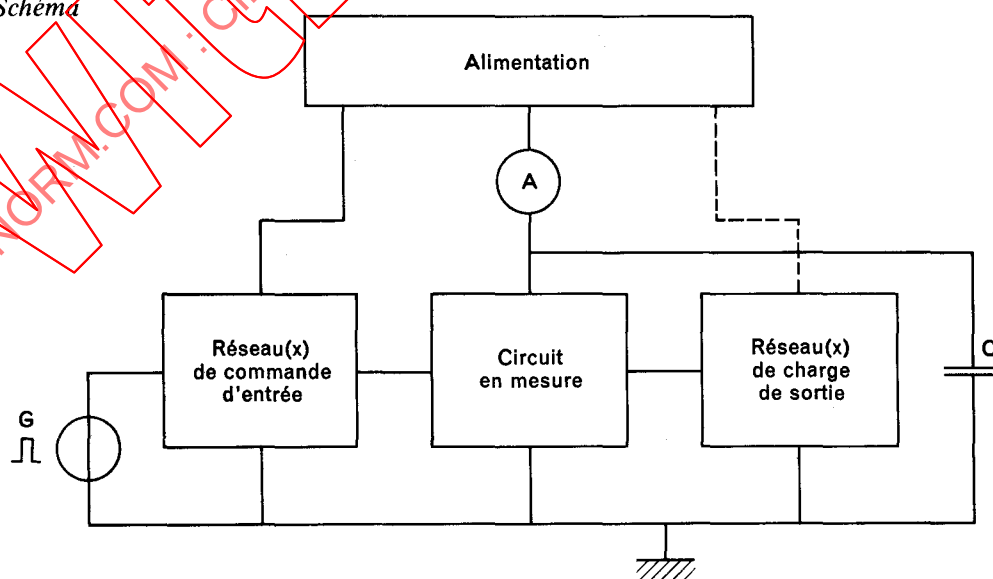
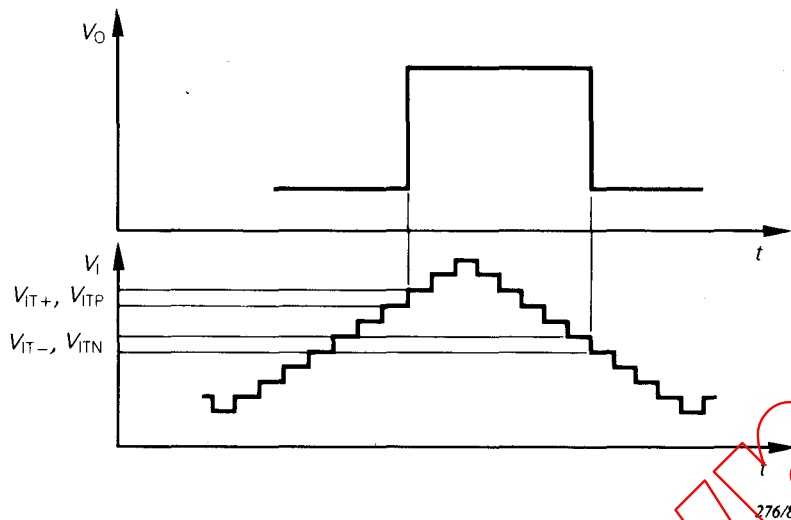


FIGURE 40



Note. — The precision of the measurement is a function of the amplitude of the steps, which must be taken into account.

FIG. 39. — Transition characteristic under automatic measurement.

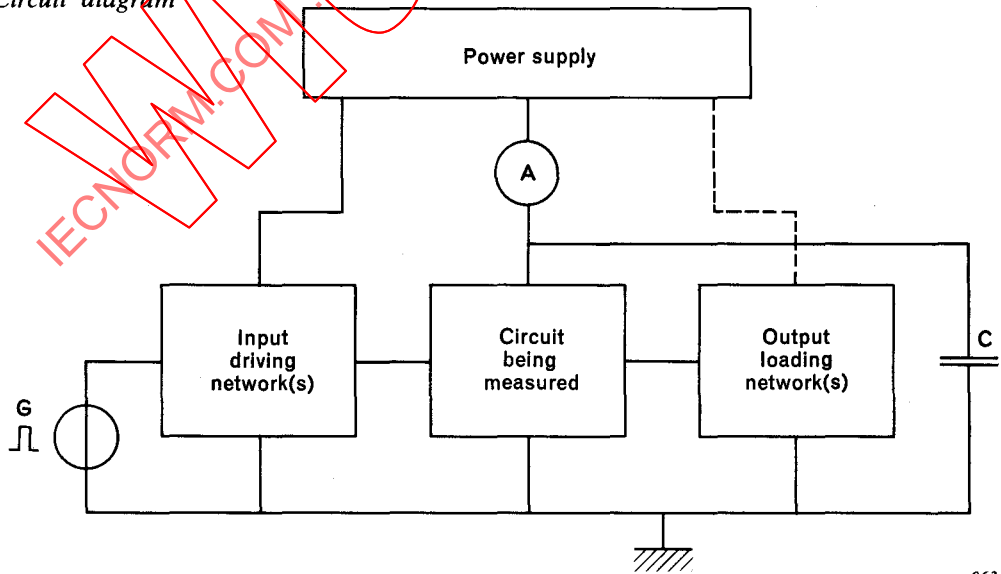
SECTION THREE — DYNAMIC MEASUREMENTS

1. Total current drawn from the power supplies under dynamic conditions 1

a) Purpose

This method is intended to measure the total current drawn by the integrated circuit from the power supply versus operating frequency. This method is restricted to repetitive input signals.

b) Circuit diagram



063/79

FIGURE 40

c) Description et exigences du circuit

Le (les) réseau(x) de commande d'entrée, les conditions pour les autres entrées et le (les) réseau(x) de charge de sortie doivent être tels que spécifiés.

La forme d'onde de l'(des) impulsion(s) d'entrée doit être spécifiée.

L'impédance du condensateur C doit être suffisamment faible dans la gamme de fréquences de mesure.

L'ampèremètre doit pouvoir mesurer le courant total moyen.

d) Précautions à prendre

Aucune précaution spéciale n'est nécessaire.

e) Exécution

Régler la température à la valeur spécifiée.

Connecter le circuit intégré au circuit de mesure, régler la (les) tension(s) d'alimentation, le (les) signal (signaux) d'entrée et les conditions sur les autres entrées aux valeurs spécifiées; mesurer le courant d'alimentation dans la gamme des fréquences de mesure.

f) Conditions spécifiées

- Température ambiante ou température d'un point de référence.
- Tension(s) d'alimentation.
- Caractéristiques du (des) réseau(x) de commande d'entrée et du (des) réseau(x) de charge de sortie.
- Conditions pour les impulsions d'entrée:
 - amplitude;
 - largeur;
 - temps de croissance;
 - temps de décroissance;
 - facteur d'utilisation (50 %, sauf spécification contraire);
 - gamme de la fréquence de répétition.
- Interrelations entre les diverses impulsions, s'il y a lieu.
- Conditions pour les autres entrées.

2. Puissance fournie à travers la ligne d'horloge [2]*a) But*

Cette méthode est destinée à mesurer la puissance nécessaire pour commander le circuit à travers la (les) ligne(s) d'horloge.

c) Circuit description and requirements

The input driving network(s), the conditions at other inputs and the output loading network(s) shall be as specified.

The input pulse waveform(s) shall be as specified.

The impedance of capacitor C shall be low over the measurement frequency range.

The ammeter shall be a suitable instrument to measure the mean total current.

d) Precautions to be observed

No special precautions are required.

e) Measurement procedure

The temperature is set to the specified value.

The integrated circuit is connected to the circuit of measurement; the supply voltage(s), the input signal(s) and the conditions at the other inputs shall be set to the specified values; the supply current shall be measured over the measurement frequency range.

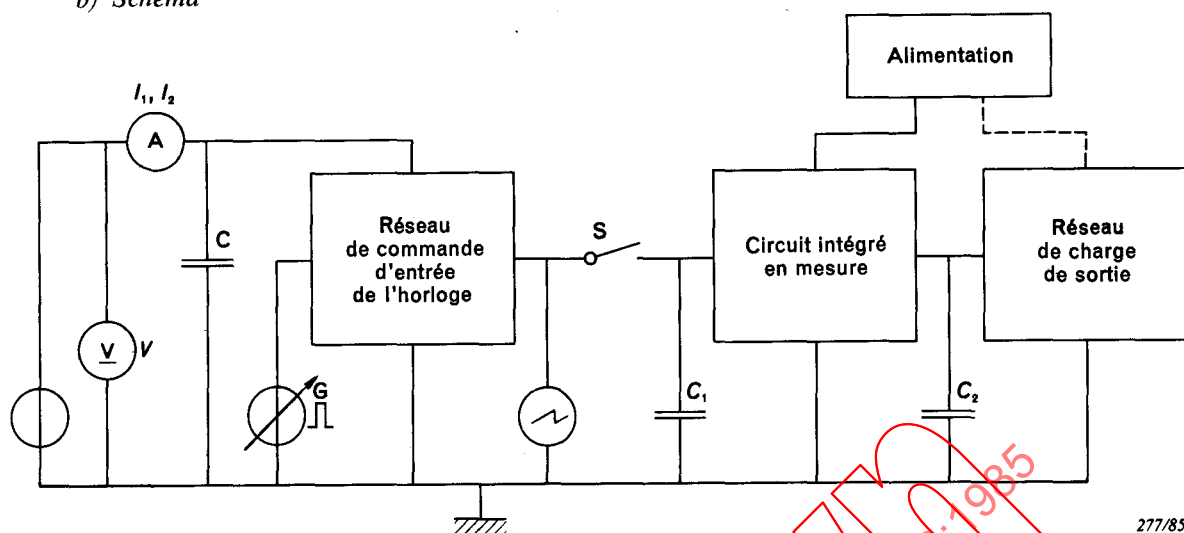
f) Specified conditions

- Ambient or reference-point temperature.
- Supply voltage(s).
- Characteristics of input driving network(s) and output loading network(s).
- Input pulse conditions:
 - amplitude;
 - width;
 - rise time;
 - fall time;
 - duty cycle (50%, unless otherwise specified);
 - repetition frequency range.
- Interrelationships between different pulses, where appropriate.
- Conditions at other inputs.

2. Power supplied through the clock line 2*a) Purpose*

This method is intended to measure the power required to drive the circuit through the clock line(s).

b) Schéma

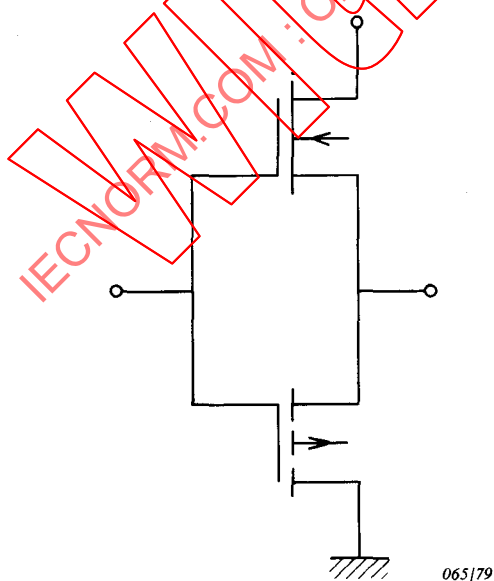


277/85

FIGURE 41

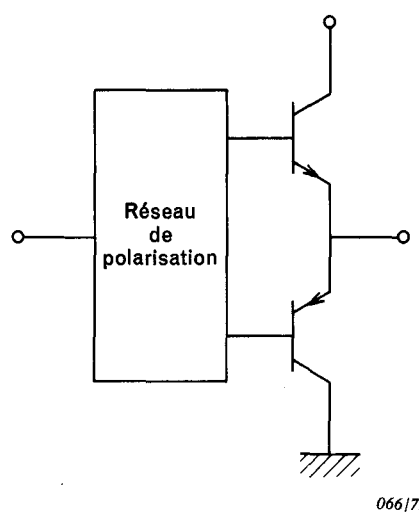
c) Description et exigences du circuit

Le réseau de commande d'entrée de l'horloge, les conditions sur les autres entrées et le réseau de charge de sortie doivent être spécifiés. Le réseau de commande d'entrée de l'horloge et son alimentation doivent pouvoir fournir toute la puissance nécessaire pour commander l'entrée de l'horloge. Ce réseau se comporte comme un convertisseur de puissance et doit avoir une faible consommation de puissance résiduelle. L'impédance de sortie du réseau de commande d'entrée de l'horloge doit être suffisamment faible pour que le fait de charger le circuit en mesure n'affecte pas la forme de l'onde de sortie du réseau de commande d'entrée de l'horloge. Des exemples de réseau de commande d'entrée de l'horloge possibles sont donnés dans les figures 42 et 43.



065/79

FIGURE 42



066/79

FIGURE 43

b) Circuit diagram

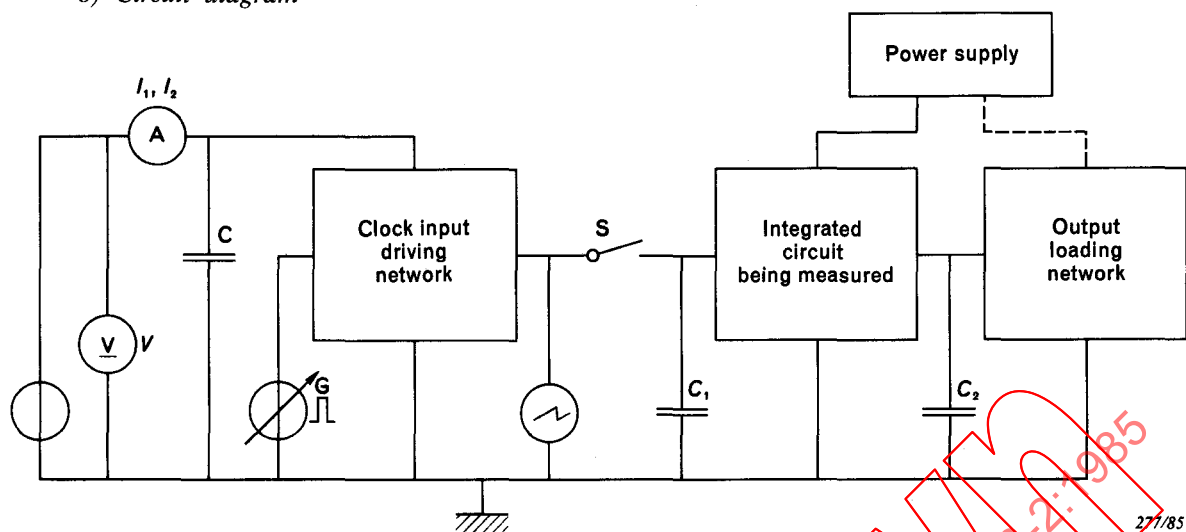


FIGURE 41

c) Circuit description and requirements

The clock input driving network, the conditions at other inputs and the output loading network shall be as specified. The clock input driving network and its power supply shall be capable of supplying all the power required to drive the clock input. This network acts as a power converter and shall have a low residual power consumption. The output impedance of the clock input driving network shall be low enough so that the loading of the circuit being measured does not affect the output waveform of the clock input driving network. Examples of suitable clock input driving network are given in Figures 42 and 43.

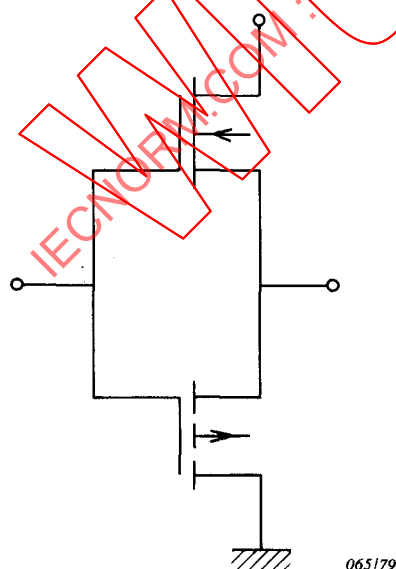


FIGURE 42

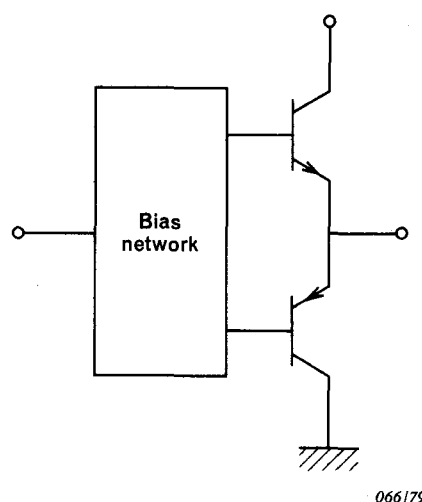


FIGURE 43

L'impédance du condensateur C doit être faible à la fréquence de mesure.

Les capacités de C_1 et C_2 comprennent les capacités parasites du support d'essai et doivent être telles que spécifiées.

La forme d'onde de l'impulsion d'horloge à la sortie du réseau de commande d'entrée de l'horloge doit être telle que spécifiée. L'oscilloscope est utilisé pour vérifier cette condition.

L'interrupteur S est utilisé pour isoler le circuit en mesure afin que deux mesures de la puissance consommée par le réseau de commande d'entrée de l'horloge puissent être effectuées.

L'ampèremètre doit être un instrument permettant la mesure du courant moyen total fourni par le réseau de commande d'entrée de l'horloge.

Le voltmètre doit être un instrument permettant la mesure de la tension à la sortie de l'alimentation.

Si deux ou plusieurs impulsions d'horloge sont nécessaires, les interrelations entre ces impulsions doivent être telles que spécifiées, et les mesures effectuées pour chaque ligne d'horloge séparément.

d) Précautions à prendre

Aucune précaution spéciale n'est nécessaire.

e) Exécution

Régler la température à la valeur spécifiée.

Connecter le circuit intégré au circuit en mesure; régler les tensions d'alimentation et les conditions sur les autres entrées aux valeurs spécifiées.

Ajuster le réseau de commande d'entrée de l'horloge et le générateur d'impulsions afin de donner les impulsions désirées. L'oscilloscope est utilisé pour vérifier la forme d'onde des impulsions.

L'interrupteur S étant ouvert, mesurer le courant continu I_1 traversant le réseau de commande d'entrée de l'horloge. Fermer ensuite l'interrupteur S et mesurer le courant I_2 . Calculer alors la puissance nécessaire pour commander le circuit en mesure par:

$$P = V (I_2 - I_1)$$

f) Conditions spécifiées

- Température ambiante ou température d'un point de référence.
- Tensions d'alimentation (y compris V).
- Caractéristiques du réseau de commande d'entrée de l'horloge et du réseau de charge de sortie.
- Conditions pour les impulsions d'horloge:
 - amplitude;
 - largeur;
 - temps de croissance;
 - temps de décroissance;
 - facteur d'utilisation (50%, sauf spécification contraire);
 - gamme de fréquence de répétition.
- Interrelations entre les différentes impulsions, s'il y a lieu.
- Valeurs de C_1 et C_2 .
- Conditions pour les autres entrées.

The impedance of capacitor C shall be low at the measurement frequency.

The capacitances C_1 and C_2 include the stray capacitances of the test fixture and shall be as specified.

The clock pulse waveform at the output of the clock input driving network shall be as specified. The oscilloscope is used to verify this condition.

Switch S is used to isolate the circuit being measured so that two measurements of the power consumed by the clock input driving network can be made.

The ammeter shall be a suitable instrument to measure the mean total current drawn by the clock input driving network.

The voltmeter shall be a suitable instrument to measure the voltage at the output terminal of the power supply.

If two or more clock pulses are required, the interrelationships between these pulses shall be as specified, and the measurements shall be performed for each of the clock lines separately.

d) Precautions to be observed

No special precautions are required.

e) Measurement procedure

The temperature is set to the specified value.

The integrated circuit is connected to the measurement circuit; the supply voltages and the conditions at the other inputs shall be set to the specified values.

The clock input driving network and the pulse generator are adjusted to give the desired pulse. The oscilloscope is used to verify the pulse waveform.

With switch S opened, the d.c. current I_1 flowing into the clock input driving network is measured. Then the switch S is closed and current I_2 is measured. The power required to drive the circuit being measured is then calculated by:

$$P = V (I_2 - I_1)$$

f) Specified conditions

- Ambient or reference-point temperature.
- Supply voltages (including V).
- Characteristics of clock input driving network and output loading network.
- Clock pulse conditions:
 - amplitude;
 - width;
 - rise time;
 - fall time;
 - duty cycle (50%, unless otherwise specified);
 - repetition frequency range.
- Interrelationships between different pulses, where appropriate.
- Values for C_1 and C_2 .
- Conditions at other inputs.

3. Impédances d'entrée et de sortie [6], [11]

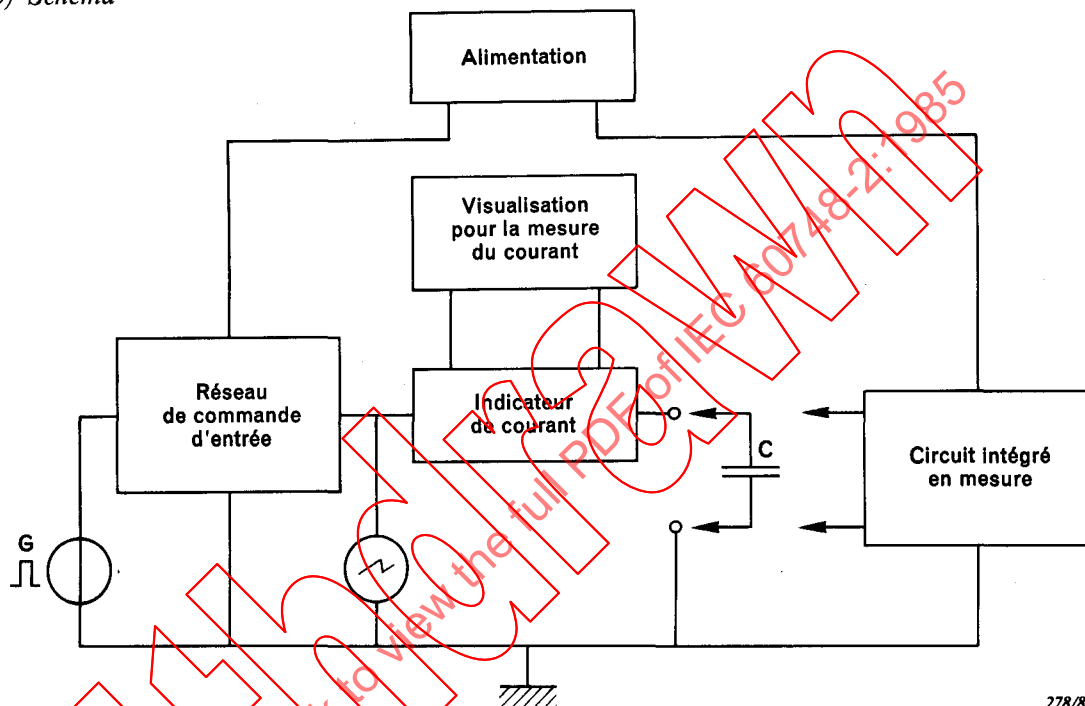
3.1 Mesure de courant: capacités d'entrée et de sortie pour un fonctionnement en grands signaux [6]

a) But

Mesurer en grands signaux les capacités d'entrée et de sortie d'un circuit intégré digital dans des conditions spécifiées.

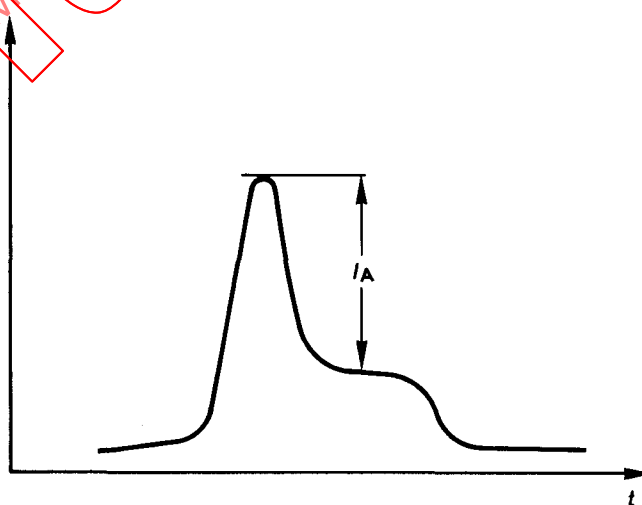
Note. — Cette méthode peut ne pas être applicable à la mesure des capacités d'entrée et de sortie d'un circuit intégré qui a une faible résistance parallèle d'entrée ou de sortie.

b) Schéma



278/85

FIGURE 44



068/79

FIG. 45. — Forme d'onde du courant mesuré.

3. Input and output impedances 6, 11

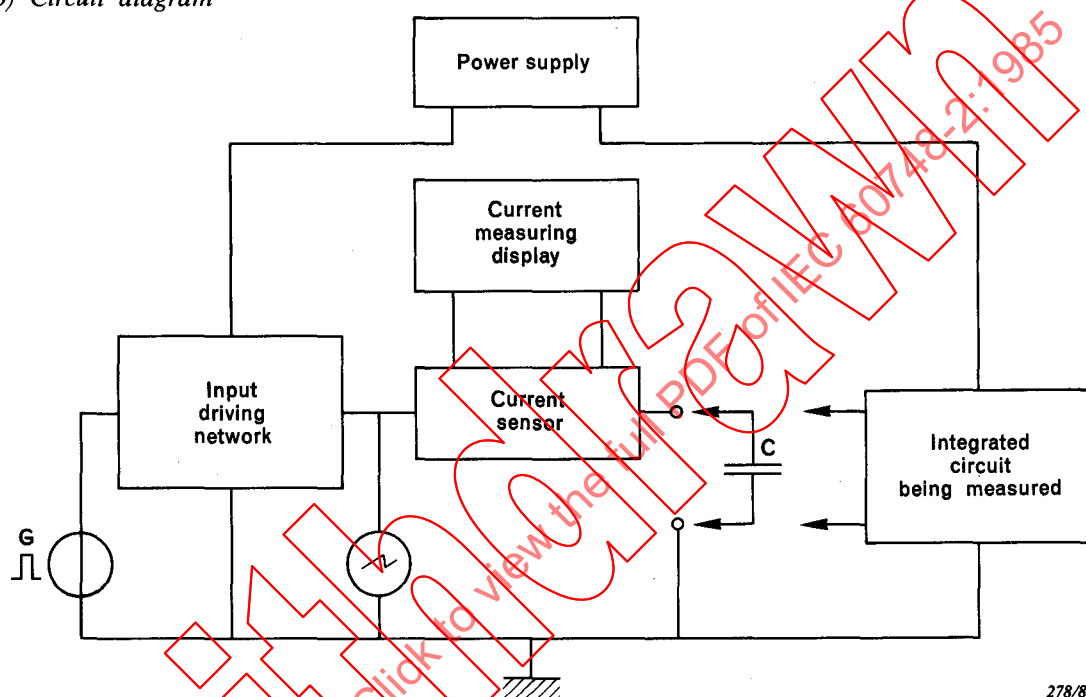
3.1 Current measurement: input and output capacitances for large-signal operation 6

a) Purpose

To measure under large-signal conditions the input capacitance or output capacitance of a digital integrated circuit under specified conditions.

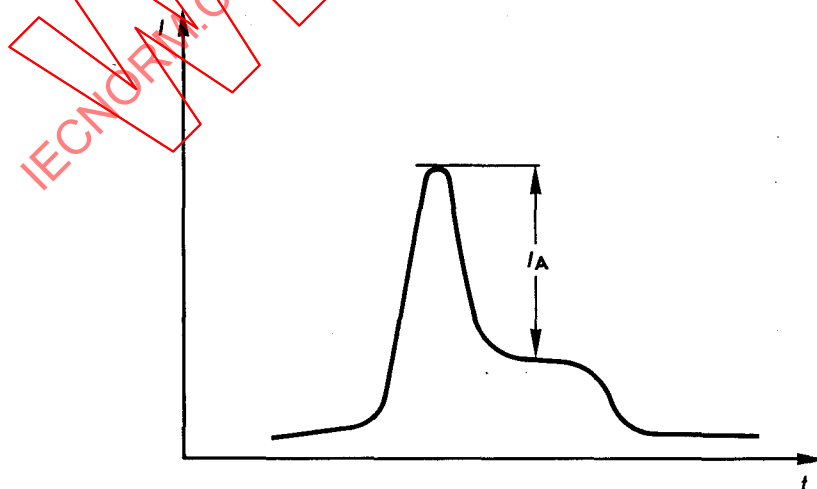
Note. — This method may be not suitable for measuring the input or output capacitance of an integrated circuit that has a very low input or output parallel resistance.

b) Circuit diagram



278/85

FIGURE 44



068/79

FIG. 45. — Measured current waveform.

c) *Description et exigences du circuit*

La méthode consiste dans le choix d'un condensateur qui, pour une forme d'onde de tension appliquée, donne la même réponse de courant de pointe que la capacité d'entrée (de sortie) du circuit intégré en mesure.

Le générateur d'impulsions de tension fournit la forme d'onde de commutation. Le courant de pointe I_A , représenté dans la figure 45, page 220, est mesuré avec le dispositif de mesure du courant.

Le temps de transition de l'impulsion de commande appliquée au circuit intégré en mesure doit être inférieur à:

$$\frac{C_{\min} V}{I_{\max}}$$

où:

$C_{\min}$ = plus faible valeur possible de la capacité à mesurer

V = amplitude spécifiée de la tension de l'impulsion de commande

$I_{\max}$ = valeur maximale spécifiée du courant continu dans la borne d'essai

L'impédance de sortie du réseau de commande d'entrée doit être suffisamment faible pour que, dans la gamme des capacités à mesurer, une variation dans le rapport de 2 à 1 de la capacité appliquée à la borne d'essai ne change pas le temps de transition de plus de 5%.

L'impédance d'entrée du dispositif de mesure du courant doit être faible devant l'impédance d'entrée (de sortie) du circuit en mesure.

d) *Précautions à prendre*

Aucune précaution spéciale n'est nécessaire.

e) *Exécution*

Régler la température à la valeur spécifiée.

Connecter le circuit intégré au circuit de mesure et régler la (les) tension(s) d'alimentation aux valeurs spécifiées.

Régler les tensions de commande et les conditions sur les autres bornes aux valeurs spécifiées. Appliquer l'impulsion de commande à la borne d'essai et régler son amplitude à la valeur spécifiée.

Mesurer la valeur du courant de pointe I_A représenté dans la figure 45.

Retirer le circuit intégré du circuit de mesure.

Déterminer par substitution la valeur du condensateur qui donne la même valeur du courant de pointe I_A .

f) *Conditions spécifiées*

- Température ambiante ou température d'un point de référence.
- Tension(s) d'alimentation.
- Conditions de l'impulsion de commande à la borne d'essai:
 - amplitude;
 - largeur;
 - temps de croissance;
 - temps de décroissance;
 - fréquence de répétition.
- Conditions pour les autres bornes.

c) Circuit description and requirements

The method consists of the selection of a capacitor which gives the same current peak response to a voltage waveform as the input (output) capacitance of the integrated circuit being measured.

The pulse generator provides the required switching waveform. The peak current I_A as shown in Figure 45, page 221, is measured by the current measuring device.

The transition time of the driving pulse applied to the integrated circuit being measured shall be less than:

$$\frac{C_{\min} V}{I_{\max}}$$

where:

$C_{\min}$ = minimum expected value of the capacitance to be measured

V = specified voltage amplitude of the driving pulse

$I_{\max}$ = maximum specified value of the direct current into the terminal under test

The output impedance of the input driving network shall be low enough such that, within the range of capacitance to be measured, a 2 to 1 variation in the capacitance applied at the test terminal does not change the transition time as seen at the test terminal by more than 5%.

The input impedance of the current measuring device shall be low compared with the input (output) impedance of the circuit being measured.

d) Precautions to be observed

No special precautions are required.

e) Measurement procedure

The temperature is set to the specified value.

The integrated circuit is connected into the measurement circuit and the power supply voltage(s) are set to the specified values.

The control voltages and conditions at other terminals are set to the specified values. The driving pulse is applied to the test terminal and set to the specified amplitude.

The value of the peak current I_A as shown in Figure 45 is measured.

The integrated circuit is removed from the measurement circuit.

The value of the capacitor which gives the same value of the peak current I_A is determined by substitution.

f) Specified conditions

- Ambient or reference-point temperature.
- Supply voltage(s).
- Driving pulse conditions at the test terminal:
 - amplitude;
 - width;
 - rise time;
 - fall time;
 - repetition frequency.
- Conditions at other terminals.

3.2 Mesure de tension: capacités d'entrée et de sortie équivalentes, résistances d'entrée et de sortie équivalentes 11

On peut utiliser deux méthodes de mesure:

- l'une basée sur une méthode de mesure de tension en grands signaux;
- l'autre basée sur une méthode de pont en petits signaux.

Notes 1. — La préférence doit être donnée à la méthode en grands signaux.

2. — La méthode utilisée doit être spécifiée lorsqu'il existe des valeurs données pour ces caractéristiques.

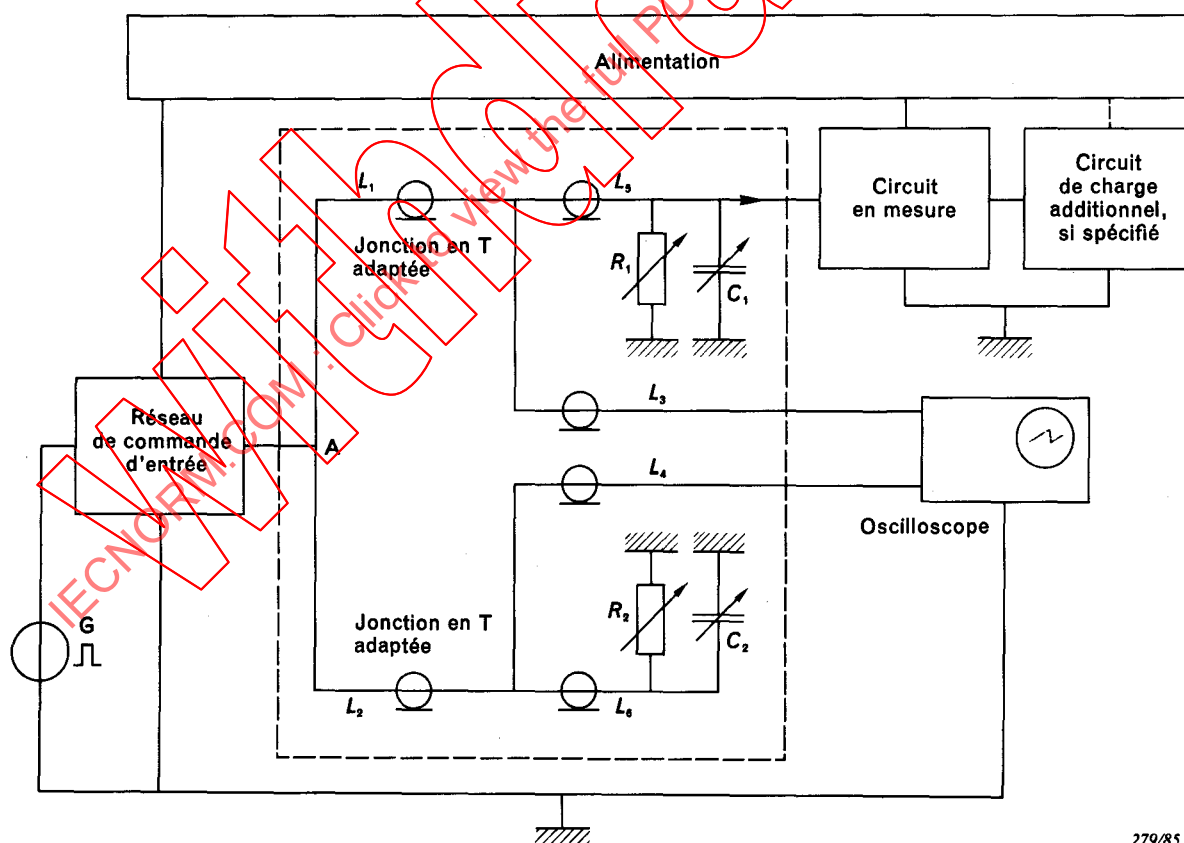
3.2.1 Méthode en grands signaux

a) But

Mesurer la capacité d'entrée équivalente et la capacité de sortie équivalente et/ou la résistance d'entrée équivalente et la résistance de sortie équivalente d'un circuit intégré digital lorsqu'il est commuté d'un niveau défini à un autre, dans des conditions spécifiées.

Note. — La mesure de la capacité d'entrée équivalente (ou de la capacité de sortie équivalente) reste possible si le circuit intégré a une résistance d'entrée (ou de sortie) inférieure ou égale à l'impédance caractéristique de la ligne utilisée pour cette mesure. Seule une très faible résistance d'entrée (ou de sortie) shunte la capacité d'entrée (ou de sortie) de telle façon qu'aucune mesure de capacité ne soit possible. Dans ce cas cependant, la capacité est sans importance pour les applications pratiques et sa mesure est remplacée par celle de la résistance.

b) Schéma



279/85

FIG. 46. — Mesure de la capacité équivalente d'entrée ou de la capacité équivalente de sortie et/ou de la résistance d'entrée équivalente ou de sortie d'un circuit intégré.

3.2 Voltage measurement: equivalent input and output capacitances, equivalent input and output resistances 11

Two methods of measurement may be used:

- one based on a large-signal voltage measurement method;
- the other based on a small-signal bridge method.

Notes 1. — Preference shall be given to the large-signal method.

2. — When stating values of these characteristics, the method used shall be specified.

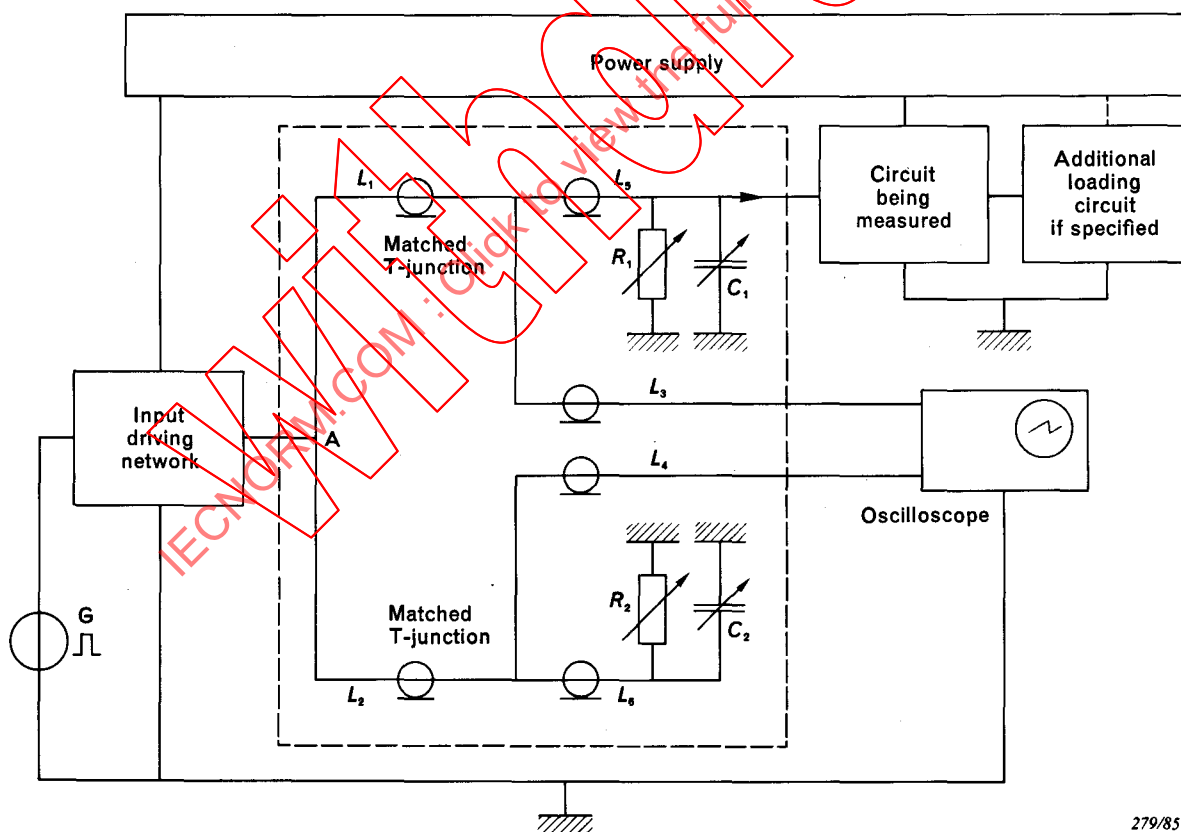
3.2.1 Large-signal method

a) Purpose

To measure the equivalent input capacitance and equivalent output capacitance and/or the equivalent input resistance and equivalent output resistance of a digital integrated circuit when switched from one defined level to another, under specified conditions.

Note. — Measurement of the equivalent input capacitance or equivalent output capacitance is still possible if the integrated circuit has an input or output (respectively) resistance comparable with or less than the characteristic impedance of the line used for this measurement. Only a very low input resistance or output resistance will shunt the input or output capacitance, so that no measurement of capacitance is possible. In this case, however, capacitance is of no importance in practical applications and its measurement is replaced by the measurement of resistance.

b) Circuit diagram



279/85

FIG. 46. — Measurement of equivalent input capacitance or equivalent output capacitance and/or equivalent input or output resistance of an integrated circuit.