

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60748-20

QC 760000

Première édition
First edition
1988-06

**Dispositifs à semiconducteurs
Circuits intégrés**

Vingtième partie:

Spécification générique pour les circuits intégrés
à couches et les circuits intégrés hybrides à couches

**Semiconductor devices
Integrated circuits**

Part 20:

Generic specification for film integrated circuits
and hybrid film integrated circuits



Numéro de référence
Reference number
CEI/IEC 60748-20: 1988

Numéros des publications

Depuis le 1^{er} janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- «Site web» de la CEI*
- **Catalogue des publications de la CEI**
Publié annuellement et mis à jour régulièrement
(Catalogue en ligne)*
- **Bulletin de la CEI**
Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique*, la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles*, et la CEI 60617: *Symboles graphiques pour schémas*.

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
Published yearly with regular updates

(On-line catalogue)*
- **IEC Bulletin**
Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams*.

* See web site address on title page.

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

60748-20

QC 760000

Première édition
First edition
1988-06

**Dispositifs à semiconducteurs
Circuits intégrés**

Vingtième partie:

Spécification générique pour les circuits intégrés
à couches et les circuits intégrés hybrides à couches

**Semiconductor devices
Integrated circuits**

Part 20:

Generic specification for film integrated circuits
and hybrid film integrated circuits

© IEC 1988 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni
utilisée sous quelque forme que ce soit et par aucun
procédé, électronique ou mécanique, y compris la photo-
copie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in
any form or by any means, electronic or mechanical,
including photocopying and microfilm, without permission in
writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300

3, rue de Varembé Geneva, Switzerland
e-mail: inmail@iec.ch IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE

X

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

	Pages
PREAMBULE.....	4
PREFACE.....	4
Articles	
SECTION 1 - DOMAINE D'APPLICATION, OBJET ET CLASSIFICATION	
1.1 Domaine d'application	6
1.2 Objet.....	6
1.3 Classification technologique des CIHC et C.....	6
SECTION 2 - GENERALITES	
2.1 Ordre de priorité.....	8
2.2 Documents de référence	8
2.3 Unités et symboles	12
2.4 Terminologie.....	12
2.5 Valeurs normales et préférentielles.....	22
2.6 Marquage.....	22
SECTION 3 - PROCEDURE D'ASSURANCE DE LA QUALITE	
3.1 Etape initiale de fabrication.....	24
3.2 Etapes de fabrication et sous-traitance.....	24
3.3 Agrément du fabricant.....	26
3.4 Qualification des circuits intégrés à couches et des circuits intégrés hybrides à couches.....	26
3.5 Homologation	28
3.6 Agrément de savoir-faire	30
3.7 Rapports certifiés de lots acceptés.....	40
3.8 Livraisons différées	42
3.9 Livraisons des CIHC et C soumis à des essais destructifs et non destructifs	42
3.10 Procédure complémentaire pour les livraisons.....	42
3.11 Informations complémentaires.....	42
SECTION 4 - CONDITIONS D'ESSAIS ET DE MESURES	
4.1 Généralités	42
4.2 Conditions normales d'essai	44
4.3 Examen visuel	48
4.4 Mesures électriques.....	48
4.5 Essais climatiques et de robustesse mécanique.....	54

CONTENTS

	Page
FOREWORD.....	5
PREFACE.....	5
Clause	
SECTION 1 - SCOPE, OBJECT AND CLASSIFICATION	
1.1 Scope	7
1.2 Object.....	7
1.3 Technological classification of F and HFICs	7
SECTION 2 - GENERAL	
2.1 Order of precedence.....	9
2.2 Related documents.....	9
2.3 Units and symbols.....	13
2.4 Terminology	13
2.5 Standard and preferred values	23
2.6 Marking	23
SECTION 3 - QUALITY ASSESSMENT PROCEDURES	
3.1 Primary stage of manufacture.....	25
3.2 Manufacturing stages and sub-contracting	25
3.3 Manufacturer approval	27
3.4 Approval of film integrated circuits and hybrid film integrated circuits.....	27
3.5 Qualification approval.....	29
3.6 Capability approval.....	31
3.7 Certified records of released lots	41
3.8 Delayed deliveries	43
3.9 Delivery of F and HFICs subjected to destructive or non-destructive tests.....	43
3.10 Supplementary procedure for deliveries	43
3.11 Supplementary information	43
SECTION 4 - TEST AND MEASUREMENT PROCEDURES	
4.1 General	43
4.2 Standard conditions for testing	45
4.3 Visual examination.....	49
4.4 Electrical measurement procedures	49
4.5 Environmental testing procedures	55

COMMISSION ELECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS A SEMICONDUCTEURS
CIRCUITS INTEGRES

Vingtième partie: Spécification générique pour les circuits intégrés
à couches et les circuits intégrés hybrides à couches

PREAMBULE

- 1) Les décisions ou accords officiels de la CEI en ce qui concerne les questions techniques, préparés par des Comités d'Etudes où sont représentés tous les Comités nationaux s'intéressant à ces questions, expriment dans la plus grande mesure possible un accord international sur les sujets examinés.
- 2) Ces décisions constituent des recommandations internationales et sont agréées comme telles par les Comités nationaux.
- 3) Dans le but d'encourager l'unification internationale, la CEI exprime le vœu que tous les Comités nationaux adoptent dans leurs règles nationales le texte de la recommandation de la CEI, dans la mesure où les conditions nationales le permettent. Toute divergence entre la recommandation de la CEI et la règle nationale correspondante doit, dans la mesure du possible, être indiquée en termes clairs dans cette dernière.

PREFACE

La présente norme a été préparée par le Sous-Comité 47A Circuits intégrés, du Comité d'Etudes n° 47 de la CEI: Dispositifs semiconducteurs.

Cette publication est une spécification générique pour les circuits intégrés à couches et les circuits intégrés hybrides à couches, dans le domaine du Système CEI d'assurance de la qualité des composants électroniques (IECQ).

Le texte de cette norme est issu des documents suivants:

Règle des Six Mois	Rapport de vote	Procédure des Deux Mois	Rapport de vote
47A(BC)163	47A(BC)166	47A(BC)180	47A(BC)192

Les rapports de vote indiqués dans le tableau ci-dessus donnent toute information sur le vote ayant abouti à l'approbation de cette norme.

Le numéro QC qui figure sur la page de couverture de la présente publication est le numéro de spécification dans le Système CEI d'assurance de la qualité des composants électroniques (IECQ).

INTERNATIONAL ELECTROTECHNICAL COMMISSION

SEMICONDUCTOR DEVICES
INTEGRATED CIRCUITS

Part 20: Generic specification for film integrated
circuits and hybrid film integrated circuits

FOREWORD

- 1) The formal decisions or agreements of the IEC on technical matters, prepared by Technical Committees on which all the National Committees having a special interest therein are represented, express, as nearly as possible, an international consensus of opinion on the subjects dealt with.
- 2) They have the form of recommendations for international use and they are accepted by the National Committees in that sense.
- 3) In order to promote international unification, the IEC expresses the wish that all National Committees should adopt the text of the IEC recommendation for their national rules in so far as national conditions will permit. Any divergence between the IEC recommendation and the corresponding national rules should, as far as possible, be clearly indicated in the latter.

PREFACE

This standard has been prepared by IEC Sub-Committee 47A: Integrated Circuits, of IEC Technical Committee No. 47: Semiconductor Devices.

This publication is a generic specification for film integrated circuits and hybrid film integrated circuits, in the field of the IEC Quality Assessment System for Electronic Components (IECQ).

The text of this standard is based on the following documents:

Six Months' Rule	Report on Voting	Two Months' Procedure	Report on Voting
47A(C0)163	47A(C0)166	47A(C0)180	47A(C0)192

Full information on the voting for the approval of this standard can be found in the Voting Reports indicated in the above table.

The QC number that appears on the front cover of this publication is the specification number in the IEC Quality Assessment System for Electronic Components (IECQ).

DISPOSITIFS A SEMICONDUCTEURS
CIRCUITS INTEGRES

Vingtième partie: Spécification générique pour les circuits intégrés
à couches et les circuits intégrés hybrides à couches

SECTION 1 - DOMAINE D'APPLICATION, OBJET ET CLASSIFICATION

1.1 Domaine d'application

La présente spécification générique est applicable aux circuits intégrés à couches et aux circuits intégrés hybrides à couches (CIHC et C), actifs et passifs, comme dans la Publication 748-1 de la CEI, Chapitre IV, paragraphe 2.4.

Elle s'applique également aux CIHC et C semi-finis fournis à des clients pour traitement ultérieur et aux circuits type boîtiers pavés (chip carrier) à plus d'un cristal, pourvu qu'ils soient, en tant que produits séparés, interconnectés par les techniques d'interconnexion à couches.

Cette spécification n'est pas destinée à couvrir les cartes de circuits imprimés mais est applicable aux CIHC et C qui peuvent les contenir.

1.2 Objet

La présente spécification définit les procédures d'assurance de la qualité et les méthodes d'essais électriques, climatiques, mécaniques et d'endurance.

Elle formule les exigences qui s'appliquent à l'acceptation des circuits utilisant soit les procédures d'homologation, soit les procédures d'agrément de savoir-faire (voir articles 3.5 et 3.6 respectivement).

1.3 Classification technologique des CIHC et C

Les CIHC et C sont classés selon leur structure et leur technologie de fabrication comme indiqué dans le tableau I.

SEMICONDUCTOR DEVICESINTEGRATED CIRCUITSPart 20: Generic specification for film integrated
circuits and hybrid film integrated circuits

SECTION 1 - SCOPE, OBJECT AND CLASSIFICATION

1.1 Scope

This generic specification is applicable to film integrated circuits and to hybrid film integrated circuits (F and HFICs), both passive and active, as in IEC Publication 748-1, Chapter IV, Sub-clause 2.4.

It applies also to partly-completed F and HFICs supplied to customers for subsequent processing. This specification also applies to chip carrier circuits having more than one chip, provided that they, as separate products, have been interconnected by film interconnection techniques.

This specification is not intended to cover printed circuit boards but is applicable to F and HFICs which may include them.

1.2 Object

This specification defines the quality assessment procedures and the methods for electrical, climatic, mechanical and endurance tests.

It outlines the requirements which shall be applied to the release of circuits using either qualification approval procedures or capability approval procedures. The requirements of these procedures are given in Clauses 3.5 and 3.6 respectively.

1.3 Technological classification of F and HFICs

F and HFICs are classified according to their structure and technology of manufacture as shown in Table I.

Tableau I

Couche	1) Couche épaisse 2) Couche mince 3) Autres
Structure du circuit	1) Circuits passifs à couches minces et à couches épaisses 2) Circuits actifs à couches minces et à couches épaisses 3) Circuits intégrés hybrides à couches 4) Combinaisons à plusieurs substrats
Composants rapportés	0) Aucun 1) Tous les types de dispositifs passifs et/ou composants actifs encapsulés 2) Tous les types de dispositifs passifs ou actifs y compris les pastilles nues de semiconducteurs
Encapsulation du circuit	1) Sans 2) Enrobé 3) Cavité à scellement organique ou à paroi organique 4) Cavité à scellement minéral et à parois minérales

SECTION 2 - GENERALITES

2.1 Ordre de priorité

S'il se présente des divergences pour quelque raison que ce soit, l'ordre de priorité des documents est le suivant:

- spécification particulière;
- spécification intermédiaire;
- spécification générique;
- règles de procédure (IECQ), Publication QC 001002 de la CEI;
- règles fondamentales (IECQ), Publication QC 001001 de la CEI;
- autres documents internationaux, par exemple publications de la CEI, auxquels il est fait référence.

Le même ordre de priorité s'applique aux documents nationaux équivalents.

2.2 Documents de référence

La spécification particulière doit indiquer quels sont les documents applicables.

Table I

Film	1) Thick film 2) Thin film 3) Other
Circuit structure	1) Passive thin and thick film circuits 2) Active thin and thick film circuits 3) Hybrid film integrated circuits 4) Multiple substrate combinations
Added components	0) None 1) All types of passive and/or encapsulated active devices 2) All types of passive and active devices including unencapsulated semiconductor dice
Circuit encapsulation	1) None 2) Embedded 3) Cavity with any organic seal or wall 4) Cavity with inorganic seal and walls

SECTION 2 - GENERAL

2.1 Order of precedence

Where any discrepancies occur for any reason, documents shall rank in the following order of precedence:

- the detail specification;
- the sectional specification;
- the generic specification;
- rules of procedure (IECQ), IEC Publication QC 001002;
- basic rules (IECQ), IEC Publication QC 001001;
- any other international documents, for example IEC publications to which reference is made.

The same order of precedence shall apply to equivalent national documents.

2.2 Related documents

The detail specification shall indicate the applicable documents.

Publications de la CEI:

- Publication 27-1 (1971): Symboles littéraux à utiliser en électronique, Première partie: Généralités.
- 50: Vocabulaire Electrotechnique International (VEI)
- 68: Essais fondamentaux climatiques et de robustesse mécanique.
- 68-1 (1982): Première partie: Généralités.
- 68-2: Deuxième partie: Essais.
- 68-2-1 (1974): Essais A: Froid.
- 68-2-1A (1976): Premier complément à la Publication 68-2-1 (1974).
- 68-2-2 (1974): Essais B: Chaleur sèche.
- 68-2-2A (1976): Premier complément à la Publication 68-2-2 (1974).
- 68-2-3 (1969): Essai Ca: Essai continu de chaleur humide.
- 68-2-6 (1982): Essai Fc et guide: Vibrations (sinusoïdales).
- 68-2-7 (1983): Essai Ga: Accélération constante.
- 68-2-11 (1981): Essai Ka: Brouillard salin.
- 68-2-14 (1984): Essai N: Variations de température.
- 68-2-17 (1978): Essai Q: Etanchéité.
- 68-2-20 (1979): Essai T: Soudure.
- 68-2-21 (1983): Essai U: Robustesse des sorties et des dispositifs de fixation.
- 68-2-27 (1972): Essai Ea: Chocs.
- 68-2-30 (1980): Essai Db et guide: Essai cyclique de chaleur humide (cycle de 12 + 12 heures).
- 68-2-45 (1980): Essai XA et guide: Immersion dans les solvants de nettoyage.
- 68-3-1 (1974): Troisième partie: Informations de base, Section un - Essais de froid et de chaleur sèche.
- 191-1 (1966): Normalisation mécanique des dispositifs à semiconducteurs, Première partie: Préparation des dessins des dispositifs à semiconducteurs.

IEC publications:

Publication 27-1 (1971): Letter symbols to be used in electrical technology, Part 1: General.

50: International Electrotechnical Vocabulary (IEV).

68: Basic environmental testing procedures.

68-1 (1982): Part 1: General and guidance.

68-2: Part 2: Tests.

68-2-1 (1974): Tests A: Cold.

68-2-1A (1976): First supplement to Publication 68-2-1 (1974).

68-2-2 (1974): Tests B: Dry heat.

68-2-2A (1976): first supplement to Publication 68-2-2 (1974).

68-2-3 (1969): Test Ca: Damp heat, steady state.

68-2-6 (1982): Test Fc and guidance: Vibration (sinusoidal).

68-2-7 (1983): Test Ga and guidance: Acceleration, steady state.

68-2-11 (1981): Test Ka: Salt mist.

68-2-14 (1984): Test N: Change of temperature.

68-2-17 (1978): Test Q: Sealing.

68-2-20 (1979): Test T: Soldering.

68-2-21 (1983): Test U: Robustness of terminations and integral mounting devices.

68-2-27 (1972): Test Ea: Shock.

68-2-30 (1980): Test Db and guidance: Damp heat, cyclic (12 + 12-hour cycle).

68-2-45 (1980): Test XA and guidance: Immersion in cleaning solvents.

68-3-1 (1974): Part 3: Background information, Section One - cold and dry heat tests.

191-1 (1966): Mechanical standardization of semiconductor devices. Part 1: Preparation of drawings of semiconductor devices.

- 191-2 (1966): Deuxième partie: Dimensions.
- 191-3 (1974): Troisième partie: Règles générales pour la préparation des dessins d'encombrement des circuits intégrés
- 410 (1973): Plans et règles d'échantillonnage pour les contrôles par attributs.
- 695-2-2 (1980): Essais relatifs aux risques de feu, Deuxième partie: Méthodes d'essai - Essai au brûleur-aiguille.
- 747-1 (1983): Dispositifs à semiconducteurs. Dispositifs discrets et circuits intégrés. Première partie: Généralités.
- 748-1 (1984): Dispositifs à semiconducteurs. Circuits intégrés. Première partie: Généralités.
- 749 (1984): Dispositifs à semiconducteurs. Essais mécaniques et climatiques.
- QC 001001 (1986): Règles fondamentales du Système CEI d'assurance de la qualité des composants électroniques (IECQ).
- QC 001002 (1986): Règles de procédure du Système CEI d'assurance de la qualité des composants électroniques (IECQ).

2.3 Unités et symboles

Autant que possible, les unités, les symboles graphiques et les symboles littéraux doivent être choisis dans les publications suivantes:

- Publication 27 de la CEI: Symboles littéraux à utiliser en électrotechnique.
- Publication 617 de la CEI: Symboles graphiques pour schémas.
- Norme ISO 1000 (1981): Unités SI et recommandations pour l'emploi de leurs multiples et de certaines autres unités.

Les autres unités et symboles nécessaires doivent être établis conformément aux principes des publications citées ci-dessus.

2.4 Terminologie (pour information)

Autant que possible, la terminologie doit être choisie dans:

- Publication 50 de la CEI: Vocabulaire Electrotechnique International (VEI).

- 191-2 (1966): Part 2: Dimensions.
- 191-3 (1974): Part 3: General rules for the preparation of outline drawings of integrated circuits.
- 410 (1973): Sampling plans and procedures for inspection by attributes.
- 695-2-2 (1980): Fire hazard testing, Part 2: Test methods. Needle-flame test.
- 747-1 (1983): Semiconductor devices. Discrete devices and integrated circuits, Part 1: General.
- 748-1 (1984): Semiconductor devices. Integrated circuits, Part 1: General.
- 749 (1984): Mechanical and climatic test methods.
- QC 001001 (1986): Basic rules for the IEC quality assessment system for electronic components (IECQ).
- QC 001002 (1986): Rules of procedure of the IEC quality assessment system for electronic components (IECQ).

2.3 Units and symbols

Units, graphical symbols and letter symbols shall, whenever possible, be taken from the following publications:

- IEC Publication 27: Letter symbols to be used in electrical technology.
- IEC Publication 617: Graphical symbols for diagrams.
- ISO Standard 1000 (1981): SI units and recommendations for the use of their multiples and of certain other units.

Any other units and symbols required shall be derived in accordance with the principles of the publications listed above.

2.4 Terminology (for information)

Terminology shall, wherever possible, be taken from:

- IEC Publication 50: International Electrotechnical Vocabulary (IEV).

Les autres termes nécessaires doivent être établis conformément aux principes de la publication citée ci-dessus.

2.4.1 *Microélectronique* (CEI 748-1)

Concept de la construction et de l'utilisation de circuits électroniques fortement miniaturisés.

2.4.2 *Microstructure* (CEI 748-1)

Dispositif microélectronique ayant une forte densité d'éléments de circuit et/ou de composants et qui est considéré comme une seule unité.

Note.- Une microstructure peut être un microassemblage ou un (micro) circuit intégré.

2.4.3 *Circuit intégré* (CEI 748-1 modifiée)

Circuit dans lequel les éléments de circuit sont associés d'une manière inséparable et électriquement interconnectés de sorte que, pour les besoins des spécifications, essais, commerce et maintenance il est considéré comme indivisible.

Note.- Pour cette définition, un élément de circuit n'a ni enveloppe ni connexion de sortie, et n'est ni spécifié ni vendu comme un article séparé.

2.4.4 *Microcircuit intégré* (CEI 748-1 modifiée)

Microstructure dans laquelle les éléments de circuit sont associés d'une manière inséparable et électriquement interconnectés de sorte que, pour les besoins des spécifications, essais, commerce et maintenance, elle est considérée comme indivisible.

Notes 1.- Pour cette définition, un élément de circuit n'a ni enveloppe ni connexion de sortie, et n'est ni spécifié ni vendu comme un article séparé.

2.- Lorsqu'il ne peut y avoir de confusion, le terme "microcircuit intégré" peut être abrégé en "circuit intégré".

3.- On peut utiliser des termes qualificatifs supplémentaires pour décrire la technique utilisée dans la fabrication d'un microcircuit intégré spécifique.

Exemples d'utilisation de termes qualificatifs:

- circuit intégré monolithique à semiconducteurs;
- circuit intégré multipastille à semiconducteurs;
- circuit intégré à couches minces;
- circuit intégré à couches épaisses;
- circuit intégré hybride.

2.4.5 *Microassemblage* (CEI 748-1 modifiée)

Microstructure constituée de différents composants et/ou de microcircuits intégrés qui sont construits séparément et peuvent être essayés avant d'être assemblés et encapsulés.

Any other terminology required should be derived in accordance with the principles of this publication.

2.4.1 *Microelectronics* (IEC 748-1)

The concept of the construction and use of highly miniaturized electronic circuits.

2.4.2 *Microcircuit* (IEC 748-1)

A microelectronic device, having a high equivalent circuit-element and/or component density, which is considered as a single unit.

Note.- A microcircuit may be a micro-assembly or an integrated (micro)circuit.

2.4.3 *Integrated circuit* (IEC 748-1 modified)

A circuit in which a number of circuit elements are inseparably associated and electrically interconnected such that, for the purpose of specification, testing, commerce and maintenance, it is considered indivisible.

Note.- For this definition, a circuit element does not have an envelope or external connection and is not specified or sold as a separate item.

2.4.4 *Integrated microcircuit* (IEC 748-1 modified)

A microcircuit in which a number of circuit elements are inseparably associated and electrically interconnected such that, for the purpose of specification and testing and commerce and maintenance, it is considered indivisible.

Notes 1.- For this definition, a circuit element does not have an envelope or external connection and is not specified or sold as a separate item.

2.- Where no misunderstanding is possible, the term "integrated microcircuit" may be abbreviated to "integrated circuit".

3.- Further qualifying terms may be used to describe the technique used in the manufacture of a specific integrated microcircuit.

Examples of use of qualifying terms:

- semiconductor monolithic integrated circuit;
- semiconductor multi-chip integrated circuit;
- thin film integrated circuit;
- thick film integrated circuit;
- hybrid integrated circuit.

2.4.5 *Micro-assembly* (IEC 748-1 modified)

A microcircuit consisting of various components and/or integrated micro-circuits which are constructed separately and which can be tested before being assembled and packaged.

Notes 1.- Pour cette définition, un composant possède des connexions de sorties et éventuellement une enveloppe, et il peut être également spécifié et vendu comme article séparé.

2.- On peut utiliser des termes qualificatifs supplémentaires pour décrire la forme des composants et/ou la technique d'assemblage utilisée dans la construction d'un micro-assemblage spécifique.

Exemples d'utilisation de termes qualificatifs:

- microassemblage de circuits intégrés multipastilles;
- microassemblage de composants discrets.

2.4.6 *Circuit intégré à semiconducteurs* (VEI 521-10-06 modifié)

Circuit intégré dont les éléments et les interconnexions sont réalisés dans ou sur un substrat semiconducteur.

2.4.7 *Microcircuit multipastille*

Microcircuit contenant des composants pour montage en surface qui sont montés séparément sur un substrat.

2.4.8 *Couche*

Matériau solide formé par tout procédé de dépôt directement sur un substrat solide.

2.4.9 *Feuille*

Couche solide qui peut être manipulée indépendamment d'un substrat.

2.4.10 *Couche mince*

Couche déposée sur un substrat par procédé additif tel que évaporation sous vide, pulvérisation et déposition chimique de vapeur.

2.4.11 *Couche épaisse*

Couche déposée sur un substrat, habituellement par sérigraphie.

2.4.12 *Circuit intégré à couches*

Circuit intégré dont les éléments et les interconnexions sont des couches déposées à la surface d'un substrat isolant. Les éléments des couches peuvent être actifs ou passifs.

2.4.13 *Circuit intégré hybride*

Circuit intégré formé par l'assemblage des circuits intégrés à semiconducteurs et à couches ou par l'assemblage des circuits à éléments discrets.

2.4.14 *Circuit intégré hybride à couches*

Circuit intégré à couches sur lequel au moins un composant, encapsulé ou non, a été rapporté.

- Notes* 1.- For this definition, a component has external connections and possibly an envelope as well and it can also be specified and sold as a separate item.
- 2.- Further qualifying terms may be used to describe the form of the components and/or the assembly techniques used in the construction of a specific micro-assembly.

Examples of use of qualifying terms:

- semiconductor multi-chip micro-assembly;
- discrete component micro-assembly.

2.4.6 *Semiconductor integrated circuit* (IEV 521-10-06 modified)

An integrated circuit whose elements and interconnections are formed within and upon a semiconductor.

2.4.7 *Multichip microcircuit*

A microcircuit containing chip components for surface mounting which are separately mounted upon a substrate.

2.4.8 *Film*

A layer of solid formed by any deposition process in-situ upon a solid substrate.

2.4.9 *Foil*

A solid film which can be handled independent of a substrate.

2.4.10 *Thin film*

A film deposited upon a substrate by an accretion process such as vacuum evaporation, sputtering and chemical vapour deposition.

2.4.11 *Thick film*

A film deposited upon a substrate, usually by a screen printing process.

2.4.12 *Film integrated circuit*

An integrated circuit whose elements and interconnections are films formed on an insulating substrate surface. The film elements may be active or passive.

2.4.13 *Hybrid integrated circuit*

An integrated circuit formed by any combination of semiconductor and film integrated circuits or by the combination of any of these circuits with discrete elements.

2.4.14 *Hybrid film integrated circuit*

A film integrated circuit on which at least one component, encapsulated or unencapsulated, has been mounted.

2.4.15 *Circuit intégré hybride à couches passif*

Circuit intégré hybride à couches dont tous les éléments sont passifs.

2.4.16 *Circuit intégré hybride à couches actif*

Circuit intégré hybride à couches dont au moins un élément est actif.

2.4.17 *Circuit intégré hybride à couches à pastilles semiconductrices*

Circuit intégré hybride à couches contenant un ou plusieurs dispositifs à semiconducteur non encapsulés.

2.4.18 *Substrat*

Partie de matériau servant de base à des éléments de circuit à couches et/ou à des composants rapportés.

2.4.19 *Circuit multicouche*

Circuit avec plus d'un niveau de couches interconnexion, séparé par au moins une couche isolante ou un intervalle.

2.4.20 *Élément de circuit*

Élément passif ou actif d'un circuit intégré qui remplit une fonction électrique.

2.4.21 *Élément actif*

Élément de base de redressement, de commutation ou d'amplification dans une fonction de circuit.

Note.- Il peut aussi jouer le rôle de résistance ou de capacité dans une fonction de circuit ou transformer une énergie extérieure en une autre énergie.

Exemples: diodes, transistors, circuits intégrés à semiconducteurs, dispositifs à semiconducteurs photosensibles ou photo-émissifs.

2.4.22 *Élément passif*

Élément de base de résistance, de capacité ou d'inductance ou d'une combinaison de celles-ci dans une fonction du circuit.

Note.- Exemples: résistances, condensateurs, inductances, filtres, pistes d'interconnexion.

2.4.23 *Circuit intégré à couches minces*

(VEI 521-10-08)

Circuit intégré à couches dont les couches sont déposées par des techniques de dépôt sous vide pouvant être complétées par d'autres techniques de dépôt.

2.4.15 *Passive hybrid film integrated circuit*

A hybrid film integrated circuit in which all the elements are passive.

2.4.16 *Active hybrid film integrated circuit*

A hybrid film integrated circuit in which at least one element is active.

2.4.17 *Semiconductor chip hybrid film integrated circuit*

A hybrid film integrated circuit containing one or more unencapsulated semiconductor devices.

2.4.18 *Substrate*

A piece of material forming a supporting base for film circuit elements and/or added components.

2.4.19 *Multilayer film circuit*

A circuit of more than one layer of film interconnection, separated by at least one insulating film or gap.

2.4.20 *Circuit element*

An element, passive or active, of an integrated circuit that performs an electrical function.

2.4.21 *Active element*

An element primarily contributing electrical rectification, switching or gain to a circuit function.

Note.- Active elements may also be used to contribute resistance and capacitance to a circuit function, or to convert externally applied energy from one form to another.

Examples are diodes, transistors, semiconductor integrated circuits, light-sensing and light-emitting semiconductor devices.

2.4.22 *Passive element*

An element primarily contributing resistance, capacitance or inductance or a combination of these to a circuit function.

Note.- Examples are resistors, capacitors, inductors, filters, interconnecting tracks.

2.4.23 *Thin-film integrated circuit*

(IEV 521-10-08)

A film integrated circuit whose films are formed by vacuum deposition techniques, possibly supplemented by other deposition techniques.

2.4.24 *Circuit intégré à couches épaisses*

(VEI 521-10-09)

Circuit intégré à couches dont les couches sont déposées par impression, sérigraphie ou d'autres procédés analogues.

2.4.25 *Technique de dépôt en phase vapeur*

Dépôt de couches métalliques, isolantes ou semiconductrices, sur des substrats solides à partir d'une source de matériau en phase vapeur, par dépôt physique ou par réaction chimique.

2.4.26 *Technique de sérigraphie*

Dépôt de couches métalliques, isolantes ou semiconductrices, sur des substrats solides par pression de pâtes (encres) à travers des écrans.

2.4.27 *Couche plaquée*

Couche obtenue par dépôt chimique et/ou électrochimique.

2.4.28 *Connexion (borne)*

Conducteur (broche, borne, plot, etc.) assurant la liaison électrique extérieure du circuit intégré.

2.4.29 *Boîtier*

Totalité ou partie de l'enveloppe d'un circuit intégré qui assure:

- la protection mécanique;
- la protection contre l'environnement;
- les dimensions extérieures.

Le boîtier peut aussi contenir ou assurer les connexions. Il contribue aux caractéristiques thermiques du circuit intégré.

2.4.30 *Encapsulation*

Procédé général consistant à entourer un circuit ou des composants par une matière de protection contre les contraintes mécaniques et physicochimiques.

2.4.31 *Couche de protection*

Couche de matériau isolant appliquée sur les éléments de circuit, assurant une protection mécanique et contre la contamination.

2.4.32 *Enrobage*

Procédé utilisant des résines pouvant être durcies pour obtenir un corps enrobant l'ensemble électronique, par exemple:

- moulage sous pression;
- remplissage;
- revêtement par immersion;
- moulage par transfert.

2.4.24 *Thick-film integrated circuit*

(IEV 521-10-09)

A film integrated circuit whose films are formed by printing, serigraphy or other related techniques.

2.4.25 *Vapour phase deposition technique*

The deposition of conducting, insulating or semiconducting films onto solid substrates from a source material in the vapour phase by physical deposition or chemical reaction.

2.4.26 *Screen printing technique*

The deposition of films onto substrates by pressing pastes (inks) through screens.

2.4.27 *Plated film*

Film obtained through chemical and/or electrochemical deposition.

2.4.28 *Termination (terminal)*

Conductor (pin, tab, pad, etc.) providing external electrical access to the integrated circuit.

2.4.29 *Package*

Total or partial envelope of an integrated circuit which provides:

- mechanical protection;
- environmental protection;
- outline dimensions.

The package may also contain or provide terminations. It contributes to the thermal characteristics of the integrated circuit.

2.4.30 *Encapsulation*

Encapsulation is the general process of surrounding the circuit or components with a protection medium against mechanical and physical/chemical stresses.

2.4.31 *Protective coating*

A layer of insulating material applied over the circuit elements for the purpose of mechanical protection and prevention of contamination.

2.4.32 *Embedding*

A process using resins which can be hardened to produce a body embedding the electronic assembly, for example:

- casting;
- potting;
- dip-coating;
- transfer moulding.

2.4.33 Véhicule d'essais

Spécimen ne faisant pas nécessairement partie d'un circuit, mais représentatif d'au moins une opération de la chaîne de fabrication du circuit à qualifier, sur lequel il est possible d'effectuer des essais pour contrôler un ou plusieurs procédés.

2.4.34 Circuit de qualification de savoir-faire (CQC)

Spécimen d'essai utilisé pour garantir une partie ou la totalité du savoir-faire déclaré. Ce peut être soit un spécimen d'essai spécialement conçu dans ce but soit un circuit de production courante, soit la combinaison des deux.

2.4.35 Composant ou CIHC et C semi-fini

Composant ou CIHC et C non terminé prélevé sur la chaîne de fabrication. Il ne peut être utilisé pour l'assurance complète selon la spécification s'appliquant à son état final.

2.4.36 Composant rapporté

Composant raccordé mécaniquement et électriquement à un substrat.

2.4.37 Sélection

Examen ou essai appliqué à tous les produits d'un lot dans le but de détecter et d'éliminer les défaillances potentielles.

2.4.38 Niveau d'assurance

Degré d'assurance pour un acheteur qu'un circuit est conforme à la spécification. Il indique la répartition entre les essais lot par lot et les essais périodiques, ainsi que les sévérités du niveau de contrôle et du niveau de qualité acceptable (NQA) du plan d'échantillonnage.

2.5 Valeurs normales et préférentielles

Les valeurs doivent être choisies de préférence dans la liste suivante:

- dimensions: Publication 191-2 de la CEI;
- températures préférentielles (°C): -65, -55, -40, -25, -10, +5, +25, +40, +55, +70, +85, +100, +125, +155

2.6 Marquage

2.6.1 Les informations données par le marquage sont choisies dans la liste ci-dessous; leur importance relative est fonction de l'ordre suivant:

- 1) identification des connexions (par exemple position de la broche n° 1);
- 2) désignation du type;

2.4.33 *Process test vehicle*

A specimen, not necessarily of a circuit but representative of at least one operation in the production line for the circuit to be qualified, and on which tests can be carried out to validate control of one or more processes.

2.4.34 *Capability qualifying circuit (CQC)*

A test specimen used to assess, in part or in whole, a declared capability. It may be either a specially designed test specimen or a normal production circuit, or a combination of both.

2.4.35 *Partly completed component of F and HFICs*

A component of F and HFICs taken uncompleted from its production line. It cannot be used for complete assessment to the specification applicable in its normal finished state.

2.4.36 *Added component*

A component which is connected mechanically and electrically to a substrate.

2.4.37 *Screening*

Examination or testing applied to all products in a lot for the purpose of detecting and removing potential failures.

2.4.38 *Assessment level*

Reflects the degree of assurance the purchaser has that the circuit meets the specification. It also indicates the balance between lot by lot and periodic testing and severity of the inspection level and AQLs of the sampling plans.

2.5 Standard and preferred values

Values should preferably be chosen from the following list:

- dimensions: IEC Publication 191-2;
- preferred temperatures (°C) are: -65, -55, -40, -25, -10, +5, +25, +40, +55, +70, +85, +100, +125, +155.

2.6 Marking

2.6.1 The information given in the marking is selected from the following list; the relative importance of each item is indicated by its position in the list:

- 1) terminal identification (e.g. position of pin No. 1);
- 2) type designation;

- 3) date codée;
- 4) code d'identification de l'usine;
- 5) nom ou marque du fabricant;
- 6) marque de conformité (à moins qu'un certificat de conformité ne soit utilisé);
- 7) précautions particulières pour la manipulation et la sécurité.

2.6.2 Les indications 1) 2) et 3) ci-dessus doivent être marquées en clair sur les circuits, ainsi que toutes les autres indications, jugées nécessaires, qu'il est pratiquement possible de faire figurer.

Toute redondance dans le marquage des circuits doit être évitée.

2.6.3 Les informations correspondantes, résultant du paragraphe 2.6.1, doivent être marquées en clair sur l'emballage primaire des circuits.

2.6.4 Tout marquage supplémentaire doit être porté de telle manière qu'aucune confusion ne puisse être faite.

SECTION 3 - PROCEDURE D'ASSURANCE DE LA QUALITE

3.1 Etape initiale de fabrication

L'étape initiale de fabrication est la réalisation de la première couche sur la surface d'un substrat.

3.2 Etapas de fabrication et sous-traitance

3.2.1 *Etapas de fabrication dans une usine d'un fabricant agréé, située dans un pays qui n'est pas membre de la CEI*

- a) Les circuits fabriqués par un fabricant agréé dans une usine de sa société, située dans un pays qui n'est pas membre de la CEI, ne peuvent être livrés dans le cadre du Système que si les conditions de la Publication QC 001002 de la CEI, paragraphe 10.3, sont remplies.
- b) La spécification intermédiaire doit indiquer si, uniquement pour des raisons techniques, le principe de l'extension d'agrément des fabricants ne doit pas être appliqué pour une sous-famille ou un type de circuit donné.

3.2.2 *Sous-traitance des procédés de fabrication*

Les circuits fabriqués en partie dans une usine autre que celle du fabricant agréé ne peuvent être livrés dans le cadre du Système que si les conditions de la Publication QC 001002 de la CEI, paragraphes 10.3 et 11.1.2, sont remplies.

Les procédés sous-traités peuvent être soit la réalisation des couches, soit un ou deux des procédés suivants:

- ajustage des éléments;
- montage des composants;
- encapsulation.

- 3) date code;
- 4) factory identification code;
- 5) manufacturer's name or trade mark;
- 6) mark of conformity (unless a certificate of conformity is used);
- 7) special handling and safety precautions.

2.6.2 The circuits shall be clearly marked with Items 1), 2) and 3) above and with as many as possible of the remaining items as is considered necessary.

Any duplication of information in the marking of the circuits should be avoided.

2.6.3 The primary package containing the circuits shall be clearly marked with the relevant information from Sub-clause 2.6.1.

2.6.4 Any additional marking shall be so applied that no confusion can arise.

SECTION 3 - QUALITY ASSESSMENT PROCEDURES

3.1 Primary stage of manufacture

The primary stage of manufacture is the production of the first layer on the surface of a substrate.

3.2 Manufacturing stages and sub-contracting

3.2.1 *Manufacturing stages in a factory of an approved manufacturer in a non-IEC member country*

- a) Circuits manufactured by an approved manufacturer in a factory of his company in a non-IEC member country can be delivered under the system only if the conditions of IEC Publication QC 001002, Sub-clause 10.3, are met.
- b) The sectional specification shall indicate if, for technical reasons only, the principle of extension of manufacturer's approval shall not be applied for a given sub-family or type of circuit.

3.2.2 *Sub-contracting of manufacturing processes*

Circuits that are partly manufactured in a factory other than the approved manufacturer's can be delivered under the system only when the conditions of IEC QC 001002, Sub-clauses 10.3 and 11.1.2, are met.

The sub-contracted processes may be either the film production, or one or two of the following:

- trimming of elements;
- mounting of components;
- encapsulation.

Lorsque la conception initiale du tracé des couches a été effectuée par un client ou un tiers en accord avec le fabricant agréé, ce dernier a la responsabilité de garantir que cette conception correspond à ses règles et d'entreprendre toute correction nécessaire. Cette responsabilité ne doit pas être sous-traitée.

3.3 Agrément du fabricant

Pour obtenir l'agrément conformément aux règles de la Publication QC 001002 de la CEI, le fabricant doit définir la ou les classes technologiques pour lesquelles il demande l'agrément, conformément au tableau I de la Section 1.

3.4 Qualification des circuits intégrés à couches et des circuits intégrés hybrides à couches

3.4.1 *Procédures de qualification*

Pour qualifier un circuit, qu'il s'agisse d'un produit fabriqué soit à la demande soit en série (produit catalogue), l'une des deux procédures suivantes, conformes à celles qui sont définies dans la Publication QC 001002 de la CEI, article 11, peut être utilisée.

Pour couvrir les différentes exigences des nombreux secteurs de marché de l'électronique, trois niveaux d'assurance (K,L,M) sont spécifiés pour la qualification comme indiqué dans la spécification intermédiaire. Le niveau d'assurance M est le niveau assurant un minimum obligatoire; le niveau d'assurance L est plus élevé, avec des tailles d'échantillons plus importantes; le niveau d'assurance K est le plus élevé, avec, en outre, des tailles d'échantillons plus élevées et la spécification d'essais de sélection.

1) *Homologation*

Série d'essais correspondant au niveau d'assurance et à la sévérité appropriés appliquée directement au circuit à qualifier, comme décrit dans l'article 3.5 et dans la spécification intermédiaire applicable.

2) *Agrément de savoir-faire*

Le circuit et les circuits pour agrément de savoir-faire (CQC) sont associés pour les essais, et l'agrément est donné aux moyens de fabrication sur la base des règles de conception en vigueur, procédés et méthodes de contrôle de la qualité, comme décrit dans l'article 3.6 et dans la spécification intermédiaire applicable.

Note.- Avec l'agrément de savoir-faire, en plus des essais sur les circuits, le fabricant spécifie dans son manuel de savoir-faire ses procédures pour la conception, les matériaux, les procédés et accepte leur surveillance par l'Organisme National de Surveillance (ONS). Le contrôle est exercé par la combinaison d'essais lot par lot sur tous les circuits acceptés, en même temps que des essais périodiques sur les CQC et, si approprié, avec des essais sur des véhicules de test pour valider le savoir-faire selon les règles habituelles.

Where the initial design of the film layout has been made by a customer or a third party by agreement with the approved manufacturer, the latter is responsible for ensuring that it complies with his design rules and for taking any necessary corrective action. This responsibility shall not be sub-contracted.

3.3 Manufacturer approval

To obtain manufacturing approval the manufacturer shall meet the rules of IEC Publication QC 001002 and shall state the technological class(es) for which he seeks approval according to Table I of Section 1.

3.4 Approval of film integrated circuits and hybrid film integrated circuits

3.4.1 *Approval procedures*

To qualify a circuit, either as a custom-built or as a standard/catalogue item, either of the following two procedures may be used. These procedures conform to those stated in IEC Publication QC 001002, Clause 11.

To cover the different requirements of various electronics market sectors, three assessment levels (K,L,M) are specified for approval as described in the sectional specification. Assessment level M is the minimum mandatory level; assessment level L is higher with larger sample sizes and assessment level K is the highest level, requiring even larger sizes and also specifying screening tests.

1) *Qualification approval*

The programme of tests for the appropriate assessment and severity level applied directly to the circuit to be qualified, as prescribed in Sub-clause 3.5 and the relevant sectional specification.

2) *Capability approval*

The circuits and capability qualifying circuits (CQCs) are tested in combination and approval given to a manufacturing facility on the basis of validated design rules, processes and quality control procedures, as prescribed in Clause 3.6 and the relevant sectional specification.

Note.- With capability approval, in addition to the testing of circuits, the manufacturer specifies in a capability manual his procedures for design, materials and processes and accepts monitoring of these by the National Supervising Inspectorate (NSI). Control is exercised by the combination of the lot-by-lot tests on all circuits released, together with periodic tests on capability qualifying circuits (CQCs) and, if applicable, together with tests on process vehicles, to validate the capability on a routine basis.

L'agrément de savoir-faire est habituellement utilisé quand des circuits de structures similaires, basés sur des règles de conception communes, sont fabriqués en faible ou en grande quantité par un ensemble de procédés identiques. Ces circuits peuvent avoir des fonctions électriques différentes.

Dans le cas des circuits fabriqués à la demande, le client et le fabricant donneront leur accord sur la spécification particulière.

3.4.2 *Spécifications particulières*

Les spécifications particulières peuvent prescrire des essais supplémentaires et/ou des plans de contrôle plus sévères que ceux donnés dans la spécification intermédiaire applicable. Quoi qu'il en soit, elles ne doivent pas alléger les exigences de la spécification générique et des spécifications intermédiaires applicables.

La spécification particulière et le certificat de conformité doivent indiquer si la procédure d'homologation ou d'agrément de savoir-faire a été utilisée et quel niveau d'assurance a été appliqué.

3.5 Homologation

3.5.1 *Octroi de l'homologation*

3.5.1.1 Si l'on utilise la méthode donnée au point *a)* de la Publication QC 001002 de la CEI, paragraphe 11.3.1, un circuit est qualifié pour un certain niveau d'assurance (K,L,M) à l'issue du programme complet des essais pour l'homologation.

3.5.1.2 Si l'on utilise la méthode donnée au point *b)* de la Publication QC 001002 de la CEI, paragraphe 11.3.1, un circuit est qualifié à l'issue du déroulement satisfaisant du programme complet des essais lot par lot sur trois lots de contrôle et des essais périodiques sur un lot (contrôle de la conformité de la qualité).

3.5.2 *Maintien de l'homologation*

3.5.2.1 L'homologation est maintenue lorsque les procédures et les exigences de contrôle de la conformité de la qualité (voir paragraphe 3.5.1.2) sont satisfaites.

3.5.2.2 Le fabricant doit également maintenir une fabrication continue, par exemple:

- a)* le lieu de fabrication et des essais finaux demeure inchangé;
- b)* il n'y a pas eu d'interruption supérieure à deux ans dans le programme d'essais périodiques déclaré par le fabricant (voir tableau III de la spécification intermédiaire applicable).

Capability approval is usually convenient when structurally similar circuits based on common design rules are fabricated, in small or large quantities, by a group of common processes, even though they may have different electrical functions.

It the case of custom-built circuits, the customer and manufacturer will agree upon the detail specification.

3.4.2 *Detail specifications*

The detail specifications may introduce additional tests and/or tighter inspection plans than those given in the relevant sectional specification. They shall not, however, relax the requirements of the generic specification and the relevant sectional specifications.

The detail specification and certificate of conformity shall indicate whether the qualification approval procedure or the capability approval procedure has been used and which level of assessment has been applied.

3.5 Qualification approval

3.5.1 *Granting of qualification approval*

3.5.1.1 When using the method given in Item *a*) of IEC Publication QC 001002, Sub-clause 11.3.1, a circuit is qualified to a certain assessment level (K,L,M) after successful completion of the full programme of tests for qualification approval.

3.5.1.2 When using the method given in Item *b*) of IEC Publication QC 001002, Sub-clause 11.3.1, a circuit is qualified after successful completion of the full programme for lot-by-lot tests on three inspection lots and one lot for periodic inspection (quality conformance inspection).

3.5.2 *Maintenance of qualification approval*

3.5.2.1 Qualification approval is maintained after successful completion of the procedures and requirements of quality conformance inspection (see Sub-clause 3.5.1.2).

3.5.2.2 The manufacturer shall also have maintained continuous production, for example:

- a*) there has been no change in the place of manufacture and final test;
- b*) there has been no break exceeding two years in the manufacturer's declared periodic test schedule (see Table III of the relevant sectional specification).

3.5.3 Règles d'association

Le groupement des circuits associables destiné à l'homologation et au contrôle de la conformité de la qualité doit, être indiqué dans la spécification intermédiaire applicable.

3.5.4 Matériaux, pièces détachées et composants

Les matériaux, pièces détachées et composants autres que ceux qualifiés dans le Système IECQ peuvent être utilisés si le Contrôleur s'assure qu'ils sont conformes à la spécification applicable et qu'ils ne diminuent pas la qualité des circuits finis, par:

- a) la fourniture de documents d'approvisionnement convenables, et
- b) l'application par le vendeur d'une garantie convenable de procédures de contrôle et d'essais d'acceptabilité.

L'ONS a accès aux données que le Contrôleur a utilisées pour accepter ces articles.

3.5.5 Modifications dans l'agrément de fabrication

C'est au Contrôleur de décider si une modification dans l'agrément du fabricant est "majeure" ou non.

Toutes les modifications des matériaux et/ou des procédés de fabrication qui peuvent affecter la qualité des circuits agréés doivent être enregistrées. Ces informations doivent être accessibles à l'ONS.

3.5.5.1 Modifications majeures

Si une modification nécessaire affecte de façon significative la qualité du circuit agréé, une extension du programme d'essais en vigueur basé sur le tableau I de la spécification intermédiaire applicable doit être acceptée par l'ONS. Si le programme d'essais est effectué de façon satisfaisante, la ou les spécifications applicables doivent être modifiées en conséquence.

3.5.5.2 Autres modifications

Si la modification est considérée comme n'étant pas majeure, aucun essai d'agrément n'est exigé, bien que le Contrôleur puisse, s'il le désire, demander des données ou des essais supplémentaires pour sa propre satisfaction.

3.6 Agrément de savoir-faire

3.6.1 Savoir-faire

3.6.1.1 Généralités

Le savoir-faire dans une technologie de CIHC et C se compose de:

- a) la conception complète, la préparation des matériaux et les étapes de fabrication, y compris les procédures de contrôle et d'essais;

3.5.3 *Structural similarity*

The grouping of structurally similar circuits for the purpose of qualification approval and quality conformance inspection shall be prescribed in the relevant sectional specification.

3.5.4 *Materials, piece parts and components*

Materials, piece parts and components other than those approved under the IECQ System, may also be used provided the Chief Inspector is satisfied as to their conformance to the relevant specification and that the quality of the completed circuits shall not be reduced by their use. This is achieved by:

- a) the provision of adequate procurement documents, and
- b) the application of adequate vendor assessment, control procedures and acceptance tests.

The NSI shall have access to the data on which the Chief Inspector has based his acceptance of these items.

3.5.5 *Changes in manufacturing approval*

It is the responsibility of the Chief Inspector to decide whether a change in the manufacturing approval is classified as a "major" one.

A record of all changes in materials and/or manufacturing procedures which may affect the quality of the approved circuits shall be maintained. These data shall be made available to the NSI on request.

3.5.5.1 *Major changes*

Where a change is required which significantly affects the quality of the approved circuit, an incremental validation test programme based on Table I of the appropriate sectional specification shall be agreed with the NSI. Upon its successful completion, the relevant specification(s) shall be amended as necessary.

3.5.5.2 *Other changes*

Where the change is considered to be "not major", no formal approval tests are required though the chief inspector may, at his discretion, request supporting data or tests to satisfy himself.

3.6 Capability approval

3.6.1 *Capability*

3.6.1.1 *General*

A capability in any stated F and HFIC technology consists of:

- a) the complete design, material preparation and manufacturing sequences, including control procedures and tests;

- b) les limites des performances annoncées pour les procédés et les circuits, c'est-à-dire celles spécifiées pour les CQC et les autres véhicules d'essais concernés;
- c) la gamme de structures mécaniques pour lequel l'agrément est accordé;
- d) la gamme de composants rapportés utilisés.

Dans certains cas, le savoir-faire peut être étendu ou réduit pour s'adapter aux besoins futurs du fabricant. L'ONS doit être averti de toutes les modifications majeures (paragraphe 3.6.3.5).

Le fabricant doit établir un manuel de savoir-faire conformément au paragraphe 3.6.4.

3.6.1.2 *Limites de savoir-faire*

Ce sont toutes les limites des performances garanties et reconnues par le fabricant dans son manuel de savoir-faire comme applicables à sa conception, à ses couches et à ses circuits finis.

Ces limites doivent être vérifiées périodiquement, conformément au paragraphe 3.6.3 et à l'édition la plus récente du manuel de savoir-faire.

3.6.2 *Composants rapportés*

Tout composant rapporté doit être approvisionné, contrôlé et essayé en accord avec les procédures données dans le manuel de savoir-faire.

Le contrôleur doit avoir l'assurance que le composant est conforme à la spécification applicable et que la qualité des circuits finis ne sera pas diminuée par leur utilisation. L'ONS doit avoir accès aux données qui ont permis au contrôleur d'accepter les composants rapportés.

3.6.2.1 *Composants qualifiés*

Les composants approuvés par la CEI peuvent être incorporés sans qu'il y ait nécessité d'essais spécifiques.

3.6.2.2 *Composants non qualifiés*

Les composants rapportés peuvent obtenir le statut "qualifié" s'ils reçoivent une assurance complémentaire appliquée dans un des pays membres de l'IECQ selon l'une des méthodes suivantes:

- a) essai réalisé par l'utilisateur ou tout autre fabricant agréé ou par un centre d'essais agréé, conformément à une spécification IECQ appropriée ou, si celle-ci n'existe pas, à une spécification nationale équivalente d'un pays membre de l'IECQ. Cette méthode est obligatoire pour le niveau d'assurance K;
- b) essai par l'intermédiaire des CQC, conformément aux programmes d'essais de l'agrément de savoir-faire et des essais lot par lot et périodiques donnés dans la spécification intermédiaire. Les règles d'association données dans la spécification IECQ appropriée sont applicables;

- b) the performance limits claimed for the processes and circuits, that is, those specified for the CQCs and any other relevant test vehicles;
- c) the range of mechanical structures for which approval is granted;
- d) the range of added components used.

From time to time, a capability may be extended or reduced to suit the forecast needs of the manufacturer. The NSI shall be advised of all major changes (Sub-clause 3.6.3.5).

A capability manual shall be prepared by the manufacturer in accordance with Sub-clause 3.6.4.

3.6.1.2 *Limits of capability*

Included are all guaranteed performance limits identified by the manufacturer in his capability manual as applicable to his designs, film elements and finished circuits.

These shall be assessed periodically in accordance with Sub-clause 3.6.3 and the latest issue of the capability manual.

3.6.2 *Added components*

All added components shall be purchased, inspected and tested in accordance with the procedures given in the capability manual.

The manufacturer's Chief Inspector shall be satisfied as to their conformance with the relevant component specification and that the quality of the final circuits shall not be reduced by their use. The NSI shall have access to the data on which he has based his acceptance of added components.

3.6.2.1 *Qualified components*

IEC approved components may be incorporated without specific testing.

3.6.2.2 *Non-qualified components*

Added components can obtain "qualified" status when they receive a supplementary assessment applied in an IECQ country by one of the following methods:

- a) Testing by the user or other approved manufacturer or test house in accordance with an appropriate IECQ specification or if not available an equivalent national specification of an IECQ country. This method is mandatory for assessment level K.
- b) Testing within CQCs in accordance with test schedules for capability approval, lot-by-lot and periodic testing of the sectional specification. Structural similarity rules of the appropriate IECQ component specification apply.

- c) essai par l'intermédiaire des CQC, conformément aux programmes d'essais de l'agrément de savoir-faire et des essais lot par lot et périodiques de la spécification intermédiaire. Les règles d'association contenues dans la spécification intermédiaire s'appliquent;

Essais lot par lot complémentaires sur les circuits finis contenant ces composants, comprenant:

- i) variation de température: à 100%;
5 cycles entre les températures maximale et minimale de stockage;
- ii) endurance $168 \frac{0}{-8}$ h: à 100%.
- iii) caractéristiques statiques et dynamiques à la température ambiante: à 100%.

3.6.2.2.1 Composants rapportés avec le statut "non qualifié"

Ces composants peuvent être utilisés, compte tenu des exigences des niveaux L et M définis au paragraphe 3.6.2.3.

Dans le cas de dispositifs à semi-conducteurs non encapsulés, ceux-ci doivent être soumis à l'examen visuel conformément à la spécification applicable, avec un Niveau de Contrôle (NC) S2 et un Niveau de Qualité Acceptable (NQA) de 1,5%.

3.6.2.3 Composants rapportés et niveaux d'assurance du circuit

En vue de l'acceptation de circuits de niveaux d'assurance K, L ou M, on peut utiliser des composants rapportés, de statut "qualifié" ou "non qualifié", répondant aux critères suivants:

- a) Lorsque les circuits comprennent uniquement des composants de statut "qualifié", les niveaux d'assurance peuvent être K, L ou M.
- b) Lorsque les circuits comprennent un ou plusieurs composants de statut "non qualifié", la spécification particulière doit:
 - identifier les niveaux d'assurance par L/N ou M/N,
 - et
 - donner la liste de tous les composants rapportés qui ont le statut "non qualifié".

3.6.3 Procédures d'agrément de savoir-faire

3.6.3.1 Octroi de l'agrément de savoir-faire

Pour obtenir l'agrément de savoir-faire, le fabricant doit:

- a) appliquer les règles données dans la Publication QC 001002, paragraphe 11.7;
- b) rédiger un manuel de savoir-faire conformément au paragraphe 3.6.4 de la présente spécification;

- c) Testing within CQCs in accordance with test schedules for capability approval, lot-by-lot and periodic testing of the sectional specification. Structural similarity rules of the sectional specification apply.

Additional lot-by-lot tests on completed circuits containing them, comprising:

- i) 100%: change of temperature;
5 cycles between maximum and minimum storage temperature;
- ii) 100%: Endurance for 168_{-8}^0 h;
- iii) 100%: Static and dynamic characteristics at room temperature.

3.6.2.2.1 *Added components having "non-qualified" status*

These components may be used subject to the requirements of Sub-clause 3.6.2.3.

In the case of unencapsulated semiconductor dice, they shall be subjected to visual inspection in accordance with the relevant specification at Inspection Level (IL) S2, Acceptable Quality Level (AQL), 1.5%.

3.6.2.3 *Added components and circuit assessment levels*

For the release of circuits to assessment levels K, L or M, added components of "qualified" or "non-qualified" status may be used, subject to the following criteria:

- a) When the circuits contain components all of "qualified" status, the assessment levels may be stated as K, L or M.
- b) When the circuits contain one or more components of "non-qualified" status, the circuit detail specification shall:
 - identify the assessment levels as L/N or M/N as applicable, and
 - list all those added components which have "non-qualified" status.

3.6.3 *Capability approval procedures*

3.6.3.1 *Granting of capability approval*

To obtain capability approval the manufacturer shall:

- a) apply the rules given in IEC Publication QC 001002, Sub-clause 11.7;
- b) prepare a capability manual in accordance with Sub-clause 3.6.4 of this specification;

- c) prouver à l'ONS que le choix des CQC est représentatif des circuits qui doivent être acceptés conformément aux règles d'association indiquées dans la spécification intermédiaire et que ce choix détermine complètement les limites de savoir-faire, la gamme des matériaux et composants (y compris les sources utilisées) et la gamme des produits décrits dans le manuel de savoir-faire;
- d) informer l'ONS du choix du programme d'essais et des sévérités applicables pour l'agrément de savoir-faire;
- e) réaliser le programme d'essais conformément aux essais d'agrément de savoir-faire et aux spécifications du fabricant concernant les CQC et, si applicable, les véhicules d'essais relatifs aux procédés;
- f) soumettre les résultats des essais à l'approbation de l'ONS;
- g) préparer un rapport d'agrément de savoir-faire contenant les informations suivantes:
 - i) référence du numéro d'édition et date du manuel de savoir-faire;
 - ii) programme pour agrément de savoir-faire;
 - iii) résultats d'essais obtenus pendant le programme;
 - iv) résumé descriptif du savoir-faire;
 - v) programme de maintien du savoir-faire.

3.6.3.2 *Maintien de l'agrément de savoir-faire*

3.6.3.2.1 L'agrément de savoir-faire doit être maintenu par les essais lot par lot et périodiques décrits dans la spécification particulière pour le contrôle de la conformité de la qualité.

3.6.3.2.2 Le fabricant doit prouver à l'ONS:

- a) que le choix des CQC demeure représentatif des circuits acceptés et qu'il est conforme aux règles d'association décrites dans la spécification intermédiaire;
- b) que le programme de maintien de savoir-faire est toujours conforme aux exigences des groupes appropriés d'essais périodiques et comprend, si applicable, les exigences relatives à tout véhicule d'essais;

pour chaque séquence d'essais, les CQC, choisis conformément aux règles d'association, comme étant représentatifs de la fabrication courante, doivent être prélevés dans la quantité prescrite pour cette séquence d'essais;

- c) que les limites de savoir-faire ont été à nouveau contrôlées avec succès, conformément aux essais périodiques dans un délai de 12 mois suivant l'agrément initial et ensuite tous les deux ans.

Note. - Sur les mêmes bases, les extensions de limites agréées, octroyées après l'agrément initial, doivent être à nouveau contrôlées en fonction de la date de leur agrément individuel.

- c) satisfy the NSI that the selection of CQCs is representative of the circuits to be released in accordance with the structural similarity rules prescribed in the sectional specification and that it fully assesses all the capability boundaries, the range of materials and components (including sources used) and the range of products claimed in the capability manual;
- d) declare to the NSI the test schedule and the relevant test severities for capability approval testing;
- e) carry out the test programme in accordance with capability approval testing and the manufacturer's related CQC specifications and any relevant process test vehicle specification;
- f) submit the test results to the NSI for approval;
- g) prepare a capability approval report containing the following information:
 - i) reference to issue number and date of capability manual;
 - ii) programme for capability approval;
 - iii) test results obtained during the programme;
 - iv) abstract of description of capability;
 - v) programme of maintenance of capability.

3.6.3.2 Maintenance of capability approval

3.6.3.2.1 Capability approval shall be maintained through lot-by-lot tests and periodic tests as prescribed for quality conformance inspection by the detail specification.

3.6.3.2.2 The manufacturer shall satisfy the NSI:

- a) that the selection of CQCs remains representative of the circuits released and in accordance with the structural similarity rules prescribed in the sectional specification;
- b) that the maintenance of capability programme continues to meet the requirements of the appropriate groups of the periodic testing and includes, where applicable, the requirements of any process test vehicle;

for each test sequence, the CQCs selected according to the structural similarity rules as representative of current circuits released, shall each be taken in the number prescribed for that test sequence;

- c) that the limits of the capability have been successfully re-assessed in accordance with periodic testing within the 12 months following initial approval and every two years thereafter.

Note.- Approved limits extensions granted after initial approval require re-assessment on the same basis, related to their individual approval dates.

3.6.3.2.3 Le fabricant doit maintenir une fabrication continue, c'est-à-dire:

- a) les procédés spécifiés dans le manuel de savoir-faire, y compris les compléments ou les retraits acceptés par l'ONS depuis l'agrément initial, ainsi que les procédés sous-traités, demeurent inchangés;
- b) le lieu de fabrication demeure inchangé, y compris pour les procédés sous-traités et les essais finaux;
- c) il n'y a pas eu d'interruption supérieure à six mois dans le programme de maintien du savoir-faire du fabricant.

3.6.3.3 Règles d'association

Le groupement de circuits associables (y compris les CQC et les véhicules d'essais), destiné à l'agrément de savoir-faire et au contrôle de la conformité de la qualité, est indiqué dans la spécification intermédiaire applicable.

3.6.3.4 Procédure en cas d'échec à un essai périodique

Les exigences appropriées de la Publication QC 001002 s'appliquent. La déficience doit être corrigée dans les six mois. Si cette exigence ne peut pas être satisfaite, l'agrément de savoir-faire doit être réduit en conséquence.

3.6.3.5 Modification dans l'agrément de savoir-faire

C'est au Contrôleur du fabricant de décider si une modification dans les matériaux, procédés, procédures ou agrément est "majeure" ou non.

Toutes les modifications des matériaux et/ou des procédés et procédures qui peuvent affecter la qualité des circuits doivent être enregistrées. Ces informations doivent être accessibles à l'ONS.

3.6.3.5.1 Modifications majeures

Si une modification nécessaire étend le domaine d'application de l'agrément de savoir-faire ou affecte de façon significative la qualité du ou des circuits, le fabricant doit déclarer, avec l'accord de l'ONS, une extension du programme d'essais en vigueur.

Si le programme d'essais est effectué de façon satisfaisante, les spécifications applicables, le manuel de savoir-faire et, si approprié, le domaine d'application de l'agrément de savoir-faire doivent être modifiés en conséquence.

3.6.3.5.2 Autres modifications

Si la modification est considérée comme n'étant pas majeure, aucun essai d'agrément n'est exigé, bien que le Contrôleur puisse, s'il le désire, demander des données ou des essais supplémentaires pour sa propre satisfaction.

3.6.3.2.3 The manufacturer shall have maintained continuous production, such that:

- a) the processes specified in the capability manual, including any additions/deletions agreed with the NSI since initial approval and any sub-contracted processes, remain unchanged;
- b) there has been no change in the place of manufacture including sub-contracted processes and final test;
- c) there has been no break exceeding six months in the manufacturer's declared maintenance of capability programme.

3.6.3.3 *Structural similarity*

The grouping of structurally similar circuits (including QCCs and process test vehicles) for the purpose of capability approval and quality conformance inspection shall be prescribed in the relevant sectional specification.

3.6.3.4 *Procedure in the event of failure in a periodic test*

The appropriate requirements of IEC Publication QC 001002 shall apply. The deficiency shall be corrected within six months. If this requirement cannot be fulfilled the capability approval shall be reduced accordingly.

3.6.3.5 *Changes in the approved capability*

It is the responsibility of the Chief Inspector to decide whether a change in material, process, procedure or capability is classified as a "major" one.

A record of all changes in materials and/or processes and procedures which may affect the quality of circuits shall be maintained. This data shall be made available to the NSI on request.

3.6.3.5.1 *Major changes*

When a change is required which either extends the scope of the approved capability or significantly affects the quality of the circuit(s), the manufacturer shall notify and agree on an incremental validation test programme with the NSI.

Upon its successful completion, the relevant specifications, the capability manual and, where appropriate, the scope of the approved capability, shall be amended as necessary.

3.6.3.5.2 *Other changes*

When the change is considered to be "not major", no formal approval tests are required, though the Chief Inspector may, at his discretion, request supporting data or tests to satisfy himself.

3.6.3.5.3 *Réduction du savoir-faire*

Si le fabricant désire réduire le domaine d'application de son agrément de savoir-faire, l'ONS doit avoir la preuve que le manuel de savoir-faire modifié, ainsi que le choix des CQC et des véhicules d'essais déterminent et vérifient convenablement ce savoir-faire réduit.

3.6.4 *Manuel de savoir-faire*

Le contenu du manuel de savoir-faire doit être conforme aux exigences de la spécification intermédiaire applicable.

L'ONS doit considérer le manuel de savoir-faire comme un document confidentiel. S'il le désire, le fabricant peut en divulguer tout ou partie à un tiers.

3.7 Rapports certifiés de lots acceptés

3.7.1 *Généralités*

Les exigences de la Publication QC 001002, article 14, s'appliquent.

3.7.2 *Exigences générales*

Le fabricant doit conserver les rapports d'essais des lots acceptés, pour les essais lot par lot et périodiques, dont le contenu est indiqué au paragraphe 3.7.3. Pour chaque circuit ou chaque groupe de circuits associables, il peut organiser ces informations et les rendre accessibles aux clients sous l'une des formes suivantes:

- a) en un seul document accessible à l'ONS et à tout client;
- b) en deux documents:
 - l'un pour les essais lot par lot (groupes A et B) et les essais périodiques (sous-groupe D1), accessible à l'ONS et à tout client concerné;
 - l'autre pour les essais périodiques (sous-groupes C1 et D2), seulement accessible à l'ONS.

3.7.3 *Contenu des Rapports Certifiés de Lots Acceptés (RCLA)*

3.7.3.1 *Circuits catalogue (et CQC si applicable)*

Les exigences suivantes représentent un minimum; la spécification particulière peut spécifier des exigences supplémentaires. Le fabricant peut, s'il le désire, y ajouter des notes explicatives et des résultats supplémentaires, si ceux-ci sont complets et précis:

- a) essais lot par lot, sous-groupe A2 et groupe B - information par attributs;
- b) essais périodiques, sous-groupes C1 à C4 - information par attributs;
- c) essais périodiques, sous-groupe D1 - information par mesures pour chacune des caractéristiques spécifiées dans la spécification particulière.

3.6.3.5.3 *Reduction in capability*

When a manufacturer wishes to reduce the scope of his approved capability, the NSI shall be satisfied that the amended capability manual and selection of CQCs and process test vehicles properly defined and assess the reduced scope.

3.6.4 *Capability manual*

The content of the capability manual shall be in accordance with the requirements of the relevant sectional specification.

The NSI shall treat the capability manual as a confidential document. The manufacturer may, if he wishes, disclose part or all of it to a third party.

3.7 Certified records of released lots

3.7.1 *General*

The requirements of IEC Publication QC 001002, Clause 14, shall apply.

3.7.2 *General requirements*

The manufacturer shall maintain records of released lots related to the lot-by-lot and periodic tests having the information contents detailed in Sub-clause 3.7.3. He may organize this data and make it available to customers in either of the following forms for each circuit or structurally similar group:

- a) in one document available to NSI and to any customer;
- b) in two documents, namely:
 - for lot-by-lot tests (groups A and B) and periodic tests (sub-group D1) available to NSI and any relevant customer;
 - the periodic tests (sub-groups C1 and D2) available to the NSI only.

3.7.3 *Content of Certified Records of Released Lots (CRRL)*

3.7.3.1 *Catalogue circuits (and CQCs if applicable)*

The following requirements are minimal and the detail specification may add further requirements. The manufacturer may, at his discretion, include explanatory notes and additional results provided that such additional results are complete and accurate:

- a) lot-by-lot tests, sub-group A2 and Group B - attributes data;
- b) periodic tests, sub-groups C1 to C4 - attributes data;
- c) periodic tests, sub-group D1 - measurements data for each characteristic specified in the detail specification.

3.7.3.2 *Circuits fabriqués à la demande*

Il est conseillé aux clients de préciser que les Rapports Certifiés de Lots Acceptés (RCLA) concernant la période pendant laquelle leurs circuits ont été fabriqués devraient être fournis.

3.8 Livraisons différées

Les circuits gardés en stock pendant une période supérieure à 12 mois après acceptation du lot doivent être à nouveau contrôlés avant livraison, en sous-groupe A2 et en groupe B du programme d'essais lot par lot. Une période de deux ans est applicable au sous-groupe A1.

Dans la mesure où un lot a été à nouveau examiné avec succès, son assurance de qualité est renouvelée pour une nouvelle période de 12 mois.

3.9 Livraison des CIHC et C soumis à des essais destructifs et non destructifs

Les circuits soumis à des essais appelés "destructifs" (D) ne doivent pas faire partie du lot de livraison.

Les circuits soumis à des essais appelés "non destructifs" (ND) peuvent être livrés s'ils ont subi à nouveau les essais des sous-groupes A1, A2 et du groupe B du programme d'essais lot par lot.

3.10 Procédure complémentaire pour les livraisons

Le fabricant a toute latitude pour livrer des circuits dont le niveau d'assurance est plus élevé que celui faisant l'objet de la commande.

3.11 Informations complémentaires

La spécification particulière peut contenir des informations destinées à l'application. Ces informations ne doivent pas être soumises au contrôle dans le cadre de cette spécification.

SECTION 4 - CONDITIONS D'ESSAIS ET DE MESURES

4.1 Généralités

Cette section contient la liste des essais applicables aux CIHC et C.

La spécification intermédiaire ou la spécification particulière indique quels sont, parmi ces essais, ceux qui sont applicables à un CIHC et C particulier.

La spécification intermédiaire ou la spécification particulière-cadre contient des tableaux indiquant les essais à effectuer, les mesures à effectuer avant et après chaque essai ou sous-groupe d'essais, ainsi que la séquence dans laquelle les essais sont exécutés. Ces tableaux indiquent également le nombre de pièces à soumettre aux essais, le nombre de circuits défectueux admissible, etc.

3.7.3.2 *Custom-built circuits*

Customers are advised to specify that Certified Records of Released Lots (CRRLs) should be provided for the period during which their circuits are manufactured.

3.8 Delayed deliveries

Circuits held for a period exceeding twelve months following the release of the lot shall be re-examined before delivery, for sub-group A2 and group B of the lot-by-lot test schedule. A period of two years is applicable to sub-group A1.

Once a "lot" has been satisfactorily re-inspected, its quality is re-assured for a further twelve months.

3.9 Delivery of F and HFICs subjected to destructive or non-destructive tests

Circuits subjected to tests indicated "destructive" (D) shall not be included in the lot for delivery.

Circuits subjected to "non-destructive" (ND) tests may be delivered provided they are re-tested according to the requirements of sub-groups A1 and A2 and group B of the lot-by-lot test schedule.

3.10 Supplementary procedure for deliveries

The manufacturer may at his discretion supply circuits that have met a higher assessment level than those being ordered.

3.11 Supplementary information

The detail specification may include information for application purposes which shall not be the subject of inspection within this specification.

SECTION 4 - TEST AND MEASUREMENT PROCEDURES

4.1 General

This section contains the library of tests which are applicable to F and HFICs.

The sectional specification or the detail specification shall prescribe which tests described in this section are applicable to a particular F and HFIC.

The sectional or the blank detail specification shall contain tables showing the tests to be performed, the measurements to be made before and after each test or subgroup of tests, and the sequence in which they shall be carried out. The tables shall also give information about the number of circuits to be tested, number of permissible defectives, and so on.

Lorsque les essais font partie d'une séquence, les mesures intermédiaires peuvent être omises: les mesures effectuées après le dernier essai constituent alors les mesures finales de la séquence.

Lorsque les essais sont effectués en séquence, les mesures finales d'un essai peuvent être prises comme mesures initiales des essais suivants.

Pendant les mesures, les circuits ne doivent pas être exposés aux courants d'air, aux rayonnements solaires directs ni à d'autres influences pouvant être causes d'erreurs.

4.2 Conditions normales d'essai

Sauf spécification contraire, tous les essais et mesures électriques doivent être exécutés dans les conditions données ci-dessous.

4.2.1 *Conditions atmosphériques normales*

4.2.1.1 *Conditions atmosphériques normales de référence*

Température: 25 °C
Humidité relative: 50%
Pression atmosphérique: 101,3 kPa (1 013 mbar)

Note.- La pression atmosphérique est conforme à la Publication 68-1 de la CEI. La température et l'humidité relative sont conformes à la Publication 749 de la CEI.

4.2.1.2 *Conditions atmosphériques normales pour les essais d'arbitrage*

(Voir Publication 68-1 de la CEI, paragraphe 5.1)

Température: 25 ± 1 °C
Humidité relative: entre 48% et 52%
Pression atmosphérique: entre 86 kPa et 106 kPa (entre 860 mbar et 1 060 mbar)

Note.- On peut ne pas tenir compte de l'humidité relative lorsqu'elle n'a pas d'influence sur les résultats des essais.

4.2.1.3 *Conditions atmosphériques normales d'essais et de mesures électriques*

(Voir Publication 68-1 de la CEI, paragraphe 5.3)

Température: entre 15 °C et 35 °C
Humidité relative: entre 45% et 75%
Pression atmosphérique: entre 86 kPa et 106 kPa (entre 860 mbar et 1 060 mbar)

4.2.1.4 *Conditions atmosphériques de reprise*

Température: température réelle du laboratoire située entre 15 °C et 35 °C
Humidité relative: entre 45% et 75%
Pression atmosphérique: entre 86 kPa et 106 kPa (entre 860 mbar et 1 060 mbar)
Durée de la reprise: 1 h à 2 h, sauf indication contraire.

Where tests are prescribed in sequence, intermediate measurements may be omitted: the measurements made after the last test form the end point of the sequence.

Where tests are conducted in sequence the final measurements of one test may be taken as the initial measurements for the succeeding tests.

During measurements, the circuits shall not be exposed to draughts, direct sun-rays or other influences likely to cause error.

4.2 Standard conditions for testing

Unless otherwise prescribed, all tests and electrical measurements shall be carried out under standard conditions stated below.

4.2.1 *Standard atmospheric conditions*

4.2.1.1 *Standard atmospheric conditions for reference*

Temperature: 25 °C
Relative humidity: 50%
Air pressure: 101.3 kPa (1 013 mbar)

Note.- Air pressure is in accordance with IEC Publication 68-1. Temperature and relative humidity are in accordance with IEC Publication 749.

4.2.1.2 *Standard atmospheric conditions for referee tests*

(See IEC Publication 68-1, Sub-clause 5.1)

Temperature: 25 ± 1 °C
Relative humidity: between 48% and 52%
Air pressure: between 86 kPa and 106 kPa (between 860 mbar and 1 060 mbar)

Note.- The relative humidity may be disregarded where it has no influence on the test results.

4.2.1.3 *Standard atmospheric conditions for testing and for electrical measurements*

(See IEC Publication 68-1, Sub-clause 5.3)

Temperature: between 15 °C and 35 °C
Relative humidity: between 45% and 75%
Air pressure: between 86 kPa and 106 kPa (860 mbar and 1 060 mbar)

4.2.1.4 *Recovery conditions*

Temperature: actual laboratory temperature between 15 °C and 35 °C.
Relative humidity: between 45% and 75%
Air pressure: between 86 kPa and 106 kPa (860 mbar and 1 060 mbar)
Recovery time: 1 to 2 h, unless otherwise specified.

Note.- Ces conditions sont conformes à la Publication 68-1 de la CEI, paragraphe 5.4.

4.2.2 Définition des axes pour les essais mécaniques

Orientation

Pour les méthodes d'essais mettant en jeu l'observation ou l'application de forces extérieures liées à l'orientation du circuit; les orientations et la direction des forces appliquées doivent être conformes à la figure 1. Pour d'autres configurations, les définitions des axes doivent être données dans la spécification particulière.

Note.- L'application de la force selon Y_1 est telle qu'elle tend à soulever la pastille du substrat ou les fils de la pastille.

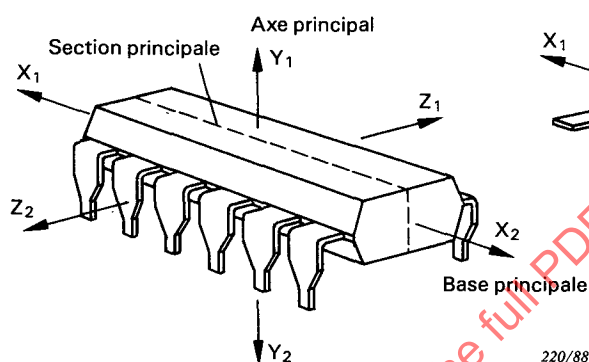


Fig. 1a. - Boîtier enfichable, double en ligne.

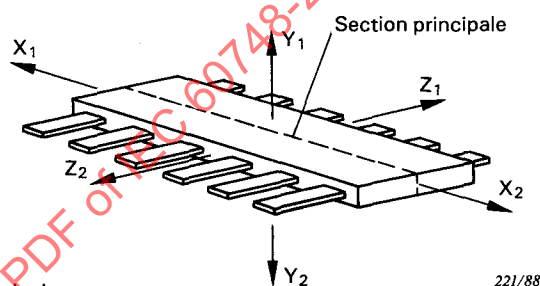


Fig. 1b. - Boîtier enfichable, double en ligne.

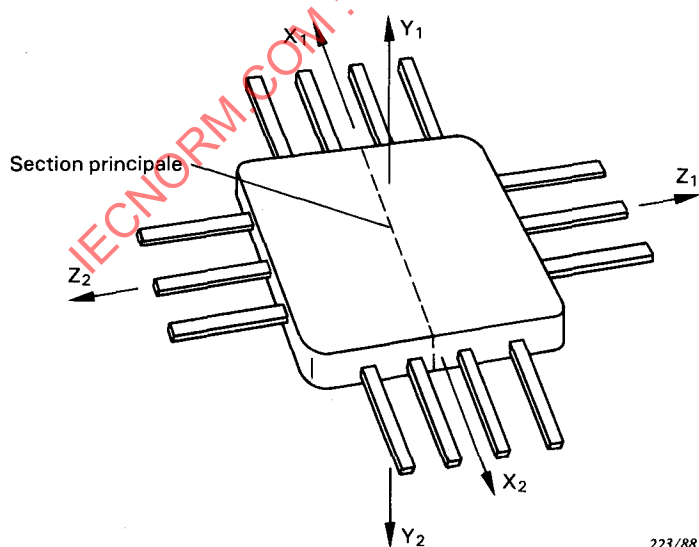


Fig. 1c. - Boîtier plat avec sorties radiales.

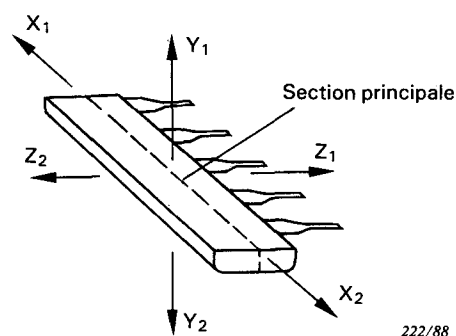


Fig. 1d. - Boîtier enfichable, simple en ligne.

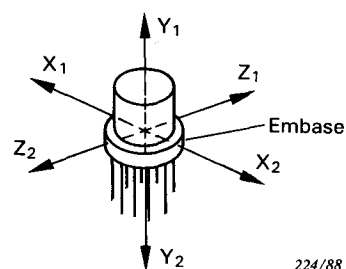


Fig. 1e. - Boîtier cylindrique.

Note.- These conditions are in accordance with IEC Publication 68-1, Sub-clause 5.4.

4.2.2 Definition of axis for mechanical tests

Orientation

For those methods which involve observation or the application of external forces which shall be related to the orientation of the circuit, such orientations and direction of forces applied shall be in accordance with Figure 1. For other configurations the definitions of the axis shall be given in the detail specification.

Note.- The Y_1 force application is such that it will tend to lift the die off the substrate or the wires off the die.

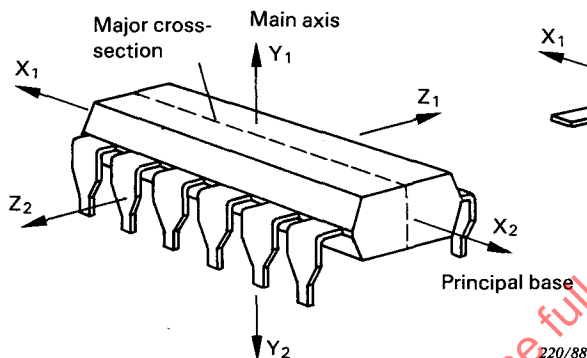


Fig. 1a. - Dual-in-line (DIL) package.

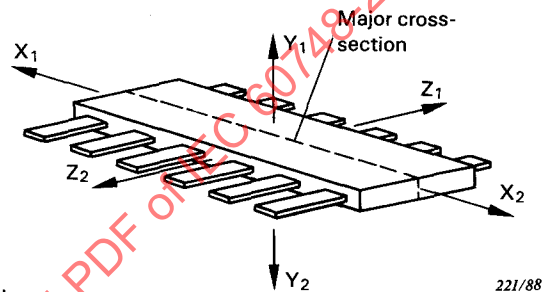


Fig. 1b. - Dual-in-line (DIL) package

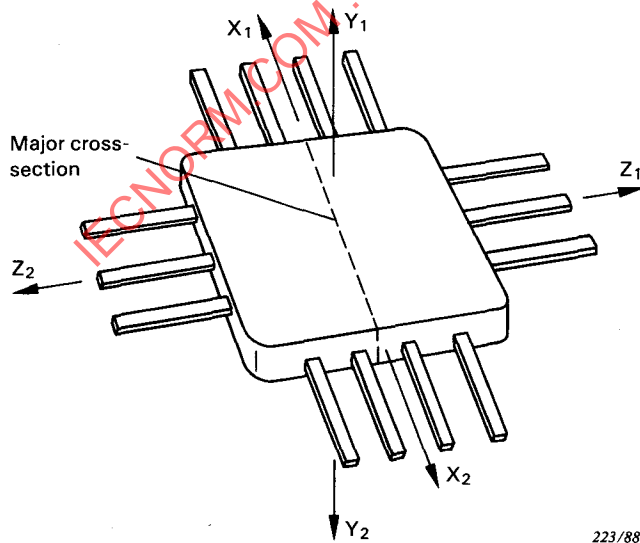


Fig. 1c. - Flat package with radial leads.

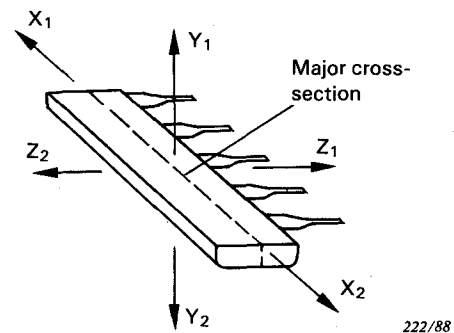


Fig. 1d. - Single-in-line package.

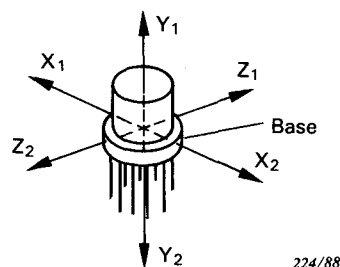


Fig. 1e. - Cylindrical package.

4.3 Examen visuel

4.3.1 *Examen visuel interne avant encapsulation*

A l'étude.

4.3.2 *Examen visuel externe et examen du marquage*

Sauf indication contraire, l'examen visuel doit être exécuté dans les conditions normales d'éclairage de l'usine agréée et dans les conditions normales de vision.

L'examen doit comprendre les points suivants:

- marquage et lisibilité de celui-ci;
- identification des sorties;
- aspect (par exemple encapsulation brisée, fêlures, etc.). On peut utiliser un grossissement jusqu'à 10 x pour un examen de référence.

4.3.3 *Dimensions*

Les dimensions à contrôler doivent être celles données sur le dessin de référence ou dans la spécification particulière.

4.4 Mesures électriques

4.4.1 *Valeurs limites*

Les conditions d'essais pour toutes les mesures doivent être telles que les valeurs limites maximales des circuits ne soient pas dépassées.

4.4.2 *Conditions d'équilibre*

Tous les essais électriques doivent être effectués dans des conditions d'équilibre, sauf indication contraire ou sauf si la mesure est effectuée en impulsion. Si les conditions d'essais entraînent une variation significative de la caractéristique à mesurer en fonction du temps, des moyens pour compenser de tels effets doivent être spécifiés, par exemple la durée pendant laquelle le circuit doit être maintenu dans les conditions d'essai avant d'effectuer une mesure.

4.4.3 *Température*

La température ambiante mesurée doit être celle de l'air entourant le circuit dans un environnement de température sensiblement uniforme, refroidi seulement par la convection naturelle et non influencé matériellement par des surfaces réfléchissantes ou rayonnantes.

4.4.4 *Précautions*

Les précautions peuvent comprendre la limitation des valeurs maximales instantanées des courants et des tensions appliqués. Il est recommandé de ne pas insérer les circuits dans un circuit de mesure, ni de les retirer pendant que celui-ci est sous tension.

4.3 Visual examination

4.3.1 *Precap visual examination*

Under consideration.

4.3.2 *External visual and marking examination*

Unless otherwise specified, visual examination shall be performed under approved factory lighting conditions and under normal viewing conditions.

Inspection shall include the following items:

- marking and its legibility;
- terminal identification;
- appearance (e.g. broken encapsulation, cracks, and so on). For this test, a magnification of up to 10 x may be used for reference inspections.

4.3.3 *Dimensions*

The dimensions to be checked shall be those given in the reference drawing or in the detail specification.

4.4 Electrical measurement procedures

4.4.1 *Ratings*

The test conditions for all measurements shall be such that the maximum ratings of the circuits are not exceeded.

4.4.2 *Equilibrium conditions*

All electrical tests shall be conducted under equilibrium conditions unless otherwise specified or unless the measurement is being carried out under pulsed conditions. When test conditions cause significant change with time of the characteristic being measured, means of compensation for such effects shall be specified; for example, the length of time that the circuit shall be maintained at test conditions before making a measurement.

4.4.3 *Temperature*

The ambient temperature shall be measured as the air temperature adjoining the circuit in an environment of substantially uniform temperature, cooled only by natural air convection and not materially affected by reflective and radiant surfaces.

4.4.4 *Precautions*

The precautions should include limits on maximum instantaneous currents and applied voltages. It is recommended that circuits should not be inserted into, or removed from, a test circuit while the latter is energized.

Pour les circuits sensibles aux charges électrostatiques, des précautions adéquates devraient être prises pour éviter les dommages causés par des charges statiques avant et après les essais.

4.4.5 *Exigences pour la mesure des circuits et précision*

4.4.5.1 *Source de courant constant*

Un courant doit être considéré comme constant si une augmentation dans un rapport deux de l'impédance de charge effective ne produit pas un changement dans le paramètre à mesurer supérieur à la précision requise pour la mesure.

4.4.5.2 *Dispositif de mesure de courant*

L'admittance effective d'un dispositif de mesure du courant doit être suffisamment élevée pour que la division par deux de sa valeur n'affecte pas d'une manière significative la précision de la mesure.

4.4.5.3 *Source de tension constante*

Une tension doit être considérée comme constante si une diminution dans un rapport deux de l'impédance de charge effective ne produit pas un changement dans le paramètre à mesurer supérieur à la précision requise pour la mesure.

4.4.5.4 *Dispositif de mesure de tension*

L'impédance effective d'un dispositif de mesure de tension doit être suffisamment élevée pour que la division par deux de sa valeur n'affecte pas d'une manière significative la précision de la mesure.

4.4.5.5 *Impédance de charge*

L'impédance de charge représente l'impédance équivalente d'entrée du circuit d'essai et du dispositif en essai. Pour les besoins des essais d'acceptation, l'impédance d'entrée peut être remplacée par une résistance représentant les conditions du cas le plus défavorable.

4.4.5.6 *Alimentations*

Les sources de courants et de tensions continues ne doivent pas avoir d'ondulations qui risquent d'affecter la précision désirée pour la mesure. Les courants ou les tensions d'essai ou d'alimentation doivent être à $\pm 1\%$ de la valeur spécifiée.

4.4.5.7 *Précision des mesures*

Sauf indication contraire, la précision de l'équipement de mesure doit être telle que l'erreur ne soit pas supérieure à:

- a) pour les mesures absolues, 10% de la tolérance spécifiée;
- b) pour les mesures relatives, 10% de la variation maximale spécifiée.

For electrostatic sensitive circuits, adequate precautions should be taken to prevent damage from static charges both before and after tests.

4.4.5 *Measurement circuit requirements and accuracy*

4.4.5.1 *Constant-current source*

A current shall be considered constant if a two-to-one increase of the effective load impedance does not produce a change in the parameter being measured that is greater than the required accuracy of the measurement.

4.4.5.2 *Current-measuring device*

The effective admittance of a current-measuring device shall be sufficiently high so that halving its value does not significantly affect the accuracy of the measurement.

4.4.5.3 *Constant-voltage source*

A voltage shall be considered constant if a two-to-one decrease of the effective load impedance does not produce a change in the parameter being measured that is greater than the required accuracy of measurement.

4.4.5.4 *Voltage-measuring device*

The effective impedance of a voltage-measuring device shall be sufficiently high so that halving its value does not significantly affect the accuracy of measurement.

4.4.5.5 *Load impedance*

The load impedance represents the equivalent input impedance of the test circuit and the device under test. For acceptance test purposes, the input impedance may be replaced by a resistor representing worst case conditions.

4.4.5.6 *Power supplies*

The sources of direct currents and voltages shall not have a ripple content large enough to affect the desired accuracy of measurement. Test or supply voltages or currents shall be within $\pm 1\%$ of the specified value.

4.4.5.7 *Accuracy of measurements*

Unless otherwise specified, the accuracy of the measuring equipment shall be such that the error does not exceed:

- a) for absolute measurements, 10% of the specified tolerance;
- b) for relative measurements, 10% of the specified maximum change.

4.4.6 *Circuits à sections fonctionnellement indépendantes*

Chaque section fonctionnellement indépendante d'un circuit doit être mesurée individuellement, et toutes les bornes correspondant à des sections qui ne sont pas en cours de mesure doivent être en circuit ouvert ou comme spécifié. On doit s'assurer, pour les circuits, qu'il n'existe pas d'interaction entre des sections fonctionnellement indépendantes.

Chaque borne d'un groupe de bornes de signal fonctionnellement équivalentes doit être essayée individuellement, les autres étant connectées comme prescrit dans la spécification particulière.

4.4.7 *Connexions des bornes non spécifiées*

Toute borne pour laquelle aucune condition n'est spécifiée doit être laissée en circuit ouvert.

4.4.8 *Méthodes de mesures électriques*

Les mesures peuvent être effectuées en utilisant les méthodes décrites dans la spécification intermédiaire ou toute autre méthode donnant des résultats de mesures compatibles, mais, en cas de conflit, la méthode spécifiée doit être utilisée.

Note.- "Compatible" signifie que la valeur de la caractéristique établie par une autre méthode doit se trouver à l'intérieur des limites spécifiées lorsqu'elle est mesurée par la méthode spécifiée.

4.4.9 *Résistance d'isolement*

Sauf indication contraire dans la spécification particulière, une tension continue de 100 ± 15 V doit être appliquée pendant 1 min $\pm$ 5 s. Si nécessaire, la polarité doit être spécifiée dans la spécification particulière.

4.4.9.1 *Isolement entre sorties (ou groupes de sorties)*

La tension doit être appliquée entre chaque combinaison possible de sorties isolées électriquement et fonctionnellement.

4.4.9.2 *Isolement entre toutes les sorties isolées et le boîtier*

La tension doit être appliquée entre une feuille métallique maintenue en contact avec le boîtier et toutes les sorties connectées ensemble (à l'exception des sorties qui sont connectées électriquement au boîtier). Ni la taille ni la position de la feuille métallique ne doivent réduire les distance d'isolement.

4.4.9.3 Sauf indication contraire dans la spécification particulière, un circuit est défectueux:

- a) s'il y a destruction ou défaut mécanique;
- b) si la valeur d'une des résistances d'isolement est inférieure à 100 M Ω .

4.4.6 *Circuits with functionally independent sections*

Each functionally independent section of a circuit shall be tested individually and all terminals associated solely with sections not under test shall be left unconnected or as specified. Circuits shall be checked to ensure that interaction is not present between functionally independent sections.

Each of a group of functionally equivalent signal terminals shall be tested individually, with connections as specified in the detail specification applied to the remainder.

4.4.7 *Unspecified connections to terminals*

Any terminal for which no conditions are specified shall be left unconnected.

4.4.8 *Electrical measuring methods*

Measurements may be carried out by using the methods as prescribed in the sectional specification or any other method, giving compatible results but, in case of conflict, the specified method shall be used.

Note.- By "compatible" is meant that the value of the characteristic established by such other method will fall within the specified limits when measured by the specified method.

4.4.9 *Insulation resistance*

Unless otherwise prescribed in the detail specification, a d.c. voltage of 100 ± 15 V shall be applied for $1 \text{ min} \pm 5 \text{ s}$. Where necessary, the polarity shall be specified in the detail specification.

4.4.9.1 *Insulation between terminals (or groups of terminals)*

The voltage shall be supplied between any and every combination of terminals which are electrically and functionally isolated.

4.4.9.2 *Insulation between all the isolated terminals and the case*

The voltage shall be applied between a metal foil tightly held in contact with the case and all the terminals of the circuit connected together (except those leads which are electrically connected to the case). The size and positioning of the foil shall not reduce the insulation paths.

4.4.9.3 Unless otherwise specified in the detail specification, a circuit fails the test if there is:

- a) evidence of flashover or mechanical damage;
- b) any individual reading of insulation resistance less than $100 \text{ M}\Omega$.

4.4.10 *Mesure des éléments accessibles séparément*

4.4.10.1 *Éléments à couches déposées*

4.4.10.1.1 *Résistances déposées*

La valeur de la résistance doit être mesurée à l'aide d'un système de mesure dont la précision absolue est au moins dix fois meilleure que la tolérance initiale si celle-ci est supérieure ou égale à $\pm 0,5\%$.

La précision du système de mesure doit être au moins cinq fois meilleure que la tolérance initiale si celle-ci est inférieure à $\pm 0,5\%$.

La puissance maximale dissipée par résistance doit être égale à 10% de la puissance nominale ou à 0,01 W, la plus faible des deux valeurs étant choisie.

4.4.10.1.2 *Autres éléments déposés (capacités, ponts de raccordement, etc.)*

La mesure de tous les éléments déposés doit être effectuée conformément aux spécifications de la CEI, sauf indication contraire dans la spécification particulière.

4.4.10.2 *Composants rapportés*

Selon le paragraphe 4.4.10.1.2.

4.4.11 *Mesures des caractéristiques électriques du circuit*

Les méthodes de mesures électriques doivent être si possible prises dans des normes de la CEI.

4.5 Essais climatiques et de robustesse mécanique

Les essais suivants sont indiqués "destructifs" (D) ou "non destructifs" (ND) selon leurs effets sur le circuit.

Les circuits ayant subi les essais indiqués "destructifs" (D) ne doivent pas être livrés, sauf indication contraire dans la spécification particulière.

Les circuits ayant subi des essais indiqués "non destructifs" (ND) peuvent être livrés à condition d'avoir à nouveau subi avec succès les essais du groupe A.

4.5.1 *Stockage à haute température (non destructif)*

Si cet essai dégrade la soudabilité, ou toute autre caractéristique, la spécification particulière peut soit le désigner en tant qu'essai destructif, soit exiger que cet essai soit effectué en atmosphère inerte.

Mesures initiales et examen visuel: si applicable.

Cet essai correspond à l'essai Ba de la Publication 68-2-2 de la CEI avec les particularités suivantes:

Pas de préconditionnement spécial.

4.4.10 *Measurement of separately accessible elements*

4.4.10.1 *Deposited film elements*

4.4.10.1.1 *Deposited resistors*

The resistance value shall be measured with an absolute overall measurement system accuracy at least ten times better than the initial tolerance, when the initial tolerance is $\pm 0.5\%$ or greater.

An absolute overall measurement system accuracy at least five times better than the initial tolerance shall be required when the initial tolerance is less than $\pm 0.5\%$.

Maximum power dissipation per resistor shall be 10% of the rated power or 0.01 W per resistor, whichever is less.

4.4.10.1.2 *Other deposited elements (capacitors, crossovers, etc.)*

The measurement of all deposited elements shall be achieved in accordance with IEC specifications, unless otherwise specified in the detail specification.

4.4.10.2 *Added components*

As in Sub-clause 4.4.10.1.2.

4.4.11 *Measurement of the electrical characteristics of the circuit*

Wherever possible, the tests shall be drawn from existing IEC standards.

4.5 Environmental testing procedures

The following tests are indicated "destructive" (D) or "non-destructive" (ND) according to their effect on the circuit.

Circuits subjected to tests indicated "destructive" (D) shall not be included in the lot for delivery, unless otherwise specified in the detail specification.

Circuits subjected to tests indicated "non destructive" (ND) may be delivered, provided they have satisfied group A requirements after re-testing.

4.5.1 *Storage at high temperature (non-destructive)*

When it is agreed that this test degrades solderability or other characteristics, the detail specification may either designate it as destructive or require it to be carried out in an inert atmosphere.

Initial measurements and visual examination: as applicable.

This test corresponds with Test Ba of IEC Publication 68-2-2 with the following details:

No special pre-conditioning procedure.

Il n'est pas nécessaire que l'air de la chambre soit brassé et il n'y a pas de condition d'humidité relative pendant l'épreuve.

Température: température maximale de catégorie.

Durée de l'épreuve après équilibre thermique:

$$168^{+8}_0 \text{ h}, 336^{+8}_0 \text{ h}, 672^{+8}_0 \text{ h ou } 1\,000^{+8}_0 \text{ h}$$

Il ne doit y avoir ni charge ni mesure pendant l'épreuve.

Après l'essai, les circuits doivent être maintenus dans les conditions de reprise pendant 24 h au maximum (voir paragraphe 4.2.1.4).

La spécification particulière doit prescrire:

- température de l'épreuve;
- durée de l'épreuve;
- mesures finales.

4.5.2 *Froid* (non destructif)

Mesures initiales et examen visuel: si applicable.

Cet essai est conforme à l'essai Ab de la Publication 68-2-1 de la CEI avec les détails suivants:

Température: température minimale de catégorie.

Il ne doit y avoir ni charge ni mesure pendant l'épreuve.

Après l'essai, les circuits doivent être maintenus dans les conditions de reprise pendant 24 h au maximum (voir paragraphe 4.2.1.4).

La spécification particulière doit prescrire:

- température de l'épreuve;
- durée de l'épreuve;
- mesures finales.

4.5.3 *Essai continu de chaleur humide* (destructif)

Mesures initiales et examen visuel: si applicable.

Cet essai correspond à l'essai Ca de la Publication 68-2-3 de la CEI avec les particularités suivantes:

Pas de préconditionnement spécial.

Condition 1: température 40 ± 2 °C; humidité relative $93^{+2}_{-3}\%$

Condition 2: température 55 ± 2 °C; humidité relative $90 \pm 5\%$

Condition 3: température 85 ± 2 °C; humidité relative $85 \pm 5\%$

Durée des essais: 4, 10, 21 ou 56 jours.

Il ne doit y avoir ni charge ni mesure pendant l'épreuve, à l'exception d'une polarisation (si requise).

The air in the chamber need not be agitated and there shall be no requirement for relative humidity during the conditioning period.

Temperature: upper category temperature.

Duration of the conditioning after thermal equilibrium:

$$168^{+8}_0 \text{ h, } 336^{+8}_0 \text{ h, } 672^{+8}_0 \text{ h or } 1\,000^{+8}_0 \text{ h}$$

There shall be no loading or measurement performed during conditioning.

After the test, the circuits shall be allowed to recover for a maximum of 24 h (see Sub-clause 4.2.1.4).

The detail specification shall prescribe:

- temperature of conditioning;
- duration of conditioning;
- final measurements.

4.5.2 Cold (non-destructive)

Initial measurements and visual examination as applicable.

This test corresponds with Test Ab of IEC Publication 68-2-1, with the following details:

Temperature: lower category temperature.

There shall be no loading or measurements performed during conditioning.

After the test, the circuits shall be allowed to recover for a maximum of 24 h (see Sub-clause 4.2.1.4).

The detail specification shall prescribe:

- temperature of conditioning;
- duration of conditioning;
- final measurements.

4.5.3 Damp heat, steady state (destructive)

Initial measurements and visual examination as applicable.

This test corresponds with Test Ca of IEC Publication 68-2-3 with the following details:

No special pre-conditioning procedure.

Condition 1: temperature 40 ± 2 °C; relative humidity $93^{+2}_{-3}\%$

Condition 2: temperature 55 ± 2 °C; relative humidity $90 \pm 5\%$

Condition 3: temperature 85 ± 2 °C; relative humidity $85 \pm 5\%$

Duration: 4, 10, 21 or 56 days.

Other than bias (if required), there shall be no electrical loading or measurement performed during conditioning.

Après l'essai, les circuits doivent être maintenus dans les conditions de reprise pendant 24 h au maximum (voir paragraphe 4.2.1.4).

La spécification particulière doit prescrire:

- conditions d'essai: 1, 2 ou 3;
- durée de l'épreuve;
- conditions de polarisation (si requises);
- mesures finales.

4.5.4 *Essai cyclique de chaleur humide* (destructif)

Mesures initiales et examen visuel: si applicable.

Cet essai est conforme à l'essai Db de la Publication 68-2-30 de la CEI avec les particularités suivantes:

Pas de préconditionnement spécial.

Pendant l'épreuve: ni charge électrique, ni mesure.

Après l'essai, les circuits doivent être maintenus dans les conditions de reprise pendant 24 h au maximum (voir paragraphe 4.2.1.4).

La spécification particulière doit prescrire.

- température maximale;
- nombre de cycles;
- mesures finales.

4.5.5 *Chocs* (non destructif, sauf indication contraire dans la spécification particulière)

Mesures initiales et examen visuel: si applicable.

Cet essai est conforme à l'essai Ea de la Publication 68-2-27 de la CEI, en utilisant le degré de sévérité prescrit dans la spécification particulière.

Montage: maintien du corps et des connexions.

Effet de pesanteur: pas de conditions spéciales.

Fonctionnement: aucun.

La spécification particulière prescrit les exigences à appliquer, après l'essai, pour:

- étanchéité comme essai final (si requis);
- mesures et examens visuels.

4.5.6 *Vibrations, balayage de fréquence* (destructif)

Mesures initiales et examen visuel: si applicable.

Cet essai est conforme à l'essai Fc de la Publication 68-2-6 de la CEI, en utilisant la méthode de montage prescrite dans la spécification particulière.

After the test, the circuits shall be allowed to recover for a maximum of 24 h (see Sub-clause 4.2.1.4).

The detail specification shall prescribe:

- test conditions 1, 2 or 3;
- duration of conditioning;
- bias if required;
- final measurements.

4.5.4 *Damp heat, cyclic* (destructive)

Initial measurements and visual examination: as applicable.

This test is in accordance with Test Db of IEC Publication 68-2-30 with the following details:

No special pre-conditioning procedure.

During conditioning: no loading, no measurements.

After the test, the circuits shall be allowed to recover for a maximum of 24 h (see Sub-clause 4.2.1.4)

The detail specification shall prescribe:

- upper temperature;
- number of cycles;
- final measurements.

4.5.5 *Shock* (non-destructive, unless otherwise stated in the detail specification)

Initial measurements and visual examination: as applicable.

This test is in accordance with Test Ea of IEC Publication 68-2-27 using the degree of severity prescribed in the detail specification.

Mounting: clamping both the body and the leads.

Gravitational effect: no special requirements.

Functioning: non-operative.

After the test the following requirements shall be met as prescribed in the detail specification:

- sealing as end point, if required;
- measurements and visual checks.

4.5.6 *Vibration, swept frequency* (destructive)

Initial measurements and visual examination: as applicable.

This test is in accordance with Test Fc of IEC Publication 68-2-6 using the method of mounting prescribed in the detail specification.

Procédure d'essai: endurance par balayage.

La sévérité est choisie parmi les suivantes:

Condition	Bande de fréquences	Accélération	
		m/s ²	Valeur équivalente en g_n
1	150 - 2 000	196	(20)
2	55 - 500	98	(10)
3	20 - 150	49	(5)

La durée totale doit être de 20 cycles de balayage dans chacune des trois directions perpendiculaires.

Fonctionnement: aucun.

La spécification particulière prescrit les exigences à appliquer, après l'essai, pour:

- étanchéité comme essai final (si requis);
- mesures et examens visuels.

4.5.7 Accélération constante (non destructif)

Mesures initiales et examen visuel: si applicable.

Cet essai est conforme à l'essai Ga de la Publication 68-2-7 de la CEI, en utilisant la méthode de montage prescrite dans la spécification particulière.

Direction de l'accélération: appliquée à l'orientation la plus critique.

La sévérité de l'accélération doit être choisie parmi les suivantes:

Accélération	
m/s ²	Valeur équivalente en g_n
294 000	30 000
196 000	20 000
98 000	10 000
49 000	5 000
19 600	2 000
4 900	500
490	50

Test procedure: endurance by sweeping.

Severity to be selected from the following:

Condition	Frequency range	Acceleration	
		m/s ²	Equivalent values g_n
1	150 - 2 000	196	(20)
2	55 - 500	98	(10)
3	20 - 150	49	(5)

The total duration shall be 20 sweep cycles in each of three mutually perpendicular directions.

Functioning: non-operative.

After the test, the following requirements shall be met as prescribed in the detail specification:

- sealing as end point, if required;
- measurement and visual checks.

4.5.7 Acceleration, steady state (non-destructive)

Initial measurements and visual examination: as applicable.

This test is in accordance with Test Ga of IEC Publication 68-2-7 using the method of mounting prescribed in the detail specification.

Direction of acceleration: to be applied to the most critical orientation.

Acceleration severity shall be chosen from the following:

Acceleration	
m/s ²	Equivalent values g_n
294 000	30 000
196 000	20 000
98 000	10 000
49 000	5 000
19 600	2 000
4 900	500
490	50

Durée de l'accélération: l'accélération doit être amenée à sa valeur spécifiée en 20 s au moins et doit être maintenue à cette valeur pendant au moins 1 min, puis être ramenée à zéro dans le même temps minimal.

La spécification particulière prescrit les exigences à appliquer, après l'essai, pour:

- étanchéité comme essai final (si requis);
- mesures et examens visuels.

4.5.8 Variation de température

Mesures initiales et examen visuel: si applicable.

Cet essai est conforme aux essais Na, Nb ou Nc de la Publication 68-2-14 de la CEI, avec les particularités suivantes:

4.5.8.1 Essai Na (méthode des deux chambres, essai non destructif)

Température basse: T_{stg} min. ± 3 °C prescrite dans la spécification particulière.

Température haute: T_{stg} max. ± 3 °C prescrite dans la spécification particulière.

Fonctionnement: aucun.

Température de transfert: 25 ± 5 °C.

Reprise: 2 h au minimum et 4 h au maximum.

La spécification particulière prescrit les exigences à appliquer, après l'essai, pour les mesures et l'examen visuel.

4.5.8.2 Essai Nb (méthode à une chambre, non destructif)

Température basse: T_{stg} min. ± 3 °C prescrite dans la spécification particulière

Température haute: T_{stg} max. ± 3 °C prescrite dans la spécification particulière.

La vitesse de variation de la température doit être de 5 °C/min.

Nombre de cycles: 2, sauf spécification contraire dans la spécification particulière.

La spécification particulière prescrit les exigences à appliquer, après l'essai, pour les mesures et l'examen visuel.

Fonctionnement: aucun.

Reprise: 2 h au minimum et 4 h au maximum.

Duration: The acceleration shall be increased to the specified value in not less than 20 s, remain at the specified acceleration for at least 1 min and then be decreased to zero in the same minimum time.

After the test, the following requirements shall be met as prescribed in the detail specification:

- sealing as end point, if required;
- measurements and visual checks.

4.5.8 Change of temperature

Initial measurements and visual examination: as applicable.

This test is in accordance with Tests Na, Nb or Nc of IEC Publication 68-2-14 with the following details:

4.5.8.1 Test Na (two chamber method, non-destructive)

Low temperature: T_{stg} min. ± 3 °C as prescribed in the detail specification.

High temperature: T_{stg} max. ± 3 °C as prescribed in the detail specification.

Functioning: non-operative

Transfer temperature: 25 ± 5 °C.

Recovery: 2 h minimum and 4 h maximum.

After the test, the requirements for measurements and visual examination shall be met as prescribed in the detail specification.

4.5.8.2 Test Nb (one chamber method, non-destructive)

Low temperature: T_{stg} min. ± 3 °C as prescribed in the detail specification.

High temperature: T_{stg} max. ± 3 °C as prescribed in the detail specification.

The rate of change of temperature shall be 5 °C/min.

Number of cycles: 2, unless otherwise prescribed in the detail specification.

After the test, the requirements for measurements and visual examination shall be met as prescribed in the detail specification.

Functioning: non-operative.

Recovery: 2 h minimum and 4 h maximum.

4.5.8.3 Méthode des deux bains

Essai Nc (méthode des deux bains d'eau - non destructif pour les circuits à cavité, sauf indication contraire dans la spécification particulière)

Température maximale et minimale conformément à la Publication 68 de la CEI.

Temps d'immersion aux températures basses et hautes: 15 s pour une masse ≤ 15 g,
5 min pour une masse > 15 g.

Temps de transfert: 3 s pour une masse ≤ 15 g,
10 s pour une masse > 15 g.

Nombre de cycles: 10.

Reprise: avant la période de reprise, les gouttelettes d'eau peuvent être enlevées par un jet d'air sec.

La spécification particulière prescrit les exigences à appliquer, après l'essai, pour les mesures et l'examen visuel.

4.5.9 Etanchéité (non destructif)

4.5.9.1 Fuite fine, méthode avec gaz traceur (hélium) et spectromètre de masse

Cet essai est conforme à l'essai Qk de la Publication 68-2-17 de la CEI.

4.5.9.1.1 Méthode d'essai 1 (applicable aux circuits non remplis d'hélium en cours de fabrication)

Après l'essai, les limites suivantes du taux de fuite normalisé équivalent autorisé sont (sauf indication contraire dans la spécification particulière):

- Pour les circuits de volume interne inférieur ou égal à $0,1 \text{ cm}^3$:
maximum $5 \times 10^{-8} \text{ Pa.m}^3/\text{s}$ ($5 \times 10^{-7} \text{ bar.cm}^3/\text{s}$) d'air sec.
- Pour les circuits de volume interne supérieur à $0,1 \text{ cm}^3$:
maximum $5 \times 10^{-7} \text{ Pa.m}^3/\text{s}$ ($5 \times 10^{-6} \text{ bar.cm}^3/\text{s}$) d'air sec.

4.5.9.1.2 Méthode d'essai 2 (applicable aux circuits remplis d'hélium en cours de fabrication)

Après l'essai les limites suivantes du taux de fuite normalisé équivalent autorisé (sauf indication contraire dans la spécification particulière) sont:

- Pour les circuits de volume interne inférieur ou égal à $0,1 \text{ cm}^3$:
maximum $5 \times 10^{-8} \text{ Pa.m}^3/\text{s}$ ($5 \times 10^{-7} \text{ bar.cm}^3/\text{s}$) d'air sec.

4.5.8.3 *Two-bath method*

Test Nc (two-bath method - non-destructive for cavity circuits, unless otherwise specified in the detail specification)

Low and high temperatures in accordance with IEC Publication 68.

Immersion time at low and high temperatures: 15 s for mass ≤ 15 g,
5 min for mass > 15 g.

Transfer time: 3 s for mass ≤ 15 g,
10 s for mass > 15 g.

Number of cycles: 10.

Recovery: droplets of water may be removed by a blast of clean dry air before the recovery period.

After the test, the requirements for measurements and visual examination shall be met as prescribed in the detail specification.

4.5.9 *Sealing* (non-destructive)

4.5.9.1 *Fine leak, tracer gas (helium) method with mass spectrometer*

This test is in accordance with test Qk of IEC Publication 68-2-17.

4.5.9.1.1 *Test method 1* (for circuits not filled with helium during manufacture)

After the test, the following limits of permissible equivalent standard leakage rate shall be met (unless otherwise prescribed in the detail specification):

- For circuits with an internal cavity volume of 0.1 cm^3 or less:
maximum $5 \times 10^{-8} \text{ Pa.m}^3/\text{s}$ ($5 \times 10^{-7} \text{ bar.cm}^3/\text{s}$) of dry air.
- For circuits with an internal cavity volume greater than 0.1 cm^3 :
maximum $5 \times 10^{-7} \text{ Pa.m}^3/\text{s}$ ($5 \times 10^{-6} \text{ bar.cm}^3/\text{s}$) of dry air.

4.5.9.1.2 *Test method 2* (for circuits filled with helium during manufacturing)

After the test, the following limits of permissible equivalent standard leakage rate shall be met (unless otherwise prescribed in the detail specification):

- For circuits with an internal cavity volume of 0.1 cm^3 or less:
maximum $5 \times 10^{-8} \text{ Pa.m}^3/\text{s}$ ($5 \times 10^{-7} \text{ bar.cm}^3/\text{s}$) of dry air.

- Pour les circuits de volume interne supérieur à $0,1 \text{ cm}^3$:
maximum $5 \times 10^{-7} \text{ Pa.m}^3/\text{s}$ ($5 \times 10^{-6} \text{ bar.cm}^3/\text{s}$) d'air sec.

4.5.9.2 Essai de fuite franche (bulles) (non destructif)

Cet essai est conforme à l'essai Qc, méthode 2 de la Publication 68-2-17 de la CEI.

Le but de cette méthode est de déterminer les taux de fuite supérieurs à :

$$10^{-7} \text{ Pa.m}^3/\text{s}$$

Type de liquide d'essai:	Liquide à température d'ébullition élevée, par exemple fluorocarbène.
Température du liquide d'essai:	$125 \pm 5 \text{ }^\circ\text{C}$ ou température maximale de stockage (la plus faible des deux valeurs).
Volume du liquide:	Le volume de liquide doit être suffisant pour que l'immersion du circuit n'ait pas d'influence notable sur la température.
Immersion:	Les circuits doivent être immergés à une profondeur de 50 mm minimum et séjourner dans le liquide durant 30 s au moins, et la présence de bulles est éventuellement décelée.
Orientation:	Pour circuits à boîtier enfichable, double en ligne et boîtier plat, les couvercles doivent être orientés vers le haut; pour tous les autres boîtiers, les sorties doivent être orientées vers le haut.
Reprise:	Après l'essai, les circuits doivent être retirés du liquide et débarrassés de toute trace de liquide au moyen d'un rinçage approprié à l'eau et au solvant et séchés dans un courant d'air chaud.
Exigence:	Pendant l'essai il ne doit pas y avoir de courant continu de bulles partant d'un ou de plusieurs endroits des circuits.

4.5.10 Soudabilité (destructif)

Mesures initiales et examen visuel: si applicable.

Ces essais sont destructifs, sauf s'ils n'altèrent pas le revêtement de la connexion ou, dans le cas de circuits destinés à être livrés, si le client accepte les spécimens d'essai de soudabilité. L'utilisation de pièces rejetées au contrôle électrique est autorisée.