

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Semiconductor devices – Mechanical and climatic test methods –
Part 27: Electrostatic discharge (ESD) sensitivity testing – Machine model (MM)**

**Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques –
Partie 27: Essai de sensibilité aux décharges électrostatiques (DES) – Modèle de
machine (MM)**



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2012 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.

If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur.

Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

IEC Central Office
3, rue de Varembé
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
Fax: +41 22 919 03 00
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

Useful links:

IEC publications search - www.iec.ch/searchpub

The advanced search enables you to find IEC publications by a variety of criteria (reference number, text, technical committee,...).

It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available on-line and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 30 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary (IEV) on-line.

Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: csc@iec.ch.

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Liens utiles:

Recherche de publications CEI - www.iec.ch/searchpub

La recherche avancée vous permet de trouver des publications CEI en utilisant différents critères (numéro de référence, texte, comité d'études,...).

Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

Just Published CEI - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications de la CEI. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 30 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (VEI) en ligne.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: csc@iec.ch.

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Semiconductor devices – Mechanical and climatic test methods –
Part 27: Electrostatic discharge (ESD) sensitivity testing – Machine model (MM)**

**Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques –
Partie 27: Essai de sensibilité aux décharges électrostatiques (DES) – Modèle de
machine (MM)**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.080.01

ISBN 978-2-8322-0407-8

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	3
1 Scope.....	5
2 Normative references	5
3 Terms and definitions	5
4 Equipment.....	6
4.1 MM ESD waveform generator	6
4.2 Waveform verification equipment.....	6
5 MM current waveform requirements.....	7
5.1 General.....	7
5.2 Waveform qualification and verification	10
5.3 Extra consideration for waveform specifications	9
6 Device specific evaluation considerations.....	10
6.1 Sample size and test conditions	10
6.2 Worst-case pin or standard qualification board	10
7 Classification procedure	11
7.1 Device requirements	11
7.2 Device selection	11
7.3 Device characterization	11
7.4 Device stress levels	11
7.5 Pin combinations	12
7.6 Order of test.....	12
8 Failure criteria	12
9 Classification criteria	12
10 Summary.....	13
Figure 1 – MM ESD waveform generator equivalent.....	7
Figure 2 – Typical current waveform through a shorting wire.....	8
Figure 3 – Typical current waveform through a 500 Ω resistor.....	9
Table 1 – Waveform specification	8
Table 2 – Pin combinations for integrated circuits	12

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**SEMICONDUCTOR DEVICES –
MECHANICAL AND CLIMATIC TEST METHODS –****Part 27: Electrostatic discharge (ESD) sensitivity testing –
Machine model (MM)**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

This consolidated version of IEC 60749-27 consists of the second edition (2006) [documents 47/1861/FDIS and 47/1873/RVD] and its amendment 1 (2012) [documents 47/2135/FDIS and 47/2144/RVD]. It bears the edition number 2.1.

The technical content is therefore identical to the base edition and its amendment and has been prepared for user convenience. A vertical line in the margin shows where the base publication has been modified by amendment 1. Additions and deletions are displayed in red, with deletions being struck through.

International Standard IEC 60749-27 has been prepared by IEC technical committee 47: Semiconductor devices.

This second edition cancels and replaces the first edition, published in 2003, and has been revised in collaboration with technical committee 101. Whilst it does not contain any major technical changes, reference is now made, where necessary, to IEC 61340-3-2.

A list of all parts of IEC 60749 series, under the general title *Semiconductor devices – Mechanical and climatic test methods* can be found on the IEC website.

The committee has decided that the contents of the base publication and its amendments will remain unchanged until the stability date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The “colour inside” logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this publication using a colour printer.

SEMICONDUCTOR DEVICES – MECHANICAL AND CLIMATIC TEST METHODS –

Part 27: Electrostatic discharge (ESD) sensitivity testing – Machine model (MM)

1 Scope

This part of IEC 60749 establishes a standard procedure for testing and classifying semiconductor devices according to their susceptibility to damage or degradation by exposure to a defined machine model (MM) electrostatic discharge (ESD). It may be used as an alternative test method to the human body model ESD test method. The objective is to provide reliable, repeatable ESD test results so that accurate classifications can be performed.

This test method is applicable to all semiconductor devices and is classified as destructive.

ESD testing of semiconductor devices is selected from this test method, the human body model (HBM – see IEC 60749-26) or other test methods in the IEC 60749 series. The MM and HBM test methods produce similar but not identical results. Unless otherwise specified, the HBM test method is the one selected.

NOTE 1 This test method does not truly simulate discharge from real machines or metallic tools because the test method uses high parasitic inductance of the test circuit, whereas real machines and metallic tools, whose discharge rise time is approximately 100 ps, have no inductance.

NOTE 2 Certain clauses in this test method are in accordance with IEC 61340-3-2.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 61340-3-2, *Electrostatics – Part 3-2: Methods for simulation of electrostatic effects – Machine model (MM – Component testing) electrostatic discharge test waveforms*

IEC 60749-26: *Semiconductor devices – Mechanical and climatic test methods – Part 26: Electrostatic discharge (ESD) sensitivity testing – Human body model (HBM)*

3 Terms and definitions

For the purposes of this document, the following terms and definitions apply.

3.1

device under test

DUT

semiconductor product subjected to MM ESD test

3.2

DUT failure

condition in which a DUT does not meet one or more specified parameters as a result of ESD test

3.3

ESD withstand voltage

maximum applied ESD voltage level that does not cause failure parameter limits to be exceeded provided that all DUTs stressed at lower levels have also passed

NOTE Clause 3 of this test method is in accordance with IEC 61340-3-2 except for the specific reference to devices.

3.4

ringing

noise component caused by a large inductance in the discharge circuit

4 Equipment

4.1 MM ESD waveform generator

This equipment produces an electrostatic discharge current pulse simulating a MM ESD event for application to the DUT. The equivalent waveform generator circuit and tester evaluation loads are illustrated in Figure 1.

4.2 Waveform verification equipment

4.2.1 General

Equipment capable of verifying the MM current waveform is defined in this standard. This equipment includes but is not limited to a waveform recording system, a high voltage resistor and a current transducer.

4.2.2 Waveform recording system

The waveform recording system shall have a minimum single shot bandwidth of 350 MHz.

4.2.3 Evaluation loads

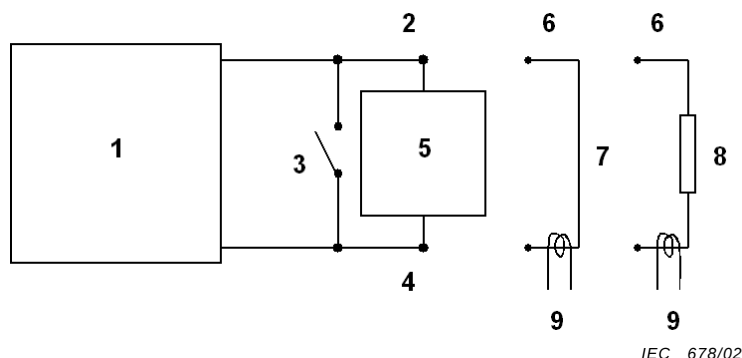
Two evaluation loads are necessary to verify the functionality of the waveform generator:

- a) load 1: a shorting wire;
- b) load 2: a 500 Ω with a tolerance of $\pm 1\%$ low inductance resistor appropriate rated for the voltages that will be used for waveform qualification.

The lead length of the evaluation loads (shorting wire or resistor) shall be as short as possible consistent with connecting the evaluation load to the appropriate reference terminals (A and B in Figure 1) while passing through the current transducer.

4.2.4 Current transducer

The current transducer shall have a minimum bandwidth of 350 MHz.

**Key**

- 1 MM ESD waveform generator (nominally 200 pF)
- 2 Terminal A
- 3 Switch
- 4 Terminal B
- 5 DUT
- 6 Evaluation load
- 7 Shorting wire
- 8 Resistance $R = 500 \, \Omega$
- 9 Current transducer

Figure 1 – MM ESD waveform generator equivalent

Requirements for Figure 1:

1. The evaluation loads (7 and 8) are specified in 4.2.3.
2. The current transducer (9) is specified in 4.2.4.
3. The reversal of terminals A (2) and B (4) to achieve dual polarity is not permitted.
4. The switch (3) is closed 10 ms to 100 ms after the pulse delivery period of each single MM pulse to ensure that the DUT and any test fixture are not left in a charged state.

NOTE 1 The performance of the waveform generator is strongly influenced by parasitic capacitance and inductance.

NOTE 2 Precautions must be taken in the design of the waveform generator to avoid recharge transients and double pulses.

NOTE 3 A resistance in series with the switch would ensure a slow discharge of the DUT.

NOTE 4 Clause 4 of this test method is in accordance with IEC 61340-3-2 except for the specific reference to devices.

5 MM current waveform requirements

5.1 General

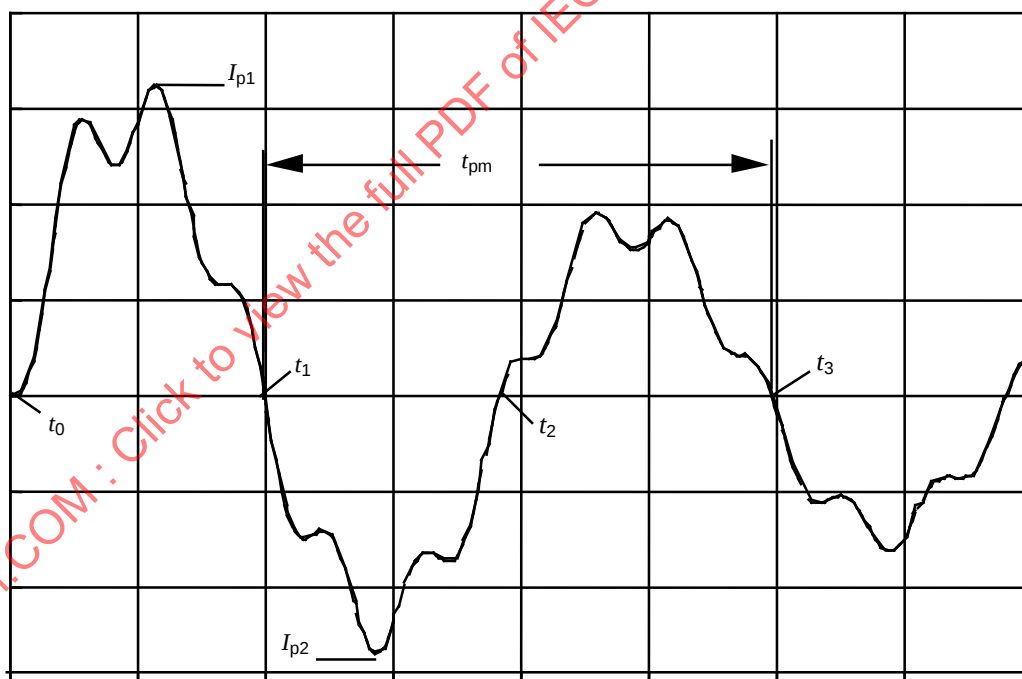
Prior to DUT testing, MM ESD waveform generator qualification shall ensure waveform integrity of the discharge current through both a shorting wire and a resistive load. The shorting wire waveform requirements are specified in Figure 2 for all positive and negative voltages defined in Table 1, while the resistive load waveform requirements for $\pm 400 \, \text{V}$ are shown in Figure 3 and Table 1.

Table 1 – Waveform specification

Level	Equivalent voltage V	I_{p1} peak current through a shorting wire A ($\pm 15\%$)	I_{PR} peak current through a 500 Ω resistor A	I_{100} current through a 500 Ω resistor at 100 ns A ($\pm 15\%$)
1	100	1,7	–	–
2	200	3,5	–	–
3	400	7,0	$< I_{100} \times 4,5$	0,29
4	800	14,0	–	–

Level	Equivalent voltage V	I_{p1} peak current through a shorting wire A ($\pm 15\%$) ^a	I_{PR} peak current through a 500 Ω resistor A	I_{100} current through a 500 Ω resistor at 100 ns A ($\pm 15\%$)
1	100	1,7 (1,5)	–	–
2	200	3,5 (3,0)	–	–
3	400	7,0 (6,0)	$< I_{100} \times 4,5$	0,29
4	800	14,0 (12,0)	–	–

^a Values in parentheses are the peak current value without ringing.



20 ns per division

IEC 682/02

Figure 2 – Typical current waveform through a shorting wire

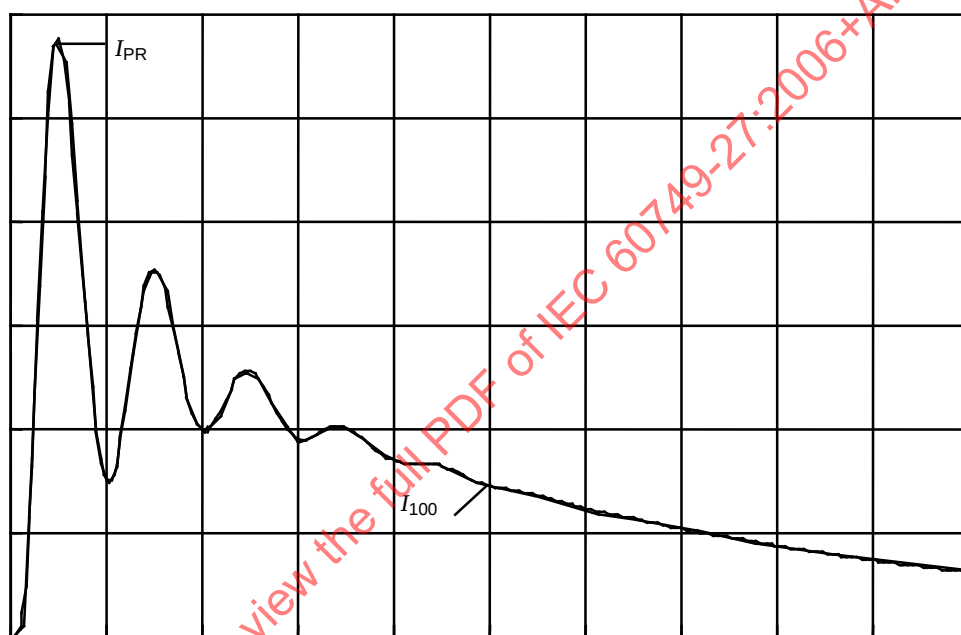
Requirements for Figure 2:

The current pulse shall meet the following requirements:

I_{p1} is the maximum peak current is specified in Table 1;

I_{p2} is the second peak current shall be between 67 % and 90 % of the absolute value obtained for I_{p1} for each level;

t_{pm} is the period of the major pulse shall be between 63 ns and 91 ns. The measurement shall be made between the first zero crossing point, t_1 , and the third zero crossing point, t_3 . The inductance (L) which is related to t_{pm} shall be controlled to meet the above specified pulse period. The recommended value is 750 nH.



20 ns per division

IEC 683/02

Figure 3 – Typical current waveform through a 500 Ω resistor

Requirements for Figure 3:

The current pulse through a 500 Ω resistor shall meet the following characteristics:

I_{PR} is the maximum peak current shall be within the range specified in Table 1;

I_{100} is the current at 100 ns is defined in Table 1.

5.3 Extra consideration for waveform specifications

The peak current I_{p1} without ringing shall be verified against the values in Table 1.

5.2 Waveform qualification and verification

Equipment qualification shall be performed during initial acceptance testing. Re-qualification is required whenever equipment repairs are made that may affect the waveform. Additionally, the waveforms shall be verified periodically. If a test fixture or circuit board is used to perform DUT testing, the test fixture (board) shall also be used during equipment qualification tests. In case the waveform no longer meets the waveform parameters described in Table 1 and Figures 2 and 3, all ESD testing performed after the previous satisfactory waveform check shall be considered invalid.

NOTE Clause 5 of this test method is in accordance with IEC 61340-3-2 except for the specific reference to devices.

6 Device specific evaluation considerations

6.1 Sample size and test conditions

In the semiconductor industry, the typical ESD evaluation uses a sample size of three devices, each of which is tested using one positive and one negative pulse with a pulse interval of 300 ms.

6.2 Worst-case pin or standard qualification board

6.2.1 General

Equipment qualification shall be made by discharge current measurement with a worst-case pin combination of DUT board, as specified in 6.2.2. This method shall be used if the equipment is constructed using a single discharge generator that can be connected to all pins of the socket on the DUT board by switching of relays.

Multiple discharge generators shall be qualified using the standard qualification board specified in 6.2.3. This method shall be used if the equipment is constructed to use a large number of pairs of pins of the DUT board and each test circuit is connected to only a single pin of the DUT board.

6.2.2 Worst-case pin

The worst-case pin combination for each socket and DUT board shall be identified and documented. It is recommended that the manufacturers supply the worst-case pin data with each DUT board. The pin combination with the waveform closest to the limits (see Table 1) shall be designated for waveform verification.

The worst-case pin combination shall be identified by the following procedure:

- a) For each test socket, identify the socket pin with the shortest wiring path from the pulse generating circuit to the test socket. Connect this pin to terminal B (where it will remain the reference pin throughout the worst case pin search) and connect one of the remaining pins to terminal A. Attach a shorting wire between these pins with the current probe around the shorting wire, as close to terminal B as practicable.
- b) Apply a positive 400 V pulse and a negative 400 V pulse and verify that the waveform meets the requirements defined in Table 1 for both positive and negative pulses.
- c) Repeat steps a) and b) until all socket pins have been evaluated.
- d) Determine the worst-case pin pair (within the limits and closest to the minimum or maximum parameter values as specified in Table 1) to be used for future waveform verification.

- e) For initial board check-out, connect a 500 Ω resistor between the worst-case pins previously identified with the shorting wire in step d). Apply a positive and negative 400 V pulse and verify that the waveform meets the requirements defined in Table 1.

NOTE If the test socket/test board has already been characterized for worst-case pin on HBM, then that pin combination is acceptable for use with MM waveform verification. As an alternative to the worst-case pin search, the reference pin pair may be identified for each test socket of each test fixture. The reference pin combination should be identified by determining the socket pin with the shortest wiring path from the pulse generating circuit to the test socket. Connect this pin to terminal B and then connect the socket pin with the longest wiring path from the pulse generating circuit to the test socket to terminal A (normally provided by the manufacturer). Attach a shorting wire between these pins with the current probe around the shorting wire. Follow the procedure in step b). For the initial board check-out connect a 500 Ω resistor between the reference pins. Apply a positive and negative 400 V pulse and verify that the waveform meets the parameters in Table 1.

6.2.3 Standard qualification board

The standard qualification board shall satisfy the following requirements:

- the size for the standard qualification board shall be the same size as is used for the DUT board;
- the specific length of internal wires of the standard qualification board, between equipment and the terminals used to connect with evaluation loads, shall be specified in the applicable specification;
- the total length of each circuit pair in all DUT boards shall be shorter than/equal to the length of the internal wire pairs in the standard qualification board and the evaluation load specified in 4.2.3.

7 Classification procedure

7.1 Device requirements

The devices used for classification testing shall have completed all normal manufacturing operations.

7.2 Device selection

Prior to ESD testing, d.c. parametric and functional testing at room temperature and, if applicable, high temperature shall be performed on all devices submitted for ESD testing. The test devices shall meet device data sheet requirements for these parameters.

7.3 Device characterization

A sample of devices (e.g. three) for each voltage level shall be characterized for the device ESD failure threshold using the voltage steps shown in Table 1. Finer voltage steps may optionally be used to obtain a more accurate measure of the failure threshold. ESD testing should begin at the lowest step in Table 1. The ESD test shall be performed at room temperature.

7.4 Device stress levels

Each sample of devices (e.g. three) shall be stressed at one voltage level using one positive and one negative pulse with a minimum of 0,3 s between pulses per pin for all pin combinations specified in Table 2. It is permitted to use a separate sample of devices (e.g. three) for each pin combination specified in Table 2. It is permitted to use the same sample (e.g. three) at the next highest voltage stress level if all devices pass the failure criteria specified in Clause 8 after ESD exposure to a specified voltage level.

7.5 Pin combinations

The pin combinations to be used are given in Table 2. The actual number of pin combinations depends on the number of power pin groups. Like-named power pins (V_{CC1} , V_{CC2} , V_{SS1} , V_{SS2} , GND, etc.) that are directly connected by metal (inside the package) may be tied together and treated as one pin for terminal B connection. Otherwise, each power pin shall be treated as a separate power pin. Programming pins that do not draw current should be considered as I/O pins (example: V_{PP} pins on memory devices). Active discrete devices (FETs, transistors, etc.) shall be tested using all possible pin-pair combinations (one pin connected to terminal A, another pin connected to terminal B) regardless of pin name or function. All pins configured as “no connect” pins shall be verified as “no-connect” and left open (floating) at all times. Pins labelled “no-connect”, that in fact are connected, shall be tested as non-supply pins.

Table 2 – Pin combinations for integrated circuits

Pin combination	Connect individually to terminal A	Connect to terminal B (ground)	Floating pins (unconnected)
1	All pins one at a time, except the pin(s) connected to terminal B	First power pin(s)	All pins except PUT ^a and first power pin(s)
2	All pins one at a time, except the pin(s) connected to terminal B	Second power pin(s)	All pins except PUT and second power pin(s)
3	All pins one at a time, except the pin(s) connected to terminal B	N th power pin(s)	All pins except PUT and N th power pin(s)
4	Each non-supply pin, one at a time	All other non-supply pins collectively except PUT	All power pins

^a PUT: Pin under test.

7.6 Order of test

If a different sample group is ESD tested at each stress level, it is permitted to perform the d.c. parametric and functional ATE (automatic test equipment) testing after all sample groups have been ESD tested.

8 Failure criteria

A device will be defined as a failure if, after exposure to ESD pulses, it no longer meets the device data sheet requirements using parametric and functional testing. If testing is required at a number of different temperatures, testing shall be performed at the lowest temperature first.

9 Classification criteria

All samples used shall meet the test requirements of Clause 7 up to a particular voltage level in order for the device to be classified as meeting a particular withstand classification.

CLASS A: Any device that fails after exposure to an ESD pulse of 200 V or less.

CLASS B: Any device that passes after exposure to an ESD pulse of 200 V, but fails after exposure to an ESD pulse of 400 V.

CLASS C: Any device that passes after exposure to an ESD pulse of 400 V.

10 Summary

The following details shall be specified in the applicable specification:

- a) test method to be selected from human body model or machine model (see Clause 1);
- b) frequency of equipment qualification (see 5.2);
- c) worst case pin pair and DUT board used for equipment qualification if it is used (see 6.2);
- d) acceptable difference in discharge times during machine repeatability testing (see 5.2 and 6.2);
- e) identification of worst case pin pair for each socket and DUT board (see 6.2.2);
- f) specific length of internal wires of the standard qualification board (see 6.2.3);
- g) sample size for testing (see 6.1);
- h) functional and electrical characteristics of each device for failure criteria (see Clause 8);
- i) temperature for electrical testing if required (see Clause 8).

IECNORM.COM : Click to view the full PDF of IEC 60749-27:2006+AMD1:2012 CSV

SOMMAIRE

AVANT-PROPOS	15
1 Domaine d'application	17
2 Références normatives	17
3 Termes et définitions	17
4 Appareillage	18
4.1 Générateur de forme de DES du MM	18
4.2 Appareil de vérification de la forme d'onde	18
5 Exigences de forme d'onde de courant du MM	19
5.1 Généralités	19
5.2 Qualification et vérification de la forme d'onde	22
5.3 Considération supplémentaire pour les spécifications de forme d'onde	21
6 Considérations relatives à l'évaluation spécifique des dispositifs	22
6.1 Taille de l'échantillon et conditions d'essai	22
6.2 Broche du cas le plus défavorable ou carte de qualification standard	22
7 Procédure de classification	23
7.1 Exigence pour les dispositifs	23
7.2 Sélection des dispositifs	23
7.3 Caractérisation des dispositifs	23
7.4 Niveaux de contrainte des dispositifs	24
7.5 Combinaisons de broches	24
7.6 Ordre des essais	24
8 Critères de défaillance	24
9 Critères de classification	25
10 Résumé	25
Figure 1 – Équivalent au générateur de forme d'onde de DES du MM	19
Figure 2 – Forme d'onde de courant type au travers d'un fil court-circuitant	20
Figure 3 – Forme d'onde de courant type à travers une résistance de 500 Ω	21
Tableau 1 – Spécification de formes d'onde	20
Tableau 2 – Combinaisons de broches pour circuits intégrés	24

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

**DISPOSITIFS À SEMICONDUCTEURS –
MÉTHODES D'ESSAIS MÉCANIQUES ET CLIMATIQUES –****Partie 27: Essai de sensibilité aux décharges électrostatiques (DES) –
Modèle de machine (MM)**

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de la CEI. La CEI n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de brevet. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

Cette version consolidée de la CEI 60749-27 comprend la deuxième édition (2006) [documents 47/1861/FDIS et 47/1873/RVD] et son amendement 1 (2012) [documents 47/2135/FDIS et 47/2144/RVD]. Elle porte le numéro d'édition 2.1.

Le contenu technique de cette version consolidée est donc identique à celui de l'édition de base et à son amendement; cette version a été préparée par commodité pour l'utilisateur. Une ligne verticale dans la marge indique où la publication de base a été modifiée par l'amendement 1. Les ajouts et les suppressions apparaissent en rouge, les suppressions sont barrées.

La Norme internationale CEI 60749-27 a été établie par le comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Cette deuxième édition annule et remplace la première édition, publiée en 2003, et a été révisée en collaboration avec le comité d'études 101. Bien qu'elle ne contienne pas de modifications techniques majeures, référence est maintenant faite, si nécessaire, à la CEI 61340-3-2.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Une liste de toutes les parties de la série CEI 60749, présentées sous le titre général *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques* peut être consultée sur le site web de la CEI.

Le comité a décidé que le contenu de la publication de base et de ses amendements ne sera pas modifié avant la date de stabilité indiquée sur le site web de la CEI sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

DISPOSITIFS À SEMICONDUCTEURS – MÉTHODES D'ESSAIS MÉCANIQUES ET CLIMATIQUES –

Partie 27: Essai de sensibilité aux décharges électrostatiques (DES) – Modèle de machine (MM)

1 Domaine d'application

La présente partie de la CEI 60749 établit une procédure normalisée pour les essais et les classements des dispositifs à semiconducteurs en fonction de leur sensibilité aux dommages ou à la dégradation du fait de leur exposition à une décharge électrostatique (DES) sur un modèle de machine (MM) défini. Elle peut être utilisée comme une méthode d'essai en variante à la méthode d'essai de DES sur le modèle du corps humain. L'objectif est de fournir des résultats d'essai de DES fiables et reproductibles de manière à ce que des classifications précises puissent être réalisées.

Cette méthode d'essai est applicable à tous les dispositifs à semiconducteurs et elle est classée destructive.

L'essai de DES pour les dispositifs à semiconducteurs est choisi entre la présente méthode d'essai, celle du modèle du corps humain (HBM - voir la CEI 60749-26) ou d'autres méthodes d'essai de série de la CEI 60749. Les méthodes d'essai MM et HBM donnent des résultats similaires mais pas identiques. Sauf spécification contraire, la méthode d'essai HBM sera choisie.

NOTE 1 Cette méthode d'essai ne simule pas vraiment les décharges de machines réelles ou d'outils métalliques parce que cette méthode utilise une inductance parasite forte du circuit d'essai, alors que les machines réelles ou les outils métalliques dont le temps de montée de décharge est approximativement 100 ps n'ont pas d'inductance.

NOTE 2 Certains articles de cette méthode d'essai sont conformes à la CEI 61340-3-2.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 61340-3-2, *Electrostatique – Partie 3-2: Méthodes pour la simulation des effets électrostatiques – Formes d'onde d'essai des décharges électrostatiques pour les modèles de machine (MM)*

CEI 60749-26, *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques – Partie 26: Essai de sensibilité aux décharges électrostatiques (DES) – Modèle du corps humain (HBM)*

3 Termes et définitions

Pour les besoins du présent document les termes et définitions suivants sont applicables.

3.1

dispositif en essai

DEE

dispositif à semiconducteur soumis à l'essai de DES MM

3.2

défaillance du DEE

condition pour laquelle un DEE n'est pas conforme à un ou plusieurs paramètres spécifiés à la fin de l'essai de DES

3.3

tension de tenue de DES

niveau de tension de DES maximum appliqué qui ne provoque pas de dépassement des limites de défaillance pourvu que tous les DEE soumis à contrainte à des niveaux inférieurs aient également subi les essais avec succès

NOTE L'Article 3 de cette méthode d'essai est conforme à la CEI 61340-3-2 sauf pour les références particulières aux dispositifs.

3.4

oscillation transitoire

composante de bruit causée par une inductance importante dans le circuit de décharge

4 Appareillage

4.1 Générateur de forme de DES du MM

Cet appareil produit une impulsion de décharge de courant électrostatique simulant un événement de DES du MM pour l'application du DEE. Le circuit de générateur de forme équivalent ainsi que les charges d'évaluation de l'appareil d'essai sont illustrées à la Figure 1.

4.2 Appareil de vérification de la forme d'onde

4.2.1 Généralités

L'appareil capable de vérifier l'impulsion de la forme d'onde de courant du MM est défini dans la présente norme. Cet appareil comprend, entre autres, un système d'enregistrement de la forme d'onde, une résistance à haute tension et un transducteur de courant.

4.2.2 Système d'enregistrement de la forme d'onde

Le système d'enregistrement de la forme d'onde doit avoir une largeur de bande à action unique minimale de 350 MHz.

4.2.3 Charges d'évaluation

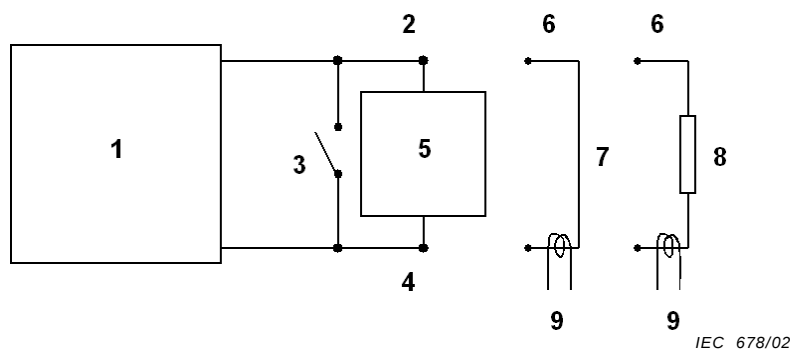
Deux charges d'évaluation sont nécessaires pour vérifier la fonctionnalité du générateur de forme d'onde:

- a) charge 1: un fil court-circuitant
- b) charge 2: une résistance de 500 Ω à inductance faible de valeur nominale appropriée avec une tolérance de ± 1 % pour les tensions qui seront utilisées pour la qualification de la forme d'onde.

La longueur des fils des charges d'évaluation (fil court-circuitant ou résistance) aussi courte que possible doit être compatible avec une connexion de la charge d'évaluation aux broches de référence appropriées (A et B à la Figure 1) lors du passage à travers le transducteur de courant.

4.2.4 Transducteur de courant

Le transducteur de courant doit avoir une largeur de bande minimale de 350 MHz.



Légende

- 1 Générateur de forme d'onde de DES du MM (nominalement 200 pF)
- 2 Borne A
- 3 Interrupteur
- 4 Borne B
- 5 Composant en essai (DEE)
- 6 Charge d'évaluation
- 7 Fil court-circuitant
- 8 Résistance $R = 500 \Omega$
- 9 Transducteur de courant

Figure 1 – Équivalent au générateur de forme d'onde de DES du MM

Exigences de la Figure 1:

1. Les charges d'évaluation (7 et 8) sont spécifiées en 4.2.3.
2. Le transducteur de courant (9) est spécifié en 4.2.4.
3. L'inversion des bornes A (2) et B (4) pour réaliser une double polarité n'est pas autorisée.
4. L'interrupteur (3) est fermé de 10 ms à 100 ms après la période de livraison d'impulsions de chaque impulsion MM pour s'assurer que le socle n'a pas été laissé dans un état chargé.

NOTE 1 La performance du générateur de forme d'onde est fortement influencée par l'inductance et la capacité parasites.

NOTE 2 Il faut prendre des précautions dans la conception du générateur de formes d'ondes afin d'éviter les transitoires de recharge et les impulsions doubles.

NOTE 3 Une résistance en série avec l'interrupteur assure une lente décharge du dispositif.

NOTE 4 L'Article 4 de cette méthode d'essai est conforme à la CEI 61340-3-2 sauf pour les références particulières aux dispositifs.

5 Exigences de forme d'onde de courant du MM

5.1 Généralités

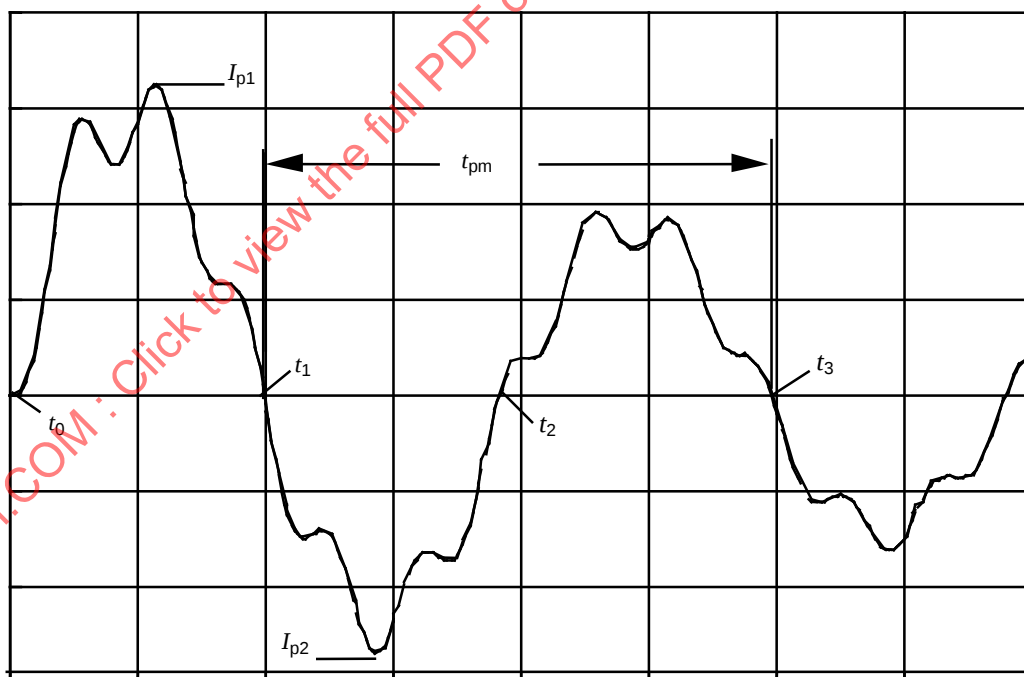
Avant les essais de composants électroniques, la qualification du générateur de forme d'onde de DES du MM doit assurer l'intégrité de la forme du courant de décharge à travers un fil court-circuitant et une charge résistive. Les exigences de la forme du court-circuit sont spécifiées à la Figure 2 pour toutes les tensions positives et négatives définies dans le Tableau 1, tandis que les exigences de forme de la charge résistive pour $\pm 400 \text{ V}$ sont illustrées à la Figure 3 et au Tableau 1.

Tableau 1 – Spécification de formes d'onde

Niveau	Tension équivalente V	I_{p1} , courant de crête à travers un fil court-circuitant A ($\pm 15\%$)	I_{PR} , courant de crête à travers une résistance de $500\ \Omega$ A	I_{100} , courant au travers d'une résistance de $500\ \Omega$ à 100 ns A ($\pm 15\%$)
1	100	1,7	–	–
2	200	3,5	–	–
3	400	7,0	$< I_{100} \times 4,5$	0,29
4	800	14,0	–	–

Niveau	Tension équivalente V	I_{p1} , courant de crête à travers un fil court-circuitant A ($\pm 15\%$) ^a	I_{PR} , courant de crête à travers une résistance de $500\ \Omega$ A	I_{100} , courant au travers d'une résistance de $500\ \Omega$ à 100 ns A ($\pm 15\%$)
1	100	1,7 (1,5)	–	–
2	200	3,5 (3,0)	–	–
3	400	7,0 (6,0)	$< I_{100} \times 4,5$	0,29
4	800	14,0 (12,0)	–	–

^a Les valeurs entre parenthèses sont la valeur crête actuelle sans oscillation transitoire.



20 ns par division

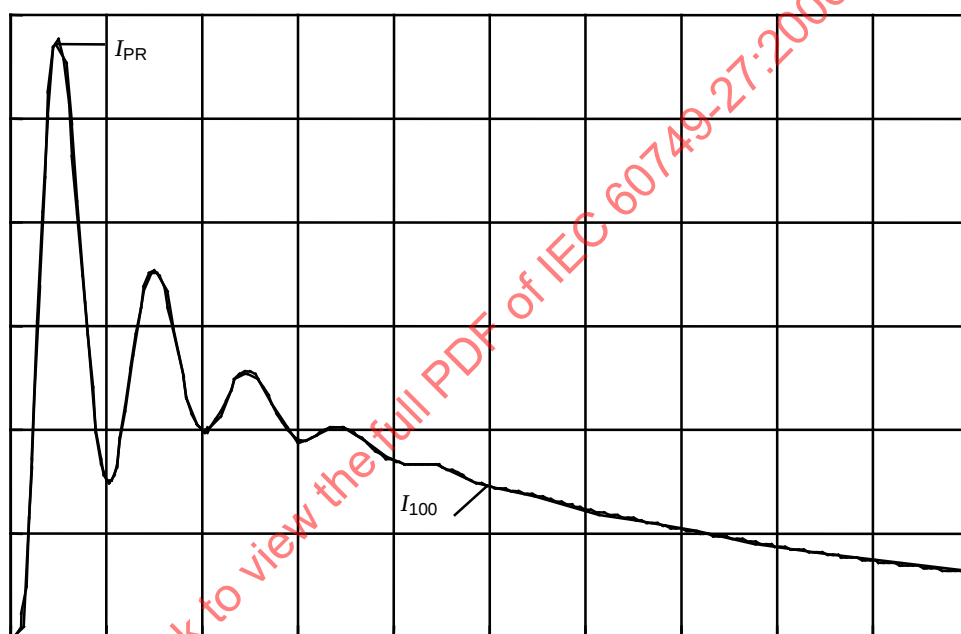
IEC 682/02

Figure 2 – Forme d'onde de courant type au travers d'un fil court-circuitant

Exigences de la Figure 2:

L'impulsion de courant doit répondre aux exigences suivantes:

- I_{p1} est le courant de crête maximal spécifié au Tableau 1;
- I_{p2} est le second courant de crête compris entre 67 % et 90 % de la valeur absolue obtenue pour I_{p1} pour chaque niveau;
- t_{pm} est la période de l'impulsion principale comprise entre 63 ns et 91 ns. La mesure doit être effectuée entre le premier point de croisement zéro, t_1 , et le troisième point de croisement zéro, t_3 . L'inductance (L) qui est liée à t_{pm} doit être contrôlée afin de satisfaire à la période d'impulsion spécifiée ci-dessus. La valeur recommandée est 750 nH.



20 ns par division

IEC 683/02

Figure 3 – Forme d'onde de courant type à travers une résistance de 500 Ω

Exigences pour la Figure 3:

L'impulsion de courant au travers d'une résistance de 500 Ω doit répondre aux caractéristiques suivantes:

- I_{PR} est le courant de crête maximal devant se situer dans la plage spécifiée au Tableau 1;
- I_{100} est le courant à 100 ns défini au Tableau 1.

5.3 Considération supplémentaire pour les spécifications de forme d'onde

Le courant de crête I_{p1} sans oscillation doit être vérifié par rapport aux valeurs du Tableau 1.

5.2 Qualification et vérification de la forme d'onde

La qualification de l'appareil doit être réalisée au cours de l'essai de réception initial. La requalification est prescrite lorsque les réparations d'appareils sont effectuées en affectant éventuellement la forme d'onde. Si un dispositif d'essai fixe ou une carte imprimée est utilisée pour effectuer l'essai du DEE, le dispositif fixe (carte) doit aussi être utilisé pendant les essais de qualification de l'appareil. Dans le cas où la forme d'onde n'est plus conforme aux paramètres décrits au Tableau 1 et dans les Figures 2 et 3, tous les essais de DES effectués après les précédentes vérifications de la forme d'onde doivent être considérés comme non valides.

NOTE L'Article 5 de cette méthode d'essai est conforme à la CEI 61340-3-2 sauf pour les références particulières aux dispositifs.

6 Considérations relatives à l'évaluation spécifique des dispositifs

6.1 Taille de l'échantillon et conditions d'essai

Dans l'industrie des semiconducteurs, l'évaluation de DES type utilise un échantillonnage de trois dispositifs, chacun d'entre eux étant testé en appliquant une impulsion positive et une impulsion négative avec un intervalle d'impulsion de 300 ms.

6.2 Broche du cas le plus défavorable ou carte de qualification standard

6.2.1 Généralités

L'équipement de qualification doit être effectuée par mesure du courant de décharge avec la combinaison de broche du cas le plus défavorable sur la carte DEE, comme spécifié en 6.2.2. Cette méthode doit être utilisée si l'équipement est construit à l'aide d'un générateur à décharge simple qui peut être connecté à toutes les broches du support sur la carte DEE par commutation des relais.

Les générateurs à décharges multiples doivent être qualifiés en utilisant la carte de qualification standard telle que spécifiée en 6.2.3. Cette méthode doit être utilisée si l'équipement est construit en utilisant une grande quantité de paires de broches de la carte DEE et chaque circuit d'essai est connecté à seulement une simple paire de broches sur la carte DEE.

6.2.2 Broche du cas le plus défavorable

La combinaison de broche du cas le plus défavorable pour chaque support et pour chaque carte DEE doit être identifiée et documentée. Il est recommandé que les fabricants fournissent les données de broches du cas le plus défavorable avec chaque carte DEE. La combinaison de broche avec la forme d'onde la plus proche des limites (voir Tableau 1) doit être désignée pour la vérification de la forme d'onde.

La combinaison de broche du cas le plus défavorable doit être identifiée par la procédure qui suit:

- Pour chaque support d'essai, identifier la broche de support avec le chemin de câblage le plus court entre le circuit générateur d'impulsions et le support d'essai. Connecter cette broche à la borne B (où elle restera la broche de référence pendant toute la recherche de broche du cas le plus défavorable) et connecter une des broches restantes à la borne A. Fixer un fil court-circuitant entre ces broches avec la sonde de courant autour du fil court-circuitant, aussi près de la borne B que cela est possible en pratique.
- Appliquer une impulsion positive de 400 V et une impulsion négative de 400 V et vérifier que la forme d'onde satisfait aux exigences définies au Tableau 1 pour les impulsions tant positives que négatives.
- Répéter les étapes a) et b) jusqu'à ce que toutes les broches soient évaluées.