

**NORME  
INTERNATIONALE  
INTERNATIONAL  
STANDARD**

**CEI  
IEC**

**60749-29**

Première édition  
First edition  
2003-11

---

---

**Dispositifs à semiconducteurs –  
Méthodes d'essais mécaniques et climatiques –**

**Partie 29:  
Essai de verrouillage**

**Semiconductor devices –  
Mechanical and climatic test methods –**

**Part 29:  
Latch-up test**



Numéro de référence  
Reference number  
CEI/IEC 60749-29:2003

## Numérotation des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000. Ainsi, la CEI 34-1 devient la CEI 60034-1.

## Editions consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

## Informations supplémentaires sur les publications de la CEI

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique. Des renseignements relatifs à cette publication, y compris sa validité, sont disponibles dans le Catalogue des publications de la CEI (voir ci-dessous) en plus des nouvelles éditions, amendements et corrigenda. Des informations sur les sujets à l'étude et l'avancement des travaux entrepris par le comité d'études qui a élaboré cette publication, ainsi que la liste des publications parues, sont également disponibles par l'intermédiaire de:

- Site web de la CEI ([www.iec.ch](http://www.iec.ch))
- Catalogue des publications de la CEI

Le catalogue en ligne sur le site web de la CEI ([www.iec.ch/searchpub](http://www.iec.ch/searchpub)) vous permet de faire des recherches en utilisant de nombreux critères, comprenant des recherches textuelles, par comité d'études ou date de publication. Des informations en ligne sont également disponibles sur les nouvelles publications, les publications remplacées ou retirées, ainsi que sur les corrigenda.

- IEC Just Published

Ce résumé des dernières publications parues ([www.iec.ch/online\\_news/justpub](http://www.iec.ch/online_news/justpub)) est aussi disponible par courrier électronique. Veuillez prendre contact avec le Service client (voir ci-dessous) pour plus d'informations.

- Service clients

Si vous avez des questions au sujet de cette publication ou avez besoin de renseignements supplémentaires, prenez contact avec le Service clients:

Email: [custserv@iec.ch](mailto:custserv@iec.ch)  
Tél: +41 22 919 02 11  
Fax: +41 22 919 03 00

## Publication numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series. For example, IEC 34-1 is now referred to as IEC 60034-1.

## Consolidated editions

The IEC is now publishing consolidated versions of its publications. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

## Further information on IEC publications

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology. Information relating to this publication, including its validity, is available in the IEC Catalogue of publications (see below) in addition to new editions, amendments and corrigenda. Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is also available from the following:

- IEC Web Site ([www.iec.ch](http://www.iec.ch))
- Catalogue of IEC publications

The on-line catalogue on the IEC web site ([www.iec.ch/searchpub](http://www.iec.ch/searchpub)) enables you to search by a variety of criteria including text searches, technical committees and date of publication. On-line information is also available on recently issued publications, withdrawn and replaced publications, as well as corrigenda.

- IEC Just Published

This summary of recently issued publications ([www.iec.ch/online\\_news/justpub](http://www.iec.ch/online_news/justpub)) is also available by email. Please contact the Customer Service Centre (see below) for further information.

- Customer Service Centre

If you have any questions regarding this publication or need further assistance, please contact the Customer Service Centre:

Email: [custserv@iec.ch](mailto:custserv@iec.ch)  
Tel: +41 22 919 02 11  
Fax: +41 22 919 03 00

**NORME  
INTERNATIONALE  
INTERNATIONAL  
STANDARD**

**CEI  
IEC**

**60749-29**

Première édition  
First edition  
2003-11

---

---

**Dispositifs à semiconducteurs –  
Méthodes d'essais mécaniques et climatiques –**

**Partie 29:  
Essai de verrouillage**

**Semiconductor devices –  
Mechanical and climatic test methods –**

**Part 29:  
Latch-up test**

© IEC 2003 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission, 3, rue de Varembé, PO Box 131, CH-1211 Geneva 20, Switzerland  
Telephone: +41 22 919 02 11 Telefax: +41 22 919 03 00 E-mail: inmail@iec.ch Web: www.iec.ch



Commission Electrotechnique Internationale  
International Electrotechnical Commission  
Международная Электротехническая Комиссия

CODE PRIX  
PRICE CODE

**S**

Pour prix, voir catalogue en vigueur  
For price, see current catalogue

## SOMMAIRE

|                                                                                                                |    |
|----------------------------------------------------------------------------------------------------------------|----|
| AVANT-PROPOS .....                                                                                             | 4  |
| 1 Domaine d'application.....                                                                                   | 8  |
| 2 Définitions .....                                                                                            | 8  |
| 3 Appareillage et matériel .....                                                                               | 14 |
| 3.1 Testeur de verrouillage .....                                                                              | 14 |
| 3.2 Equipement d'essai automatisé (ATE) .....                                                                  | 18 |
| 3.3 Source de chaleur .....                                                                                    | 18 |
| 4 Procédure.....                                                                                               | 18 |
| 4.1 Procédure d'essai de verrouillage générale .....                                                           | 18 |
| 4.2 Procédure d'essai de verrouillage détaillée .....                                                          | 20 |
| 5 Critères de défaillance .....                                                                                | 24 |
| 6 Résumé .....                                                                                                 | 24 |
| Figure 1 – Circuit de qualification de $V_{\text{alim}}$ .....                                                 | 16 |
| Figure 2 – Circuit de qualification de la source de déclenchement.....                                         | 18 |
| Figure 3 – Diagramme d'essai de verrouillage.....                                                              | 28 |
| Figure 4 – Forme d'onde d'essai pour l'essai I positif.....                                                    | 30 |
| Figure 5 – Forme d'onde d'essai pour l'essai I négatif.....                                                    | 32 |
| Figure 6 – Forme d'onde d'essai pour surtension $V_{\text{alim}}$ .....                                        | 34 |
| Figure 7 – Circuit équivalent pour essais de verrouillage d'essai I d'entrée/de sortie positifs.....           | 36 |
| Figure 8 – Circuit équivalent pour essais de verrouillage d'essai I d'entrée/de sortie négatifs.....           | 38 |
| Figure 9 – Circuit équivalent pour les essais de verrouillage d'essai de surtension de $V_{\text{alim}}$ ..... | 40 |
| Tableau 1 – Matrice d'essai .....                                                                              | 26 |
| Tableau 2 – Spécifications de temps pour essai I et essai de surtension $V_{\text{alim}}$ .....                | 34 |

## CONTENTS

|                                                                                               |    |
|-----------------------------------------------------------------------------------------------|----|
| FOREWORD .....                                                                                | 5  |
| 1 Scope .....                                                                                 | 9  |
| 2 Definitions .....                                                                           | 9  |
| 3 Apparatus and material .....                                                                | 15 |
| 3.1 Latch-up tester .....                                                                     | 15 |
| 3.2 Automated test equipment (ATE) .....                                                      | 19 |
| 3.3 Heat source .....                                                                         | 19 |
| 4 Procedure .....                                                                             | 19 |
| 4.1 General latch-up test procedure .....                                                     | 19 |
| 4.2 Detailed latch-up test procedure .....                                                    | 21 |
| 5 Failure criteria .....                                                                      | 25 |
| 6 Summary .....                                                                               | 25 |
| Figure 1 – $V_{\text{supply}}$ qualification circuit .....                                    | 17 |
| Figure 2 – Trigger source qualification circuit .....                                         | 19 |
| Figure 3 – Latch-up test flow .....                                                           | 29 |
| Figure 4 – Test waveform for positive I-test .....                                            | 31 |
| Figure 5 – Test waveform for negative I-test .....                                            | 33 |
| Figure 6 – Test waveform for $V_{\text{supply}}$ overvoltage .....                            | 35 |
| Figure 7 – Equivalent circuit for positive input/output I-test latch-up testing .....         | 37 |
| Figure 8 – Equivalent circuit for negative input/output I-test latch-up testing .....         | 39 |
| Figure 9 – Equivalent circuit for $V_{\text{supply}}$ overvoltage test latch-up testing ..... | 41 |
| Table 1 – Test matrix .....                                                                   | 27 |
| Table 2 – Timing specifications for I-test and $V_{\text{supply}}$ overvoltage test .....     | 35 |

# COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

## DISPOSITIFS À SEMICONDUCTEURS – MÉTHODES D'ESSAIS MÉCANIQUES ET CLIMATIQUES –

### Partie 29: Essai de verrouillage

#### AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI n'a prévu aucune procédure de marquage valant indication d'approbation et n'engage pas sa responsabilité pour les équipements déclarés conformes à une de ses Publications.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60749-29 a été établie par le comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

La présente norme annule et remplace l'IEC/PAS 62181 publiée en 2000. Cette première édition constitue une révision technique.

Le texte de cette norme est issu des documents suivants:

|              |                 |
|--------------|-----------------|
| FDIS         | Rapport de vote |
| 47/1713/FDIS | 47/1724/RVD     |

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

## INTERNATIONAL ELECTROTECHNICAL COMMISSION

**SEMICONDUCTOR DEVICES –  
MECHANICAL AND CLIMATIC TEST METHODS –****Part 29: Latch-up test****FOREWORD**

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with an IEC Publication.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60749-29 has been prepared by IEC technical committee 47: Semiconductor devices.

This standard cancels and replaces IEC/PAS 62181 published in 2000. This first edition constitutes a technical revision.

The text of this standard is based on the following documents:

| FDIS         | Report on voting |
|--------------|------------------|
| 47/1713/FDIS | 47/1724/RVD      |

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant 2007. A cette date, la publication sera

- reconduite;
- supprimée;
- remplacée par une édition révisée, ou
- amendée.

IECNORM.COM: Click to view the full PDF of IEC 60749-29:2003

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

The committee has decided that the contents of this publication will remain unchanged until 2007. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition, or
- amended.

IECNORM.COM: Click to view the full PDF of IEC 60749-29:2003

Withdrawn

# DISPOSITIFS À SEMICONDUCTEURS – MÉTHODES D'ESSAIS MÉCANIQUES ET CLIMATIQUES –

## Partie 29: Essai de verrouillage

### 1 Domaine d'application et objet

La présente partie de la CEI 60749 couvre l'essai I et les essais de verrouillage de surtension des circuits intégrés.

L'essai est considéré comme destructif.

L'objet de cet essai est d'établir une méthode pour déterminer les caractéristiques de verrouillage des circuits intégrés (CI) et pour définir les critères de défaillance de verrouillage. Les caractéristiques de verrouillage sont utilisées dans la détermination de la fiabilité de produit et la minimisation des défaillances en rapport avec «l'absence d'observation de problèmes» (NTF) et la «contrainte électrique excessive» (EOS) du fait du verrouillage.

Cette méthode d'essai est essentiellement applicable aux CMOS. Il faut établir l'applicabilité à d'autres technologies.

Tel qu'il est utilisé dans cette partie de la CEI 60749, le verrouillage n'est pas lié à un mécanisme spécifique mais il constitue une caractéristique de défaillance électrique qui se produit lorsqu'un dispositif est soumis à cette méthode d'essai.

La classification du verrouillage comme étant fonction de la température est définie en 2.1 et les niveaux de critères de défaillance sont définis en 2.10.

### 2 Termes et définitions

Pour les besoins de ce document, les termes et définitions suivants s'appliquent.

#### 2.1 classification

la classification définit la température d'essai de verrouillage. Les classifications d'essai de verrouillage sont définies de la façon suivante:

Classe I – Essai de verrouillage réalisé à température ambiante.

Classe II – Essai de verrouillage réalisé à la température assignée ambiante maximale pour le dispositif.

Si aucune classification n'est spécifiée, l'essai de Classe I doit être réalisé.

NOTE La température élevée réduit la résistance au verrouillage et l'essai de Classe II est recommandé pour des dispositifs qui fonctionnent nécessairement à température élevée.

#### 2.2 temps de refroidissement

période de temps entre les applications successives d'impulsions de déclenchement ou la période de temps entre la suppression de la tension d'alimentation  $V_{\text{alim}}$  et l'application de l'impulsion de déclenchement suivante (voir Figures 4, 5 et 6 ainsi que le Tableau 2.)

# SEMICONDUCTOR DEVICES – MECHANICAL AND CLIMATIC TEST METHODS –

## Part 29: Latch-up test

### 1 Scope and object

This part of IEC 60749 covers the I-test and the overvoltage latch-up testing of integrated circuits.

This test is classified as destructive.

The purpose of this test is to establish a method for determining integrated circuit (IC) latch-up characteristics and to define latch-up failure criteria. Latch-up characteristics are used in determining product reliability and minimizing "No Trouble Found" (NTF) and "Electrical Overstress" (EOS) failures due to latch-up.

This test method is primarily applicable to CMOS devices. Applicability to other technologies must be established.

In this part of IEC 60749 latch-up is not related to a specific mechanism but is an electrical failure characteristic that occurs when a device is subjected to this test method.

The classification of latch-up as a function of temperature is defined in 2.1 and the failure level criteria are defined in 2.10.

### 2 Terms and definitions

For the purposes of this document, the following terms and definitions apply.

#### 2.1

##### classification

the classification defines the latch-up test temperature. Latch-up testing classifications are defined as follows.

Class I – Latch-up testing performed at room temperature.

Class II – Latch-up testing performed at the maximum ambient rated temperature for the device.

If no classification is specified, Class I testing shall be performed.

NOTE Elevated temperature will reduce latch-up resistance and Class II testing is recommended for devices that are required to operate at elevated temperature.

#### 2.2

##### cool-down time

period of time between successive applications of trigger pulses or the period of time between the removal of the  $V_{\text{supply}}$  voltage and the application of the next trigger pulse (See Figures 4, 5, and 6 and Table 2.)

## 2.3

### DEE

dispositif en essai

## 2.4

### GND (terre)

broche(s) commune(s) ou à potentiel zéro du DEE

NOTE 1 Les broches de terre ne font pas l'objet d'un essai de verrouillage.

NOTE 2 Une broche de terre est parfois désignée  $V_{ss}$ .

## 2.5

### broches d'entrée

toutes les broches d'adresse, de contrôle de données entrée,  $V_{ref}$  et similaires

## 2.6

### broches d'E/S (bi-directionnelles)

broches de dispositif qui peuvent être conçues pour fonctionner en tant qu'entrée ou en tant que sortie ou encore dans un état de haute impédance

## 2.7

### $I_{alim}$

courant d'alimentation total dans chaque broche d'alimentation  $V_{alim}$  (ou groupe de broches) en polarisant le DEE comme indiqué dans le Tableau 1

## 2.8

### essai I

essai de verrouillage qui fournit des impulsions de courant positives et négatives à la broche en essai

## 2.9

### phénomène de verrouillage

état dans lequel un chemin conducteur de faible impédance, résultant d'un excès de contrainte qui déclenche une structure parasite de thyristor, persiste après retrait ou cessation de la condition de déclenchement

NOTE 1 L'excès de contrainte peut être une tension de choc ou une surintensité, un taux excessif de variation de courant ou de tension ou toute autre condition anormale qui entraîne le fait que la structure parasite de thyristor devient régénératrice.

NOTE 2 Le verrouillage n'endommage pas le dispositif, à condition que le courant à travers le chemin conducteur de faible impédance soit suffisamment limité en amplitude ou durée.

## 2.10

### niveau

définit les critères de défaillance utilisés pendant l'essai de verrouillage. Les catégories de défaillance de verrouillage sont définies de la façon suivante:

Niveau A – Critères de défaillance définis dans le Tableau 1

Niveau B – Critères de défaillance spéciaux. Il convient que le fournisseur donne la définition des critères de défaillance utilisés

## 2.11

### logique à l'état haut

niveau dans la plus positive (moins négative) des deux gammes de niveaux logiques choisis pour représenter les états logiques

NOTE 1 Pour des dispositifs numériques, un niveau de tension égal à  $V_{alim}$  est utilisé pour les essais de verrouillage sauf indication contraire dans la spécification du dispositif.

**2.3****DUT**

device under test

**2.4****GND (ground)**

common or zero-potential pin(s) of the DUT

NOTE 1 Ground pins are not latch-up tested.

NOTE 2 A ground pin is sometimes called  $V_{ss}$ .

**2.5****input pins**

all address, data-in control,  $V_{ref}$  and similar pins

**2.6****I/O (bi-directional) pins**

device pins that can be made to operate as an input or output or in a high-impedance state

**2.7** **$I_{supply}$** 

total supply current in each  $V_{supply}$  pin (or pin group) with the DUT biased as indicated in Table 1

**2.8****I-test**

latch-up test that supplies positive and negative current pulses to the pin under test

**2.9****latch-up**

state in which a low-impedance path resulting from an overstress that triggers a parasitic thyristor structure, persists after removal or cessation of the triggering condition

NOTE 1 The overstress can be a voltage or current surge, an excessive rate of change of current or voltage, or any other abnormal condition that causes the parasitic thyristor structure to become regenerative.

NOTE 2 Latch-up will not damage the device provided that the current through the low-impedance path is sufficiently limited in magnitude or duration.

**2.10****level**

defines the failure criteria used during latch-up testing. Latch-up failure grades are defined as follows:

Level A – The failure criteria as defined in Table 1

Level B – Special failure criteria. Supplier should provide definition of failure criteria used

**2.11****logic-high**

level within the more positive (less negative) of the two ranges of logic levels chosen to represent the logic states

NOTE 1 For digital devices, a voltage level equal to  $V_{supply}$  is used for latch-up testing, except where otherwise specified in the relevant specification.

NOTE 2 Pour les dispositifs non numériques, le niveau de tension  $V_{\text{alim}}$  ou la tension de fonctionnement maximale qui peut être appliquée à la broche telle que définie dans la spécification du dispositif peut être utilisé pour l'essai de verrouillage.

## 2.12

### logique à l'état bas

niveau dans la plus négative (moins positive) des deux gammes de niveaux logiques choisis pour représenter les états logiques

NOTE 1 Pour des dispositifs numériques, le niveau de tension de masse est utilisé pour les essais de verrouillage sauf indication dans la spécification du dispositif.

NOTE 2 Pour les dispositifs non numériques, le niveau de tension de masse ou la tension de fonctionnement minimale qui peut être appliquée à la broche telle que définie dans la spécification du dispositif peut être utilisé pour l'essai de verrouillage.

## 2.13

### $V_{\text{alim}}$ maximale

tension de fonctionnement maximale pour un fonctionnement au sein des spécifications de performance

NOTE 1 La tension maximale *n'est pas la tension maximale absolue au-dessus de laquelle un dommage permanent est probable.*

NOTE 2 Le qualificatif 'maximale' se réfère à l'amplitude de la tension  $V_{\text{alim}}$  et peut être soit positive soit négative.

## 2.14

### broche sans connexion

broche qui peut être sans connexion interne et peut être utilisée en tant que support pour le câblage externe sans perturber la fonction du dispositif

NOTE Il convient que toutes les broches «sans connexion» soient laissées à l'état ouvert (flottantes) pendant les essais de verrouillage.

## 2.15

### $I_{\text{alim}}$ nominale ( $I_{\text{nom}}$ )

courant d'alimentation c.c. mesuré pour chaque broche d'alimentation  $V_{\text{alim}}$  (ou groupe de broches) en polarisant le DEE à la température d'essai définie à l'Article 4 et au Tableau 1

## 2.16

### broche de sortie

broche d'un dispositif qui génère un niveau de signal ou de tension comme fonction normale pendant le fonctionnement normal du dispositif

NOTE Les broches de sortie, bien que laissées dans un état ouvert (flottant) pendant l'essai d'autres types de broche, font l'objet d'essais de verrouillage.

## 2.17

### broche préconditionnée

broche d'un dispositif qui a été placée dans un état ou une condition défini(e) (impédance d'entrée, de sortie, haute impédance, etc.) en appliquant les vecteurs de commande au DEE

## 2.18

### essai de dispositifs dynamiques

essai de déclenchement de verrouillage d'un dispositif dans un état stable connu, à la fréquence d'horloge assignée minimale appliquée au dispositif (voir 4.2.3 pour les conditions spécifiées)

## 2.19

### conditions d'essai

la température d'essai, la tension d'alimentation, les limites de courant, les limites de tension, la fréquence d'horloge, les tensions de polarisation d'entrée et les vecteurs de préconditionnement appliqués au DEE pendant l'essai de verrouillage

NOTE 2 For non-digital devices,  $V_{\text{supply}}$  voltage level or the maximum operating voltage that can be applied to that pin as defined in the relevant specification may be used for latch-up testing.

## 2.12

### logic-low

level within the more negative (less positive) of the two ranges of logic levels chosen to represent the logic states

NOTE 1 For digital devices, ground voltage level is used for latch-up testing, except where specified in the relevant specification.

NOTE 2 For non-digital devices, ground voltage level or the minimum operating voltage that can be applied to that pin as defined in the relevant specification may be used for latch-up testing.

## 2.13

### maximum $V_{\text{supply}}$

maximum operating voltage for operation within performance specifications

NOTE 1 The maximum voltage *is not the absolute maximum voltage beyond which permanent damage is likely*.

NOTE 2 Maximum refers to the magnitude of  $V_{\text{supply}}$  and can be either positive or negative.

## 2.14

### no connect pin

pin that has no internal connection and that can be used as a support for external wiring without disturbing the function of the device

NOTE All “no connect” pins should be left in an open (floating) state during latch-up testing.

## 2.15

### nominal $I_{\text{supply}}$ ( $I_{\text{nom}}$ )

measured dc supply current for each  $V_{\text{supply}}$  pin (or pin group) with the DUT biased at the test temperature as defined in Clause 4 and Table 1

## 2.16

### output pin

device pin that generates a signal or voltage level as a normal function during the normal operation of the device

NOTE Output pins, though left in an open (floating) state during testing of other pin types, are latch-up tested.

## 2.17

### preconditioned pin

device pin that has been placed in a defined state or condition (input, output, high impedance, etc.) by applying control vectors to the DUT

## 2.18

### testing of dynamic devices

latch-up trigger testing of a device in a known stable state, at the minimum-rated clock frequency applied to the device (see 4.2.3 for specified conditions)

## 2.19

### test condition

test temperature, supply voltage, current limits, voltage limits, clock frequency, input bias voltages, and preconditioning vectors applied to the DUT during the latch-up test

## 2.20

### broche d'entrée liée au temps

broche telle qu'un oscillateur de cristal d'horloge, un circuit de pompe de charge, etc., exigée pour placer le DEE en mode de fonctionnement normal

NOTE Le cas échéant, les signaux de rythmes nécessaires peuvent être appliqués par le testeur de verrouillage, l'équipement externe et/ou les composants externes.

## 2.21

### impulsion de déclenchement

impulsion positive ou négative de courant (essai I) ou impulsion positive ou négative de tension (essai de surtension d'alimentation  $V_{\text{alim}}$ ) appliquée à toute broche en essai pour essayer d'induire le verrouillage (voir les Figures 4, 5 et 6)

## 2.22

### durée de déclenchement

durée d'une impulsion appliquée à partir d'une source de déclenchement (voir Figures 4, 5 et 6 ainsi que le Tableau 2)

## 2.23

### broche $V_{\text{alim}}$ (ou groupe de broches)

toutes les broches d'alimentation électrique du DEE et de source de tension externe (à l'exclusion des broches de terre), y compris les broches de potentiel tant positif que négatif

NOTE 1 Généralement, il est permis de traiter les broches de source de tension de potentiel égal comme une broche  $V_{\text{alim}}$  (ou un groupe de broches) et de les connecter à une alimentation électrique.

NOTE 2 Lorsque l'on forme les broches  $V_{\text{alim}}$  (ou les groupes de broches), la combinaison des broches  $V_{\text{alim}}$  avec des niveaux de courant d'alimentation largement différents n'est pas recommandée car cela rendrait difficile la détection des variations de courant significatives sur les broches de courant d'alimentation faible.

## 2.24

### essai de surtension $V_{\text{alim}}$

essai de verrouillage qui fournit des impulsions de surtension ou un niveau de surtension c.c. à la broche  $V_{\text{alim}}$  en essai

## 2.25

### niveau de tension $V_{\text{alim}}$

niveau de tension applicable de la broche stipulée  $V_{\text{alim}}$  dans la spécification du dispositif. Le niveau de tension  $V_{\text{alim}}$  est utilisé pour l'essai de verrouillage comme niveau logique typique à l'état haut, sauf spécification contraire (voir 2.11)

## 2.26

### niveau de tension de masse

niveau de masse utilisé pour l'essai de verrouillage comme niveau logique typique à l'état bas, sauf spécification contraire (voir 2.12)

## 3 Appareillage et matériel

L'appareillage nécessaire à cette méthode d'essai inclut les éléments qui suivent.

### 3.1 Testeur de verrouillage

Équipement d'essai capable de réaliser les essais spécifiés dans cette norme. Pour les dispositifs exigeant des essais dynamiques, l'équipement d'essai doit être en mesure de fournir des signaux de synchronisation et des vecteurs de montages logiques nécessaires pour commander les états de sortie de broches d'E/S, comme spécifié en 4.2.3. Les signaux de synchronisation et les vecteurs logiques nécessaires peuvent être appliqués par le testeur de verrouillage lui-même, l'équipement externe, et/ou les composants externes appropriés.

**2.20****timing-related input pin**

pin such as clock crystal oscillator, charge pump circuit, etc., required to place the DUT in a normal operating mode

NOTE Required timing signals may be applied by the latch-up tester, external equipment, and/or external components as appropriate.

**2.21****trigger pulse**

positive or negative current pulse (I-Test) or voltage pulse ( $V_{\text{supply}}$  overvoltage test) applied to any pin under test in an attempt to induce latch-up (see Figures 4, 5 and 6)

**2.22****trigger duration**

duration of an applied pulse from the trigger source (see Figures 4, 5 and 6 and Table 2)

**2.23** **$V_{\text{supply}}$  pin (or pin group)**

all DUT power supply and external voltage source pins (excluding ground pins), including both positive- and negative-potential pins

NOTE 1 Generally, it is permissible to treat equal potential voltage source pins as one  $V_{\text{supply}}$  pin (or pin group) and connect them to one power supply.

NOTE 2 When forming  $V_{\text{supply}}$  pins (or pin groups), the combination of  $V_{\text{supply}}$  pins with significantly different supply current levels is not recommended as this would make it difficult to detect significant current changes on low supply current pins.

**2.24** **$V_{\text{supply}}$  overvoltage test**

latch-up test that supplies overvoltage pulses or overvoltage d.c. level to the  $V_{\text{supply}}$  pin under test

**2.25** **$V_{\text{supply}}$  voltage level**

applicable voltage level of the  $V_{\text{supply}}$  pin specified in the relevant specification. The  $V_{\text{supply}}$  voltage level is used for latch-up testing as the typical logic high level unless otherwise specified (see 2.11)

**2.26****ground voltage level**

ground potential used for latch-up testing as the typical logic low level, unless otherwise specified (see 2.12)

**3 Apparatus and material**

The apparatus required for this test method includes the following.

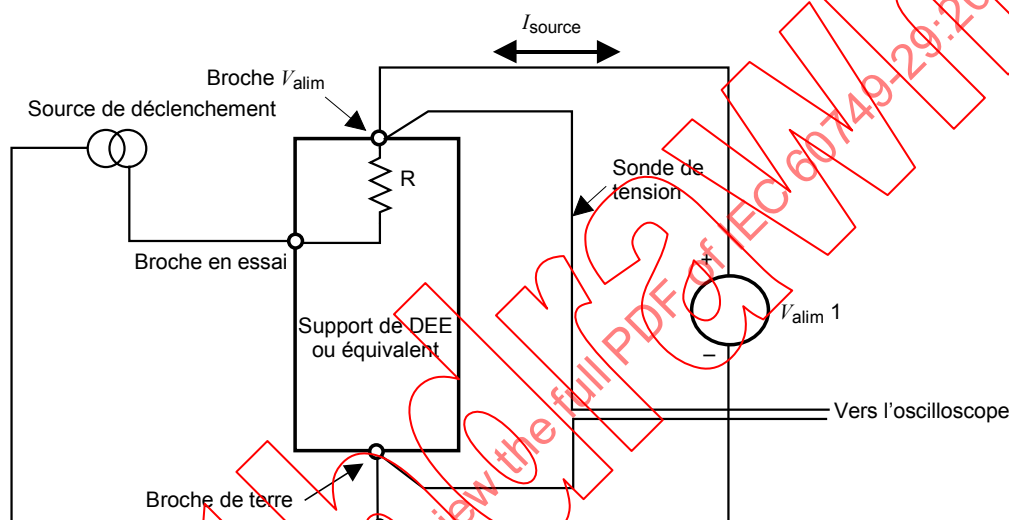
**3.1 Latch-up tester**

Test equipment capable of performing the tests as specified in this standard. For devices requiring dynamic testing, the test equipment shall be capable of supplying timing signals and logic setup vectors required to control the I/O pin output states as specified in 4.2.3. The required timing signals and logic vectors may be applied by the latch-up tester itself, external equipment, and/or external components as appropriate.

### 3.1.1 $V_{\text{alim}}$ et leurs méthodes de qualification

Pour l'essai I, les tensions d'alimentation de type réception doivent être connectées à toutes les broches  $V_{\text{alim}}$  comme indiqué dans la Figure 7 et la Figure 8 et les caractéristiques transitoires doivent être qualifiées comme indiqué à la Figure 1. Les étapes de qualification sont les suivantes:

- Connecter la tension d'alimentation (par exemple 5 V, 3,3 V) à la broche  $V_{\text{alim}}$ . La valeur de la tension peut être stipulée dans la spécification du dispositif.
- Appliquer les impulsions positive et négative d'une source de déclenchement de 200 mA et mesurer leur effet sur la forme d'onde de tension apparaissant sur l'oscilloscope.
- La tension mesurée par l'oscilloscope doit être comprise entre 90 % et 110 % de la tension d'alimentation.



La valeur de R (par exemple 50  $\Omega$ ) est spécifiée dans le document d'approvisionnement.  
L'impédance d'entrée de la sonde de tension et de l'oscilloscope est  $> 10 \text{ k}\Omega$ .

IEC 2483/03

**Figure 1 – Circuit de qualification de  $V_{\text{alim}}$**

### 3.1.2 Méthode de qualification de la source de déclenchement

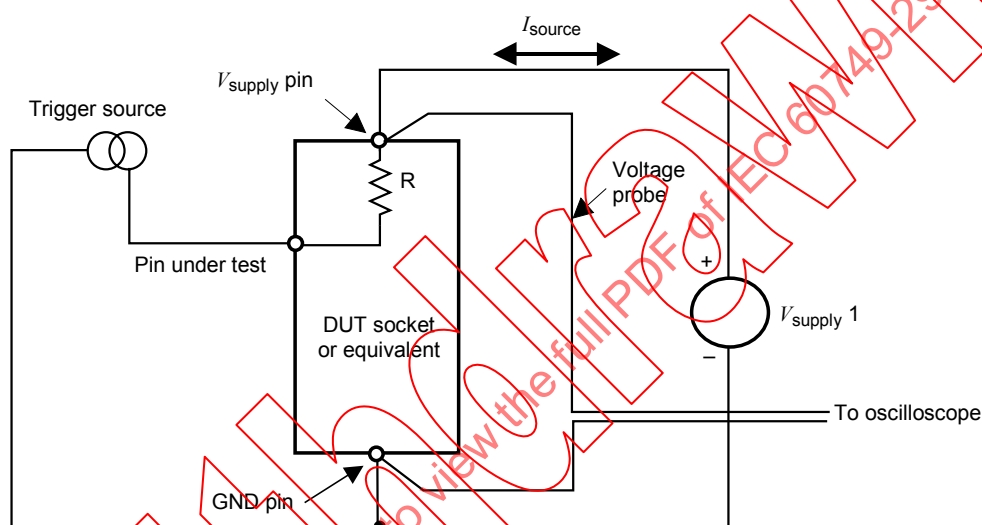
Les caractéristiques électriques de la source de déclenchement, y compris ses caractéristiques transitoires, doivent être qualifiées comme indiqué à la Figure 2. Les étapes de qualification sont les suivantes:

- Le commutateur S1 étant fermé, appliquer des impulsions positives et négatives d'une source de déclenchement de 200 mA et mesurer sa forme d'onde stabilisée. La forme d'onde stabilisée doit satisfaire aux exigences du Tableau 1.
- Après établissement du niveau de tension et ouverture de S1, appliquer les impulsions positives et négatives de la source de déclenchement de 100 mA et mesurer la forme d'onde de tension. La forme d'onde de tension pendant l'établissement du niveau de tension doit être comprise entre 90 % et 110 % du niveau d'établissement du niveau de tension.

### 3.1.1 $V_{\text{supply}}$ and their qualification method

For the I-test, sink type voltage power supplies shall be connected to all  $V_{\text{supply}}$  pins as shown in Figure 7 and Figure 8, and the transient characteristics shall be qualified as shown in Figure 1. The qualification steps are as follows:

- Connect the supply voltage (e.g. 5 V, 3,3 V) to the  $V_{\text{supply}}$  pin. The value of voltage may be specified in the relevant specification.
- Apply positive and negative pulses from the 200 mA trigger source, and measure their effect on the voltage waveform shown on the oscilloscope.
- The voltage measured by the oscilloscope shall be within 90 % to 110 % of the supply voltage.



Value of R (e.g. 50  $\Omega$ ) is specified in the applicable procurement document.  
Input impedance of voltage probe and oscilloscope is over 10 k $\Omega$ .

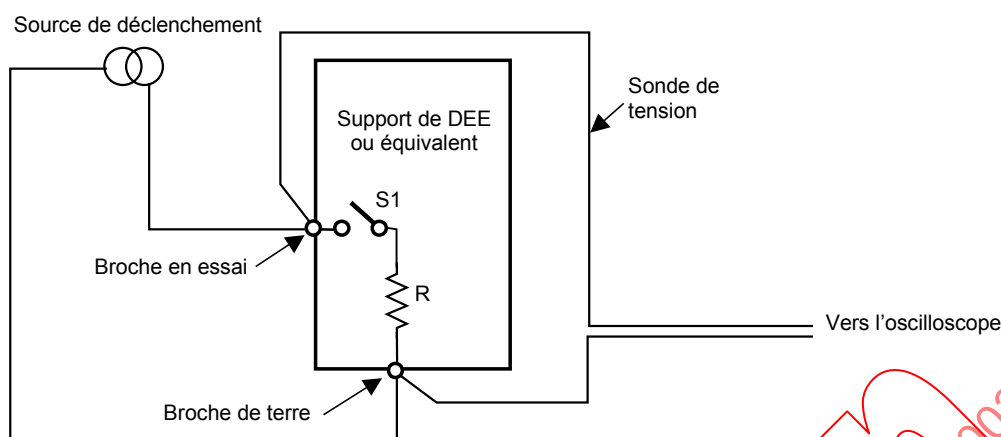
IEC 2483/03

**Figure 1 –  $V_{\text{supply}}$  qualification circuit**

### 3.1.2 Trigger source qualification method

The electrical characteristics of the trigger source including its transient characteristics shall be qualified as shown in Figure 2. The qualification steps are as follows:

- With switch S1 closed, apply positive and negative pulses from the 200 mA trigger source, and measure its current waveform. The current waveform shall satisfy the requirements of Table 1.
- After setting the voltage clamp level and opening S1, apply positive and negative pulses from the 100 mA trigger source and measure its voltage waveform. The voltage waveform during the working voltage clamp shall be within 90 % to 110 % of the voltage clamp setting level.



La valeur de R (par exemple 50  $\Omega$ ) est spécifiée dans le document d'approvisionnement.  
L'impédance d'entrée de la sonde de tension et de l'oscilloscope est > 10 k $\Omega$ .

IEC 2484/03

**Figure 2 – Circuit de qualification de la source de déclenchement**

### 3.2 Equipement d'essai automatisé (ATE)

Testeur de dispositif capable de réaliser des essais fonctionnels et paramétriques complets du dispositif selon les exigences de la spécification du dispositif.

### 3.3 Source de chaleur

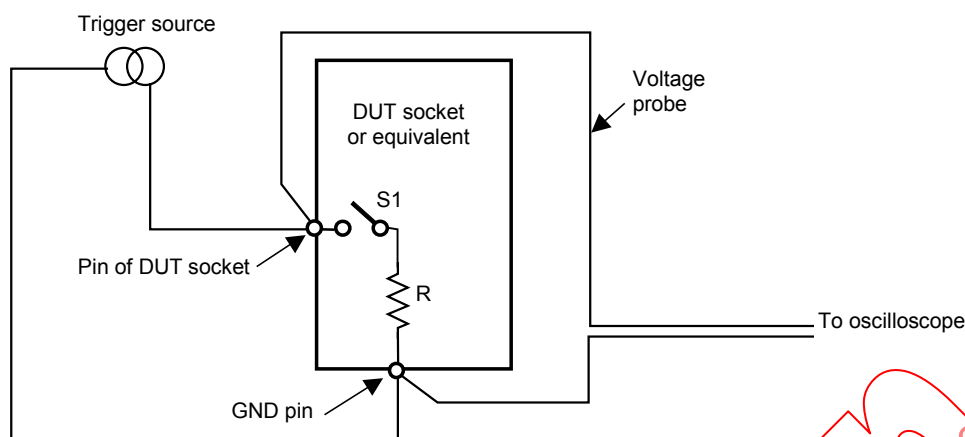
Equipement capable de chauffer et de maintenir le DEE à la température de fonctionnement maximale stipulée dans la spécification du dispositif pendant l'essai de verrouillage.

## 4 Procédure

### 4.1 Procédure d'essai de verrouillage générale

Un groupe d'échantillons de plusieurs dispositifs (par exemple six) doit être soumis aux essais de verrouillage en utilisant l'essai I et l'essai de surtension  $V_{\text{alim}}$ . L'utilisation d'un nouveau groupe d'échantillons pour chaque type d'essai de verrouillage (essai I et/ou essai de surtension  $V_{\text{alim}}$ ) est également acceptable. Tous les dispositifs devant être soumis à l'essai de verrouillage doivent avoir réussi les essais paramétriques et fonctionnels.

Avant les essais de verrouillage, il convient de vérifier la continuité du dispositif dans le support pour éviter de fausses défaillances de verrouillage. Le diagramme d'essai de verrouillage doit être conforme à la Figure 3. Les dispositifs à essayer doivent être soumis aux conditions d'essai du Tableau 1 et du Tableau 2. On doit laisser ouvertes (flottantes) toutes les broches «sans connexion» sur le DEE à tous moments. Toutes les broches sur le DEE, à l'exception des broches «sans connexion» et des broches liées au temps, doivent faire l'objet de l'essai de verrouillage. Les broches d'entrée, de sortie et configurables E/S doivent être essayées avec l'essai I et les broches  $V_{\text{alim}}$  doivent être soumises à l'essai de surtension. Les broches E/S doivent être essayées dans tous les états de fonctionnement possibles ou bien l'état de fonctionnement présentant le cas le plus défavorable (généralement la haute impédance pour les broches configurables E/S et les broches de sortie).



Value of R (e.g. 50  $\Omega$ ) is specified in the applicable specification.

Input impedance of voltage probe and oscilloscope is over 10 k $\Omega$ .

IEC 2484/03

**Figure 2 – Trigger source qualification circuit**

### 3.2 Automated test equipment (ATE)

A device tester capable of performing full functional and parametric testing of the device specified in the relevant specification.

### 3.3 Heat source

Equipment capable of heating and maintaining the DUT at the maximum operating temperature specified in the relevant specification during the latch-up test.

## 4 Procedure

### 4.1 General latch-up test procedure

A sample group of devices (e.g. six) shall be subjected to latch-up testing using the I-test and  $V_{\text{supply}}$  overvoltage test. The use of a new sample group for each latch-up test type (I-test, and/or  $V_{\text{supply}}$  overvoltage test) is also acceptable. All devices to be latch-up tested shall have passed the specified functional and parametric testing.

Before latch-up testing, the device continuity in the socket should be checked to avoid false latch-up failures. The latch-up test flow shall be as shown in Figure 3. The devices to be tested shall be subjected to the test conditions specified in Table 1 and Table 2. All “no connect” pins on the DUT shall be left open (floating) at all times. All pins on the DUT, with the exception of “no connect” pins and timing related pins, shall be latch-up tested. The input, output and configurable I/O pins shall be tested with the I-test and the  $V_{\text{supply}}$  pins tested with the overvoltage test. I/O pins shall be tested in all possible operating states or the worst case operating state (typically high impedance for configurable I/O pins and output pins).

Des dispositifs dynamiques doivent être essayés conformément à 4.2.3. Lorsqu'un dispositif est d'une complexité telle que les essais de toutes les broches configurables E/S dans la condition du cas le plus défavorable ne sont pas réalisables, il convient que le dispositif soit conditionné avec un ensemble de vecteurs représentatifs du fonctionnement type du dispositif déterminé par décision d'ingénierie. Lorsqu'une broche E/S ne peut pas être essayée dans l'état de haute impédance, elle doit être essayée dans un état logique valable. Les broches non essayées et les broches qui ne pourraient pas être complètement essayées doivent être enregistrées comme spécifié en 4.2.5 et l'utilisateur doit être informé du nombre de broches E/S qui n'ont pas été essayées ou essayées dans tous les états. Après les essais de verrouillage, tous les dispositifs doivent satisfaire aux critères de défaillance spécifiés à l'Article 5.

## 4.2 Procédure d'essai de verrouillage détaillée

### 4.2.1 Essai I

L'essai I doit être réalisé comme suit:

- a) Les dispositifs doivent être soumis à l'essai I comme indiqué aux Figures 3, 4 et 5, et dans les Tableaux 1 et 2.
- b) Polariser le DEE comme indiqué à la Figure 7. Toutes les broches d'entrée, y compris les broches E/S bidirectionnelles dans un état d'entrée ou un état de haute impédance, non utilisées pour le préconditionnement des broches E/S, doivent être liées à  $V_{\text{supply}}$  au niveau spécifié. Les broches d'entrée utilisées pour le préconditionnement doivent être essayées dans leur état défini (les broches qui sont liées à un niveau de logique à l'état haut pour préconditionner le DEE peuvent uniquement être essayées dans l'état de logique haut; les broches qui sont liées à un niveau de logique à l'état bas pour préconditionner le DEE peuvent seulement être essayées dans l'état de logique bas). Laisser le DEE se stabiliser à la température d'essai. Mesurer  $I_{\text{alim}}$  nominale ( $I_{\text{nom}}$ ) pour chaque broche  $V_{\text{alim}}$  (ou groupe de broches, voir 2.23) à ce stade.
- c) Appliquer le déclenchement de courant positif (selon le Tableau 1 pour une durée spécifiée dans le Tableau 2) à la broche en essai.
- d) Après que la source de déclenchement a été retirée, restituer la broche en essai à l'état où elle était avant l'application de l'impulsion de déclenchement, et mesurer  $I_{\text{alim}}$  pour chaque broche  $V_{\text{alim}}$  (ou groupe de broches). Si un  $I_{\text{alim}}$  quelconque est supérieur ou égal aux critères de défaillance spécifiés dans la définition 2.10, le verrouillage s'est produit et la puissance doit être retirée du DEE. Si le verrouillage s'est produit, arrêter l'essai; le DEE a échoué aux essais de verrouillage. En utilisant un nouveau dispositif, revenir à l'étape a) et continuer les essais.
- e) Si le verrouillage ne s'est pas produit, après le temps de refroidissement nécessaire (voir le Tableau 2), répéter les étapes c) et d) pour toutes les broches à essayer (en notant les exceptions indiquées à l'étape b)).
- f) Répéter les étapes b) à e) avec toutes les broches d'entrée, y compris les broches E/S bidirectionnelles) dans un état d'entrée ou un état de haute impédance, non utilisées pour le préconditionnement des broches E/S liées au niveau de masse.
- g) Polariser le DEE comme indiqué à la Figure 8. Toutes les broches d'entrée (y compris les broches E/S bidirectionnelles dans un état d'entrée ou de haute impédance) qui ne sont pas utilisées pour le préconditionnement des broches d'E/S doivent être liées au niveau de tension  $V_{\text{alim}}$  stipulé dans la spécification du dispositif (en notant les exceptions indiquées à l'étape b)).
- h) Appliquer la source de déclenchement de courant négatif en dessous de la terre (selon le Tableau 1 pour une durée spécifiée dans le Tableau 2) à la broche en essai.
- i) Après que la source de déclenchement a été retirée, ramener la broche en essai à l'état où elle était avant l'application de l'impulsion de déclenchement, et mesurer  $I_{\text{alim}}$  pour chaque broche  $V_{\text{alim}}$  (ou groupe de broches). Si une valeur quelconque de  $I_{\text{alim}}$  est

Dynamic devices shall be tested according to 4.2.3. When a device is sufficiently complex that testing of all configurable I/O pins in the worst case condition is not practicable, the device should be conditioned with a set of vectors representative of the typical operation of the device as determined by engineering judgement. When an I/O pin cannot be tested in the high impedance state, the I/O shall be tested in a valid logic state. Untested pins and pins that could not be completely tested shall be recorded as specified in 4.2.5 and the user shall be informed of all I/O pins that were not tested or tested in all states. After latch-up testing, all devices shall pass the criteria specified in Clause 5.

## 4.2 Detailed latch-up test procedure

### 4.2.1 I-test

The I-test shall be performed as follows:

- a) The devices shall be subjected to the I-test as indicated in Figures 3, 4 and 5 and Tables 1 and 2.
- b) Bias the DUT as indicated in Figure 7. All input pins, including bi-directional I/O pins in an input state or high impedance state, not used for preconditioning the I/O pins, shall be tied to the  $V_{\text{supply}}$  voltage level specified. Input pins used for preconditioning shall be tested in their defined state (pins that are tied to a logic-high level to precondition the DUT can only be tested in the logic-high state; pins that are tied to a logic-low level to precondition the DUT can only be tested in the logic-low state). Allow the DUT to stabilize at the test temperature. Measure nominal  $I_{\text{supply}}$  ( $I_{\text{nom}}$ ) for each  $V_{\text{supply}}$  pin (or pin group, see 2.23) at this time.
- c) Apply the positive current trigger (according to Table 1 for a duration as specified in Table 2) to the pin under test.
- d) After the trigger source has been removed, return the pin under test to the state it was in before the application of the trigger pulse, and measure the  $I_{\text{supply}}$  for each  $V_{\text{supply}}$  pin (or pin group). If any  $I_{\text{supply}}$  is greater than or equal to the failure criteria specified in definition 2.10, latch-up has occurred and power shall be removed from the DUT. If latch-up has occurred, stop the test; the DUT has failed latch-up testing. Using a new device, return to step a) and continue testing.
- e) If latch-up has not occurred, after the necessary cool-down time (see Table 2), repeat steps c) and d) for all pins to be tested (noting the exceptions stated in step b)).
- f) Repeat steps b) through e) with all input pins, including bi-directional I/O pins in an input state or high impedance state, not used for preconditioning the I/O pins tied to ground voltage level.
- g) Bias the DUT as indicated in Figure 8. All input pins, (including bi-directional I/O pins in an input state or high impedance state), that are not used for preconditioning the I/O pins shall be tied to  $V_{\text{supply}}$  voltage level specified in the relevant specification (noting the exceptions stated in step b)).
- h) Apply the negative current trigger source below ground (according to Table 1 for a duration as specified in Table 2) to the pin under test.
- i) After the trigger source has been removed, return the pin under test to the state it was in before the application of the trigger pulse and measure the  $I_{\text{supply}}$  for each  $V_{\text{supply}}$  pin (or pin group). If any  $I_{\text{supply}}$  is greater than or equal to the failure criteria specified in

supérieure ou égale aux critères de défaillance spécifiés dans la définition 2.10, le verrouillage s'est produit et la puissance doit être supprimée du DEE. Si le verrouillage s'est produit, arrêter l'essai; le DEE a échoué aux essais de verrouillage. En utilisant un nouveau dispositif, revenir à l'étape a) et continuer les essais.

- j) Si le verrouillage ne s'est pas produit, après le temps de refroidissement nécessaire, (voir le Tableau 2) répéter les étapes h) et i) pour toutes les broches à essayer.
- k) Répéter les étapes h) à j) avec toutes les broches d'entrée, y compris les broches E/S bidirectionnelles dans un état d'entrée ou un état de haute impédance, non utilisées pour le préconditionnement des broches E/S liées au niveau de tension de terre ( en notant les exceptions indiquées à l'étape b)).

#### 4.2.2 Essai de surtension $V_{alim}$

L'essai de surtension  $V_{alim}$  doit être réalisé sur chaque broche  $V_{alim}$  (ou groupe de broches) comme indiqué ci-dessous. Pour fournir une indication réelle de verrouillage pour des conditions d'essai données, les broches d'entrée configurées comme logiques à l'état haut doivent demeurer au niveau de tension  $V_{alim}$  ou dans la région de logique à l'état haut valide comme défini dans la spécification du dispositif (généralement supérieure à 70 % du niveau d'essai de surtension  $V_{alim}$ ). Si les niveaux de broches d'entrée se situent en dehors de la région de logique à l'état haut valide, le dispositif peut changer d'état en provoquant une modification de  $I_{nom}$  et des données d'essai invalides. Cet essai peut être effectué en utilisant des circuits de série ou des circuits sélectionnés stipulés dans la spécification du produit. Si une défaillance de verrouillage se produit lorsque la ou les broches d'entrée se situent en dehors de la région de logique à l'état haut valide, une expertise technique doit être utilisée pour déterminer si la défaillance est une condition de verrouillage valable ou une défaillance causée par un changement d'état.

- a) Les dispositifs doivent être soumis à l'essai de surtension  $V_{alim}$  comme indiqué aux Figures 3 et 6, et dans les Tableaux 1 et 2.
- b) Polariser le DEE comme indiqué à la Figure 9. Toutes les broches d'entrée, y compris les broches E/S bidirectionnelles dans un état d'entrée ou un état de haute impédance, non utilisées pour le préconditionnement des broches E/S, doivent être liées au niveau de tension  $V_{alim}$  stipulé dans la spécification de dispositif. Les broches d'entrée utilisées pour le préconditionnement doivent être essayées dans leur état défini (les broches qui sont liées à un niveau de logique à l'état haut pour préconditionner le DEE peuvent uniquement être essayées dans l'état de logique haut; les broches qui sont liées à un niveau de logique à l'état bas pour préconditionner le DEE peuvent seulement être essayées dans l'état de logique bas). Laisser le DEE se stabiliser à la température d'essai. Mesurer  $V_{alim}$  nominale ( $I_{nom}$ ) pour chaque broche  $V_{alim}$  (ou groupe de broches, voir 2.23) à ce stade.
- c) Appliquer la source de déclenchement de tension (conformément au Tableau 1 pour une durée spécifiée dans le Tableau 2) à la broche  $V_{alim}$  (ou au groupe de broches) en essai.
- d) Après que la source de déclenchement a été retirée, ramener la broche  $V_{alim}$  en essai à l'état où elle était avant l'application de l'impulsion de déclenchement et mesurer  $I_{alim}$  pour chaque broche  $V_{alim}$  (ou groupe de broches). Si une  $I_{alim}$  quelconque est supérieure ou **égale** aux critères de défaillance spécifiés dans la définition 2.10, le verrouillage s'est produit et la puissance doit être supprimée du DEE. Si le verrouillage s'est produit, arrêter l'essai; le DEE a échoué aux essais de verrouillage. En utilisant un nouveau dispositif, revenir à l'étape a) et continuer les essais.
- e) Si le verrouillage ne s'est pas produit, après le temps de refroidissement nécessaire (voir le Tableau 2), répéter les étapes b) à d). Toutes les broches d'entrée (y compris les broches E/S bidirectionnelles dans un état d'entrée ou un état de haute impédance) qui ne sont pas utilisées pour le préconditionnement de broches E/S doivent être liées au niveau de masse (en notant les exceptions indiquées à l'étape b).
- f) Répéter les étapes b) à e) jusqu'à ce que chaque broche  $V_{alim}$  (ou groupe de broches) ait été essayée.

Definition 2.10, latch-up has occurred and power shall be removed from the DUT. If latch-up has occurred, stop the test; the DUT has failed latch-up testing. Using a new device, return to step a) and continue testing.

- j) If latch-up has not occurred, after the necessary cool-down time (see Table 2), repeat steps h) and i) for all pins to be tested.
- k) Repeat steps h) through j) with all input pins, including bi-directional I/O pins in an input state or high impedance state, not used for preconditioning the I/O pins tied to the ground voltage level (noting the exceptions stated in step b)).

#### 4.2.2 $V_{\text{supply}}$ overvoltage test

The  $V_{\text{supply}}$  overvoltage test shall be performed on each  $V_{\text{supply}}$  pin (or pin group) as indicated below. To provide a true indication of latch-up for given test conditions input pins configured as logic-high shall remain the  $V_{\text{supply}}$  voltage level or within the valid logic-high region as defined in the relevant specification (typically greater than 70 % of the  $V_{\text{supply}}$  overvoltage test level). If input pin levels fall outside of the valid logic-high region, the device may change state causing a change in  $I_{\text{nom}}$  and invalid test data. This test can be performed using real application circuits or burn-in circuits specified in the relevant specification. If a latch-up failure occurs when the input pin(s) fall outside of the valid logic-high region, engineering judgement shall be used to determine whether the failure is a valid latch-up condition or a failure caused by a change in state.

- a) The devices shall be subjected to the  $V_{\text{supply}}$  overvoltage test as indicated in Figures 3 and 6 and Tables 1 and 2.
- b) Bias the DUT as indicated in Figure 9. All input pins, including bi-directional I/O pins in an input state or high impedance state, not used for preconditioning the I/O pins shall be tied to the  $V_{\text{supply}}$  voltage level specified in the relevant specification. Input pins used for preconditioning shall be tested in their defined state (pins that are tied to a logic-high level to precondition the DUT can only be tested in the logic-high state, pins that are tied to a logic-low level to precondition the DUT can only be tested in the logic-low state). Allow the DUT to stabilise at the test temperature. Measure nominal  $I_{\text{supply}}$  ( $I_{\text{nom}}$ ) for each  $V_{\text{supply}}$  pin (or pin group, see 2.23) at this time.
- c) Apply the voltage trigger source (according to Table 1 for a duration as specified in Table 2) to the  $V_{\text{supply}}$  pin (or pin group) under test.
- d) After the trigger source has been removed, return the  $V_{\text{supply}}$  pin under test to the state it was in before the application of the trigger pulse and measure the  $I_{\text{supply}}$  for each  $V_{\text{supply}}$  pin (or pin group). If any  $I_{\text{supply}}$  is greater than or equal to the failure criteria specified in definition 2.10, latch-up has occurred and power shall be removed from the DUT. If latch-up has occurred stop the test; the DUT has failed latch-up testing. Using a new device, return to step a) and continue testing.
- e) If latch-up has not occurred, after the necessary cool-down time (see Table 2), repeat steps b) through d). All input pins, (including bi-directional I/O pins in an input state or high impedance state), that are not used for preconditioning the I/O pins shall be tied to the ground voltage level (noting the exceptions stated in step b).
- f) Repeat steps b) through e) until each  $V_{\text{supply}}$  pin (or pin group) has been tested.

### 4.2.3 Dispositifs dynamiques d'essai

Des dispositifs, qui pendant les conditions de fonctionnement normales ont une horloge et/ou d'autres entrées de signaux de cadencement peuvent être soumis à l'essai de verrouillage d'une manière statique comme indiqué en 4.2.1 et 4.2.2. Si le dispositif ne présente pas une mesure  $I_{\text{alim}}$  ( $I_{\text{nom}}$ ) stable ou paraît verrouillé, l'horloge et/ou d'autres signaux de commande et de cadencement associés, comme défini dans la spécification du dispositif, peuvent être appliqués au dispositif pendant les essais de verrouillage conformément à 4.2.1 et 4.2.2. Sauf spécification contraire, les broches d'horloge et autres broches de cadencement associées utilisées pour placer le dispositif en un état stable ne doivent pas être soumises à l'essai de verrouillage lorsqu'elles sont utilisées pour stabiliser le dispositif. Le fournisseur doit tenir à jour les registres indiquant la façon dont a été essayé le dispositif, comme indiqué en 4.2.5.

### 4.2.4 Disponibilité du DEE

L'essai de verrouillage est potentiellement destructif. Les dispositifs utilisés pour les essais de verrouillage ne doivent ni être utilisés ni considérés comme des dispositifs vendables.

### 4.2.5 Archivage des documents

Les données doivent être enregistrées pour chaque défaillance de broche et doivent inclure la condition d'essai (la fréquence d'horloge pour dispositifs dynamiques, le cas échéant) l'ensemble des vecteurs utilisé pour le préconditionnement, la température, la condition de déclenchement et le courant  $I_{\text{alim}}$  de verrouillage. Les données doivent être enregistrées pour toutes broches et états de fonctionnement qui ne pourraient pas être complètement essayés conformément à 4.2.3. Ces informations doivent identifier les broches, les états de fonctionnement et préciser la raison donnée pour les essais incomplets.

## 5 Critères de défaillance

Un dispositif qui échoue à une ou plusieurs des conditions suivantes est considéré comme défaillant:

- a) Le dispositif ne satisfait pas aux exigences d'essai de la définition 2.10.
- b) Le dispositif ne répond plus aux exigences fonctionnelles, paramétriques ou I/V de la spécification du dispositif.

## 6 Résumé

Les informations suivantes doivent être indiquées dans la spécification applicable:

- a) Classification et sa température d'essai si la Classe II est sélectionnée (voir 2.1).
- b) Niveau des critères de défaillance (voir 2.10).
- c) Niveau logique à l'état haut maximal et niveau logique à l'état bas minimal si nécessaire (voir 2.11, 2.12, 4.2.1 et 4.2.2).
- d) Détails des critères de défaillance si le critère de défaillance spécial B est appliqué (voir 2.10).
- e) Tension ou tension d'alimentation pour la qualification des  $V_{\text{alim}}$  (voir 3.1.1).
- f) Valeur de la résistance R1 (voir Figure 1 de 3.1.1).
- g) Valeur de la résistance R1 (voir Figure 2 de 3.1.2).
- h) Détails des essais paramétriques et fonctionnels (voir 3.2 et 4.1).
- i) Température maximale de fonctionnement (voir 3.3).
- j) Taille de l'échantillonnage (voir 4.1).
- k) Nature du préconditionnement (voir 4.2.1 et 4.2.2).

### 4.2.3 Testing dynamic devices

Devices that during normal operating conditions have a clock and/or other timing signal inputs may be latch-up tested in a static manner as indicated in 4.2.1 and 4.2.2. If the device does not show a stable  $I_{\text{supply}}$  ( $I_{\text{nom}}$ ) measurement or appears to latch up, the clock and/or other associated timing and control signals, as defined in the relevant specification, may be applied to the device during latch-up testing according to 4.2.1 and 4.2.2. Unless otherwise specified, the clock pins and other associated timing pins used to place the device in a stable state shall not be latch-up tested while being used to stabilise the device. The supplier shall maintain records indicating how the device was tested, as indicated in 4.2.5.

### 4.2.4 DUT disposition

Latch-up testing is potentially destructive. Devices used for latch-up testing shall not be used or considered as saleable devices.

### 4.2.5 Record keeping

Data shall be recorded for each pin failure and shall include the test condition (clock frequency for dynamic devices, if used), vector set used for preconditioning, temperature, trigger condition, and latch-up  $I_{\text{supply}}$  current. Data shall also be recorded for all pins and operating states that could not be completely tested according to 4.2.3. This information shall identify the pins, operating states, and reason for incomplete testing.

## 5 Failure criteria

A device that fails one or more of the following conditions is considered a failure:

- a) Device does not pass the test requirements in definition 2.10.
- b) Device no longer meets functional, parametric or I/V requirements of the relevant specification.

## 6 Summary

The following details shall be specified in the relevant specification:

- a) Classification and its test temperature if Class II is selected (see 2.1).
- b) Level of failure criteria (see 2.10).
- c) Maximum logic-high level and minimum logic-low level if necessary (see 2.11, 2.12, 4.2.1 and 4.2.2).
- d) Details of failure criteria if level B, special failure criteria, is selected (see 2.10).
- e) Voltage of supply voltage for  $V_{\text{supply}}$  qualification (see 3.1.1).
- f) Value of resistor R1 (see Figure 1 of 3.1.1).
- g) Value of resistor R1 (see Figure 2 of 3.1.2).
- h) Details of functional and parametric testing (see 3.2 and 4.1).
- i) Maximum operating temperature (see 3.3).
- j) Sample size (see 4.1).
- k) State for preconditioning (see 4.2.1 and 4.2.2).

- l) Circuit de série ou circuit sélectionné si nécessaire (voir 4.2.2).  
 m) Détails des dispositifs dynamiques d'essai si le verrouillage doit être effectué dans des conditions dynamiques (voir 4.2.3).  
 n) Exigences I/V, paramétriques ou fonctionnelles (voir Article 5).

**Tableau 1 – Matrice d'essai <sup>a</sup>**

| Classe | Type d'essai                             | Polarité de déclenchement | Conditions des broches d'entrée non essayées <sup>b</sup> | Température d'essai (±2 °C)                     | Condition de $V_{\text{alim}}$                                                                                         | Conditions d'essai de déclenchement <sup>g</sup>                                                                | Critères de défaillance                                                                          |
|--------|------------------------------------------|---------------------------|-----------------------------------------------------------|-------------------------------------------------|------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------|
| I      | Essai I                                  | Positive<br>Voir Figure 7 | Logique à l'état haut                                     | Température ambiante                            | Tension de fonctionnement maximale pour chaque groupe de broche $V_{\text{alim}}$ selon la spécification du dispositif | $+(I_{\text{nom}} + 100 \text{ mA})$ ou $1,5 \times I_{\text{nom}}$ selon le plus élevé <sup>c</sup>            | $1,4 \times I_{\text{nom}}$ ou $I_{\text{nom}} + 10 \text{ mA}$ selon le plus élevé <sup>f</sup> |
|        |                                          |                           | Logique à l'état bas                                      |                                                 |                                                                                                                        | $-100 \text{ mA}$ ou $-0,5 \times I_{\text{nom}}$ selon le plus élevé en amplitude <sup>e</sup>                 |                                                                                                  |
|        |                                          | Négative<br>Voir Figure 8 | Logique à l'état haut                                     |                                                 |                                                                                                                        |                                                                                                                 |                                                                                                  |
|        |                                          |                           | Logique à l'état bas                                      |                                                 |                                                                                                                        |                                                                                                                 |                                                                                                  |
|        | Essai de surtension de $V_{\text{alim}}$ | Voir Figure 9             | Logique à l'état haut                                     |                                                 |                                                                                                                        | Caractéristique maximale absolue ou $1,5 \times \text{max. } V_{\text{alim}}$ selon le plus faible <sup>c</sup> |                                                                                                  |
|        |                                          |                           | Logique à l'état bas                                      |                                                 |                                                                                                                        |                                                                                                                 |                                                                                                  |
| II     | Essai I                                  | Positive<br>Voir Figure 7 | Logique à l'état haut                                     | Température ambiante de fonctionnement maximale | Tension de fonctionnement maximale pour chaque groupe de broche $V_{\text{alim}}$ selon la spécification du dispositif | $+(I_{\text{nom}} + 100 \text{ mA})$ ou $1,5 \times I_{\text{nom}}$ selon le plus élevé <sup>d</sup>            |                                                                                                  |
|        |                                          |                           | Logique à l'état bas                                      |                                                 |                                                                                                                        |                                                                                                                 |                                                                                                  |
|        |                                          | Négative<br>Voir Figure 8 | Logique à l'état haut                                     |                                                 |                                                                                                                        | $-100 \text{ mA}$ ou $-0,5 \times I_{\text{nom}}$ selon le plus élevé en amplitude <sup>e</sup>                 |                                                                                                  |
|        |                                          |                           | Logique à l'état bas                                      |                                                 |                                                                                                                        |                                                                                                                 |                                                                                                  |
|        | Essai de surtension de $V_{\text{alim}}$ | Voir Figure 9             | Logique à l'état haut                                     |                                                 |                                                                                                                        | Caractéristique maximale absolue ou $1,5 \times \text{max. } V_{\text{alim}}$ selon le plus faible <sup>c</sup> |                                                                                                  |
|        |                                          |                           | Logique à l'état bas                                      |                                                 |                                                                                                                        |                                                                                                                 |                                                                                                  |

<sup>a</sup> Les conditions de déclenchement indiquées ne sont pas significatives des conditions de déclenchement appropriées pour tous les dispositifs. Les conditions de déclenchement appropriées peuvent être plus ou moins sévères. Lorsque les conditions de déclenchement utilisées dans les essais diffèrent de ce tableau, il faut que les conditions de déclenchement utilisées soient définies dans les résultats d'essai.

<sup>b</sup> Les niveaux de tension  $V_{\text{alim}}$  et de tension de masse doivent être appliqués comme niveaux logiques à l'état haut et à l'état bas, sauf exigence contraire dans la spécification du dispositif. Dans le cas d'un dispositif non numérique, les niveaux logiques doivent être interprétés comme les plus appropriés de  $V_{\text{alim}}$ , de la tension de masse ou des valeurs minimale et maximale qui peuvent être appliquées à la broche.

<sup>c</sup> Courant écrêté à  $(I_{\text{nom}} + 100 \text{ mA})$  ou  $1,5 \times I_{\text{nom}}$ , en utilisant la plus grande des deux valeurs (se reporter à 2.13 pour la définition de  $V_{\text{alim}} \text{ max.}$ ).

<sup>d</sup> Tension écrêtée à  $1,5 \times \text{max.}$  de la logique à l'état haut.

<sup>e</sup> Tension écrêtée à  $-0,5 \times \text{max.}$  de la logique à l'état haut.

<sup>f</sup> Si la condition d'essai de déclenchement atteint la limite d'écrêtage de tension ou de courant et que le verrouillage n'a pas eu lieu, la broche passe l'essai de verrouillage avec succès. Voir l'Article 5 pour la définition de défaillance complète.

<sup>g</sup> La valeur  $I_{\text{nom}}$  utilisée pour le calcul du courant de déclenchement se réfère à la broche  $V_{\text{alim}}$  (ou groupe de broches) qui alimente la broche E/S à essayer.

- l) Real application circuit or burn-in circuit if necessary (see 4.2.2).  
 m) Details of testing dynamic devices if latch-up test is to be performed in a dynamic condition (see 4.2.3).  
 n) Functional, parametric or I/V requirements (see Clause 5).

**Table 1 – Test Matrix<sup>a</sup>**

| Class | Test type                             | Trigger polarity         | Condition of untested input pins <sup>b</sup> | Test temperature (±2 °C)              | V <sub>supply</sub> condition                                                                      | Trigger test conditions <sup>g</sup>                                                           | Failure criteria                                                                             |
|-------|---------------------------------------|--------------------------|-----------------------------------------------|---------------------------------------|----------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------|
| I     | I-Test                                | Positive<br>See Figure 7 | Logic high                                    | Room temperature                      | Maximum operating voltage for each V <sub>supply</sub> pin group according to device specification | +( I <sub>nom</sub> +100mA)<br>or 1,5 × I <sub>nom</sub><br>whichever is greater <sup>d</sup>  | 1,4 × I <sub>nom</sub><br>or I <sub>nom</sub><br>+10 mA<br>whichever is greater <sup>f</sup> |
|       |                                       |                          | Logic low                                     |                                       |                                                                                                    |                                                                                                |                                                                                              |
|       |                                       | Negative<br>See Figure 8 | Logic high                                    |                                       |                                                                                                    | –100 mA or<br>–0,5 × I <sub>nom</sub><br>whichever is greater in magnitude <sup>e</sup>        |                                                                                              |
|       |                                       |                          | Logic low                                     |                                       |                                                                                                    |                                                                                                |                                                                                              |
|       | V <sub>supply</sub> over-voltage test | See Figure 9             | Logic high                                    |                                       |                                                                                                    | Absolute maximum rating or<br>1,5 × max V <sub>supply</sub><br>whichever is lower <sup>c</sup> |                                                                                              |
|       |                                       |                          | Logic low                                     |                                       |                                                                                                    |                                                                                                |                                                                                              |
| II    | I-Test                                | Positive<br>See Figure 7 | Logic high                                    | Maximum ambient operating temperature | Maximum operating voltage for each V <sub>supply</sub> pin group according to device specification | +( I <sub>nom</sub> +100mA)<br>or 1,5 × I <sub>nom</sub><br>whichever is greater <sup>d</sup>  |                                                                                              |
|       |                                       |                          | Logic low                                     |                                       |                                                                                                    |                                                                                                |                                                                                              |
|       |                                       | Negative<br>See Figure 8 | Logic high                                    |                                       |                                                                                                    | –100 mA or<br>–0,5 × I <sub>nom</sub><br>whichever is greater in magnitude <sup>e</sup>        |                                                                                              |
|       |                                       |                          | Logic low                                     |                                       |                                                                                                    |                                                                                                |                                                                                              |
|       | V <sub>supply</sub> over-voltage test | See Figure 9             | Logic high                                    |                                       |                                                                                                    | Absolute maximum rating or<br>1,5 × max V <sub>supply</sub><br>whichever is lower <sup>c</sup> |                                                                                              |
|       |                                       |                          | Logic low                                     |                                       |                                                                                                    |                                                                                                |                                                                                              |

<sup>a</sup> The trigger conditions herein are not indicative of appropriate trigger conditions for all devices. Appropriate trigger conditions may be more or less stringent. When trigger conditions used in testing differ from this table, the trigger conditions used must be defined in the test results.

<sup>b</sup> The  $V_{\text{supply}}$  voltage level and ground voltage level shall be applied as the logic high level and logic low level unless otherwise specified in the relevant specification. In the context of a non-digital device, logic levels shall be interpreted as the most appropriate of  $V_{\text{supply}}$  voltage, ground voltage or the specified minimum or maximum that may be applied to the pin.

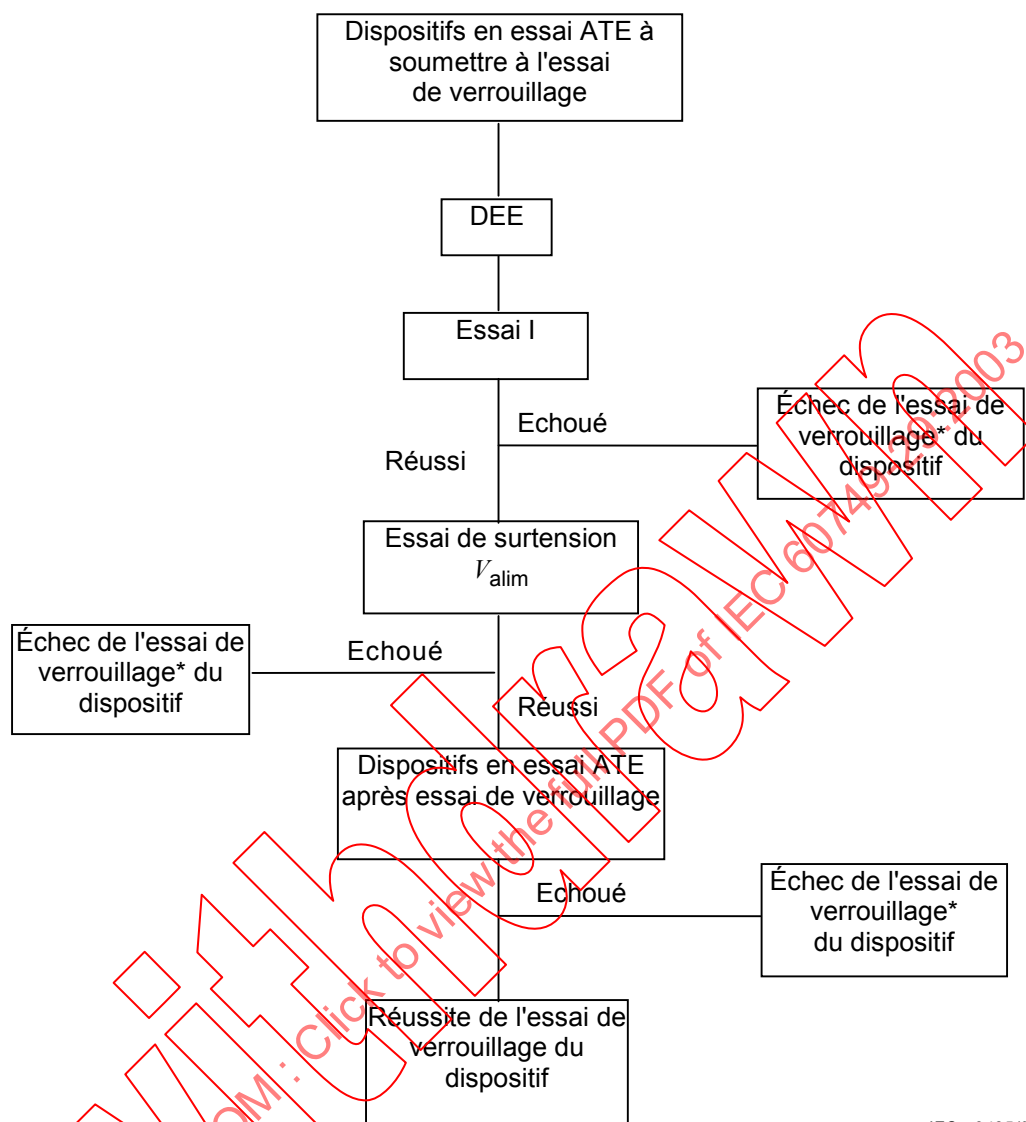
<sup>c</sup> Current clamped at  $(I_{\text{nom}} + 100 \text{ mA})$  or  $1,5 \times I_{\text{nom}}$ , whichever is greater (refer to 2.13 for max  $V_{\text{supply}}$  definition).

<sup>d</sup> Voltage clamped at  $1,5 \times \max$ . logic high.

<sup>e</sup> Voltage clamped at  $-0,5 \times \max$ . logic high.

<sup>f</sup> If the trigger test condition reaches the voltage or current clamp limit and latch-up has not occurred, the pin passes the latch-up test. See Clause 5 for complete failure definition.

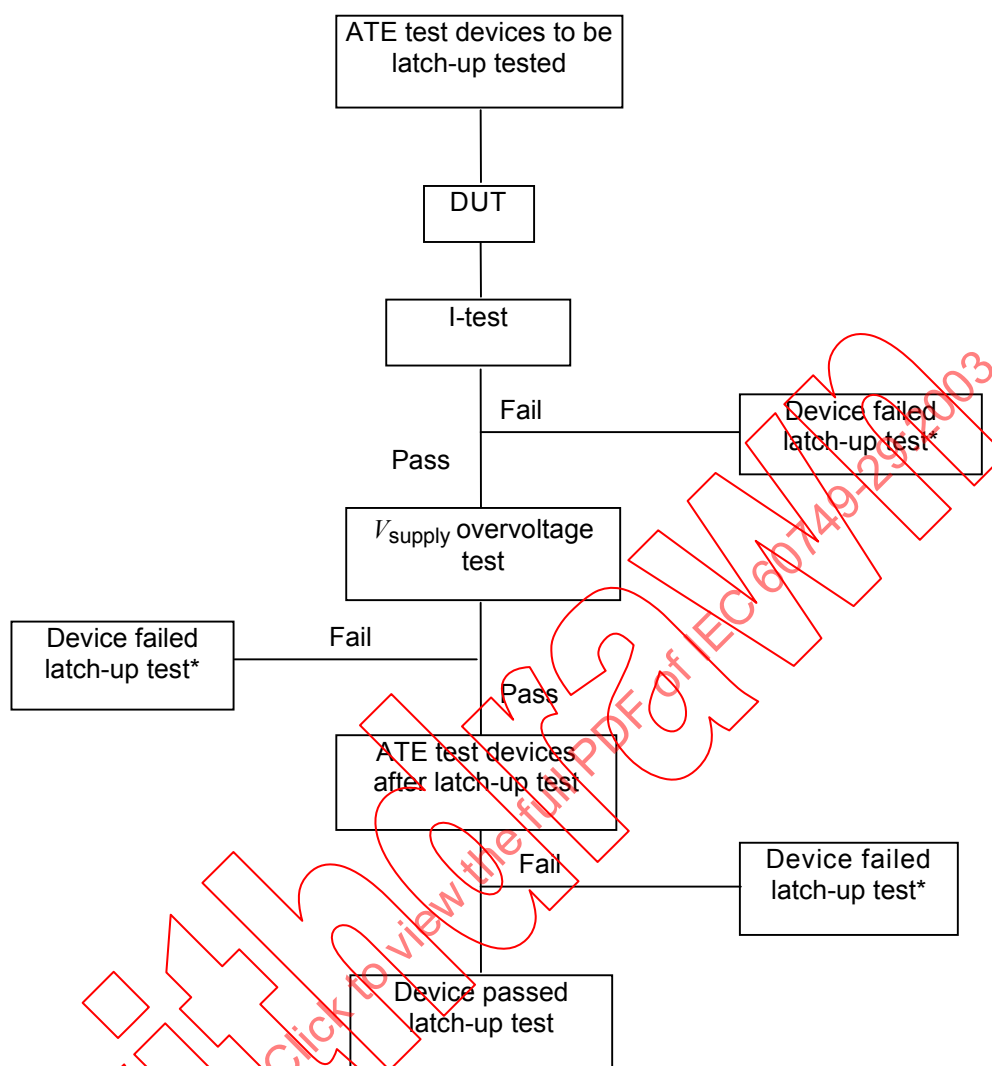
<sup>g</sup> The  $I_{\text{nom}}$  value used for the trigger current calculation relates to the  $V_{\text{supply}}$  pin (or pin group) that supplies the I/O pin being tested.



IEC 2485/03

\* La modification de  $V_{alim}$  dépasse les critères de défaillance de 2.10.

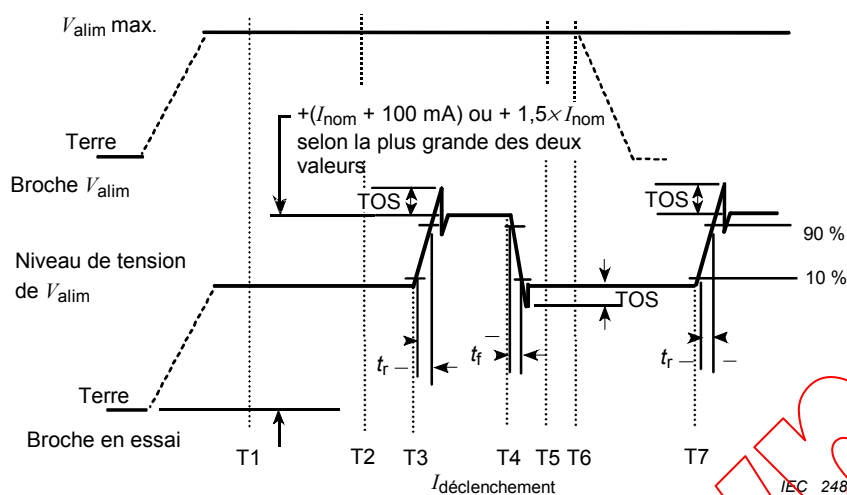
**Figure 3 – Diagramme d'essai de verrouillage**



IEC 2485/03

\* Change in  $I_{\text{supply}}$  exceeds failure criteria in 2.10

**Figure 3 – Latch-up test flow**



# **Temps Opération**

T1 → T2 Mesurer  $I_{alim}$  nominal ( $I_{nom}$ )

T4 → T7 Temps de refroidissement ( $t_{cool}$ )

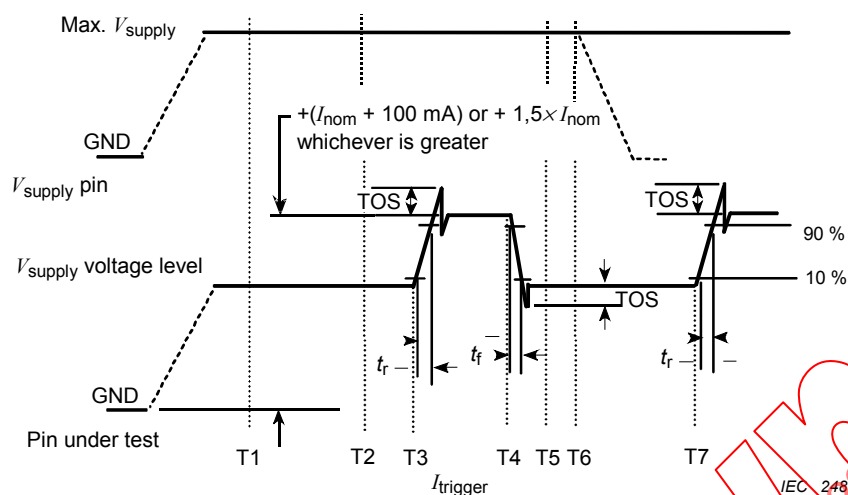
T4 → T5 Temps d'attente avant la mesure de  $I_{alim}$

T5 Mesurer  $I_{alim}$

T6 Si une  $I_{alim} \geq$  aux critères de défaillance définis en 2.10, le verrouillage a eu lieu et il faut retirer la puissance du DEE.

NOTE Le temps d'attente est suffisant pour permettre le retour aux conditions initiales de l'alimentation électrique et à la stabilisation de  $I_{alim}$ .

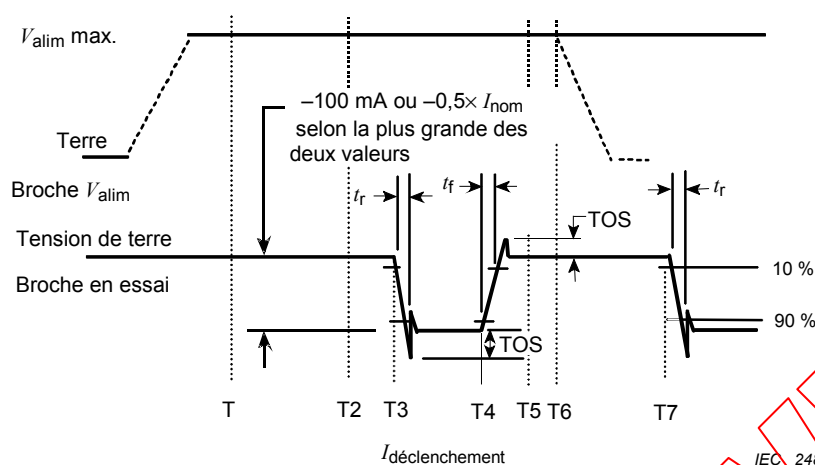
**Figure 4 – Forme d'onde d'essai pour l'essai I positif**



| Time    | Operation                                                                                                                       |
|---------|---------------------------------------------------------------------------------------------------------------------------------|
| T1 → T2 | Measure nominal $I_{\text{supply}}$ ( $I_{\text{nom}}$ )                                                                        |
| T4 → T7 | Cool down time ( $t_{\text{cool}}$ )                                                                                            |
| T4 → T5 | Wait time prior to $I_{\text{supply}}$ measurement                                                                              |
| T5      | Measure $I_{\text{supply}}$                                                                                                     |
| T6      | If any $I_{\text{supply}} \geq$ the failure criteria defined in 2.10, latch-up has occurred and power must be removed from DUT. |

NOTE The wait time is sufficient to allow for power supply ramp down and stabilization of  $I_{\text{supply}}$ .

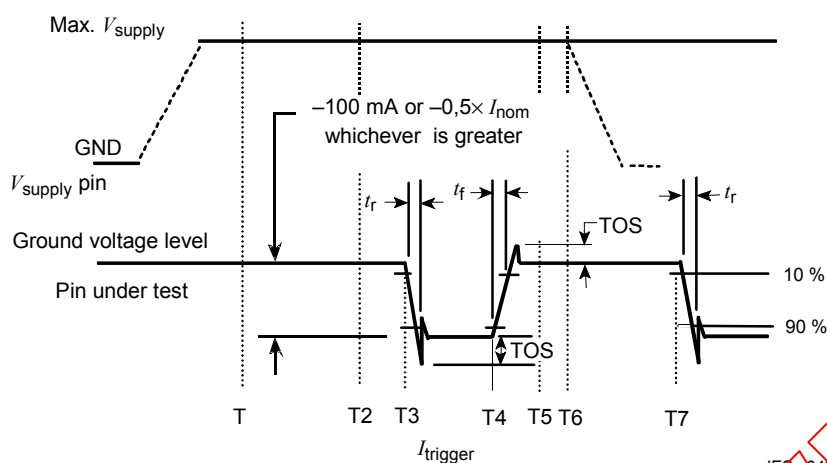
**Figure 4 – Test waveform for positive I-test**



| Temps   | Opération                                                                                                                                    |
|---------|----------------------------------------------------------------------------------------------------------------------------------------------|
| T1 → T2 | Mesurer $I_{\text{alim}}$ nominal ( $I_{\text{nom}}$ )                                                                                       |
| T4 → T7 | Temps de refroidissement ( $t_{\text{cool}}$ ) $I_{\text{nom}}$                                                                              |
| T4 → T5 | Temps d'attente avant la mesure de $I_{\text{alim}}$                                                                                         |
| T5      | Mesurer $I_{\text{alim}}$                                                                                                                    |
| T6      | Si une $I_{\text{alim}} \geq$ aux critères de défaillance définis en 2.10, le verrouillage a eu lieu et il faut retirer la puissance du DEE. |

NOTE Le temps d'attente est suffisant pour permettre le retour aux conditions initiales de l'alimentation électrique et à la stabilisation de  $I_{\text{alim}}$

Figure 5 – Forme d'onde d'essai pour l'essai I négatif



| Time    | Operation                                                                                                                       |
|---------|---------------------------------------------------------------------------------------------------------------------------------|
| T1 → T2 | Measure nominal $I_{\text{supply}}$ ( $I_{\text{nom}}$ )                                                                        |
| T4 → T7 | Cool down time ( $t_{\text{cool}}$ ) $I_{\text{nom}}$                                                                           |
| T4 → T5 | Wait time prior to $I_{\text{supply}}$ measurement                                                                              |
| T5      | Measure $I_{\text{supply}}$                                                                                                     |
| T6      | If any $I_{\text{supply}} \geq$ the failure criteria defined in 2.10, latch-up has occurred and power must be removed from DUT. |

NOTE The wait time is sufficient to allow for power supply ramp down and stabilization of  $I_{\text{supply}}$ .

**Figure 5 – Test waveform for negative I-test**