

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Semiconductor devices – Mechanical and climatic test methods –
Part 29: Latch-up test**

**Dispositifs à semiconducteurs – Méthodes d'essai mécaniques et climatiques –
Partie 29: Essai de verrouillage**

IECNORM.COM : Click to view the full PDF of IEC 60749-29:2011



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2011 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.

If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur.

Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland
Email: inmail@iec.ch
Web: www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

- Catalogue of IEC publications: www.iec.ch/searchpub

The IEC on-line Catalogue enables you to search by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, withdrawn and replaced publications.

- IEC Just Published: www.iec.ch/online_news/justpub

Stay up to date on all new IEC publications. Just Published details twice a month all new publications released. Available on-line and also by email.

- Electropedia: www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 20 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary online.

- Customer Service Centre: www.iec.ch/webstore/custserv

If you wish to give us your feedback on this publication or need further assistance, please visit the Customer Service Centre FAQ or contact us:

Email: csc@iec.ch

Tel.: +41 22 919 02 11

Fax: +41 22 919 03 00

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

- Catalogue des publications de la CEI: www.iec.ch/searchpub/cur_fut-f.htm

Le Catalogue en-ligne de la CEI vous permet d'effectuer des recherches en utilisant différents critères (numéro de référence, texte, comité d'études,...). Il donne aussi des informations sur les projets et les publications retirées ou remplacées.

- Just Published CEI: www.iec.ch/online_news/justpub

Restez informé sur les nouvelles publications de la CEI. Just Published détaille deux fois par mois les nouvelles publications parues. Disponible en-ligne et aussi par email.

- Electropedia: www.electropedia.org

Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 20 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International en ligne.

- Service Clients: www.iec.ch/webstore/custserv/custserv_entry-f.htm

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions, visitez le FAQ du Service clients ou contactez-nous:

Email: csc@iec.ch

Tél.: +41 22 919 02 11

Fax: +41 22 919 03 00

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Semiconductor devices – Mechanical and climatic test methods –
Part 29: Latch-up test**

**Dispositifs à semiconducteurs – Méthodes d'essai mécaniques et climatiques –
Partie 29: Essai de verrouillage**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

PRICE CODE
CODE PRIX

T

ICS 31.080.01

ISBN 978-2-88912-434-3

CONTENTS

FOREWORD.....	3
1 Scope and object.....	5
2 Terms and definitions	5
3 Classification and levels	8
3.1 Classification	8
3.2 Levels	8
4 Apparatus and material	8
4.1 Latch-up tester	8
4.1.1 General	8
4.1.2 V_{supply} and their qualification method.....	9
4.1.3 Trigger source qualification method	9
4.2 Automated test equipment (ATE).....	10
4.3 Heat source.....	10
5 Procedure	10
5.1 General latch-up test procedure	10
5.2 Detailed latch-up test procedure.....	13
5.2.1 I-test.....	13
5.2.2 V_{supply} overvoltage test.....	17
5.2.3 Testing dynamic devices	19
5.2.4 DUT disposition	19
5.2.5 Record keeping	19
6 Failure criteria	20
7 Summary.....	20
Annex A (informative) Examples of special pins that are connected to passive components	21
Annex B (informative) Calculation of operating ambient or operating case temperature for a given operating junction temperature	23
Figure 1 – V_{supply} qualification circuit.....	9
Figure 2 – Trigger source qualification circuit.....	10
Figure 3 – Latch-up test flow.....	11
Figure 4 – Test waveform for positive I-test	14
Figure 5 – Test waveform for negative I-test	15
Figure 6 – Equivalent circuit for positive input/output I-test latch-up testing	16
Figure 7 – Equivalent circuit for negative input/output I-test latch-up testing	17
Figure 8 – Test waveform for V_{supply} overvoltage	18
Figure 9 – Equivalent circuit for V_{supply} overvoltage test latch-up testing.....	19
Figure A.1 – Examples of special pins that are connected to passive components	22
Table 1 – Test matrix ^a	12
Table 2 – Timing specifications for I-test and V_{supply} overvoltage test	13

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**SEMICONDUCTOR DEVICES –
MECHANICAL AND CLIMATIC TEST METHODS –****Part 29: Latch-up test**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60749-29 has been prepared by IEC technical committee 47: Semiconductor devices.

This second edition cancels and replaces the first edition published in 2003 and constitutes a technical revision. The significant changes with respect to the previous edition include:

- a number of minor technical changes;
- the addition of two new annexes covering the testing of special pins and temperature calculations.

The text of this standard is based on the following documents:

FDIS	Report on voting
47/2083/FDIS	47/2090/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts in the IEC 60749 series, under the general title *Semiconductor devices – Mechanical and climatic test methods*, can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IECNORM.COM : Click to view the full PDF of IEC 60749-29:2011

SEMICONDUCTOR DEVICES – MECHANICAL AND CLIMATIC TEST METHODS –

Part 29: Latch-up test

1 Scope and object

This part of IEC 60749 covers the I-test and the overvoltage latch-up testing of integrated circuits.

This test is classified as destructive.

The purpose of this test is to establish a method for determining integrated circuit (IC) latch-up characteristics and to define latch-up failure criteria. Latch-up characteristics are used in determining product reliability and minimizing "no trouble found" (NTF) and "electrical overstress" (EOS) failures due to latch-up.

This test method is primarily applicable to CMOS devices. Applicability to other technologies must be established.

The classification of latch-up as a function of temperature is defined in 3.1 and the failure level criteria are defined in 3.2

2 Terms and definitions

For the purposes of this document, the following terms and definitions apply.

2.1

cool-down time

period of time between successive applications of trigger pulses or the period of time between the removal of the V_{supply} voltage and the application of the next trigger pulse (See Figures 4, 5, and 8 and Table 2.)

2.2

device under test

DUT

semiconductor product subjected to latch-up test

2.3

ground

GND

common or zero-potential pin(s) of the DUT

NOTE 1 Ground pins are not latch-up tested.

NOTE 2 A ground pin is sometimes called V_{ss} .

2.4

input pins

all address, data-in control, V_{ref} and similar pins

2.5

I/O (bi-directional) pins

device pins that can be made to operate as an input or output or in a high-impedance state

2.6

I_{supply}

total supply current in each V_{supply} pin (or pin group) with the DUT biased as indicated in Table 1

2.7

I-test

latch-up test that supplies positive and negative current pulses to the pin under test

2.8

latch-up

state in which a low-impedance path resulting from an overstress that triggers a parasitic thyristor structure, persists after removal or cessation of the triggering condition

NOTE 1 The overstress can be a voltage or current surge, an excessive rate of change of current or voltage, or any other abnormal condition that causes the parasitic thyristor structure to become regenerative.

NOTE 2 Latch-up will not damage the device provided that the current through the low-impedance path is sufficiently limited in magnitude or duration.

2.9

logic-high

level within the more positive (less negative) of the two ranges of logic levels chosen to represent the logic states

NOTE 1 For digital devices, a voltage level equal to V_{supply} is used for latch-up testing, except where otherwise specified in the relevant specification.

NOTE 2 For non-digital devices, V_{supply} voltage level or the maximum operating voltage that can be applied to that pin as defined in the relevant specification may be used for latch-up testing.

2.10

logic-low

level within the more negative (less positive) of the two ranges of logic levels chosen to represent the logic states

NOTE 1 For digital devices, ground voltage level is used for latch-up testing, except where specified in the relevant specification.

NOTE 2 For non-digital devices, ground voltage level or the minimum operating voltage that can be applied to that pin as defined in the relevant specification may be used for latch-up testing.

2.11

maximum V_{supply}

maximum operating voltage for operation within performance specifications

NOTE 1 The maximum voltage is not the absolute maximum voltage beyond which permanent damage is likely.

NOTE 2 Maximum refers to the magnitude of V_{supply} and can be either positive or negative.

2.12

no connect pin

pin that has no internal connection and that can be used as a support for external wiring without disturbing the function of the device

NOTE All "no connect" pins should be left in an open (floating) state during latch-up testing.

2.13

nominal I_{supply} (I_{nom})

measured dc supply current for each V_{supply} pin (or pin group) with the DUT biased at the test temperature as defined in Clause 5 and Table 1

2.14**output pin**

device pin that generates a signal or voltage level as a normal function during the normal operation of the device

NOTE Output pins, though left in an open (floating) state during testing of other pin types, are latch-up tested.

2.15**preconditioned pin**

device pin that has been placed in a defined state or condition (input, output, high impedance, etc.) by applying control vectors to the DUT

2.16**testing of dynamic devices**

latch-up trigger testing of a device in a known stable state, at the minimum-rated clock frequency applied to the device (see 5.2.3 for specified conditions)

2.17**test condition**

test temperature, supply voltage, current limits, voltage limits, clock frequency, input bias voltages, and preconditioning vectors applied to the DUT during the latch-up test

2.18**timing-related input pin**

pin such as clock crystal oscillator, charge pump circuit, etc., required to place the DUT in a normal operating mode

NOTE Required timing signals may be applied by the latch-up tester, external equipment, and/or external components as appropriate.

2.19**trigger pulse**

positive or negative current pulse (I-Test) or voltage pulse (V_{supply} overvoltage test) applied to any pin under test in an attempt to induce latch-up (see Figures 4, 5 and 8)

2.20**trigger duration**

duration of an applied pulse from the trigger source (see Figures 4, 5 and 8 and Table 2)

2.21 **V_{supply} pin (or pin group)**

all DUT power supply and external voltage source pins (excluding ground pins), including both positive- and negative-potential pins

NOTE 1 Generally, it is permissible to treat equal potential voltage source pins as one V_{supply} pin (or pin group) and connect them to one power supply.

NOTE 2 When forming V_{supply} pins (or pin groups), the combination of V_{supply} pins with significantly different supply current levels is not recommended as this would make it difficult to detect significant current changes on low supply current pins.

2.22 **V_{supply} overvoltage test**

latch-up test that supplies overvoltage pulses or overvoltage d.c. level to the V_{supply} pin under test

2.23 **V_{supply} voltage level**

applicable voltage level of the V_{supply} pin specified in the relevant specification. The V_{supply} voltage level is used for latch-up testing as the typical logic high level unless otherwise specified (see 2.9)

2.24

ground voltage level

ground potential used for latch-up testing as the typical logic low level, unless otherwise specified (see 2.10)

3 Classification and levels

3.1 Classification

There are two classes for latch-up testing.

- Class I is for testing at room temperature ambient.
- Class II is for testing at the maximum operating ambient temperature (T_a) or maximum operating case temperature (T_c) or maximum operating junction temperature (T_j) in the detailed specification.

For Class II testing at the maximum operating T_a or T_c , the ambient temperature or case temperature (T_c) shall be established at the required test value. For Class II testing at the maximum operating T_j , the ambient temperature T_a or the case temperature T_c should be selected to achieve a temperature characteristic of the junction temperature for a given device operating mode(s) during latch-up testing. The maximum operating ambient or case temperature during stress may be calculated based on the methods detailed in Annex B.

NOTE Elevated temperature will reduce latch-up resistance, and class II testing is recommended for devices that are required to operate at elevated temperature.

3.2 Levels

Level defines the I-test current injection value used during latch-up testing. Latch-up passing levels are defined as follows:

Level A – The trigger current value in Table 1 shall be +100 mA as defined in Figure 6 and -100 mA as defined in Figure 7. If all pins on the part pass at least the Level A trigger current values, then the part shall be considered a Level A part.

Level B – If any pins on the part do not pass the Level A standard, then the supplier shall determine the minimum passing trigger current requirement for each pin stressed differently than in Level A. The maximum (or highest) passing trigger current value shall be reported in the record for each pin stressed differently than in Level A, and the part shall be considered to be a Level B part, see 5.2.5.

4 Apparatus and material

The apparatus required for this test method includes the following.

4.1 Latch-up tester

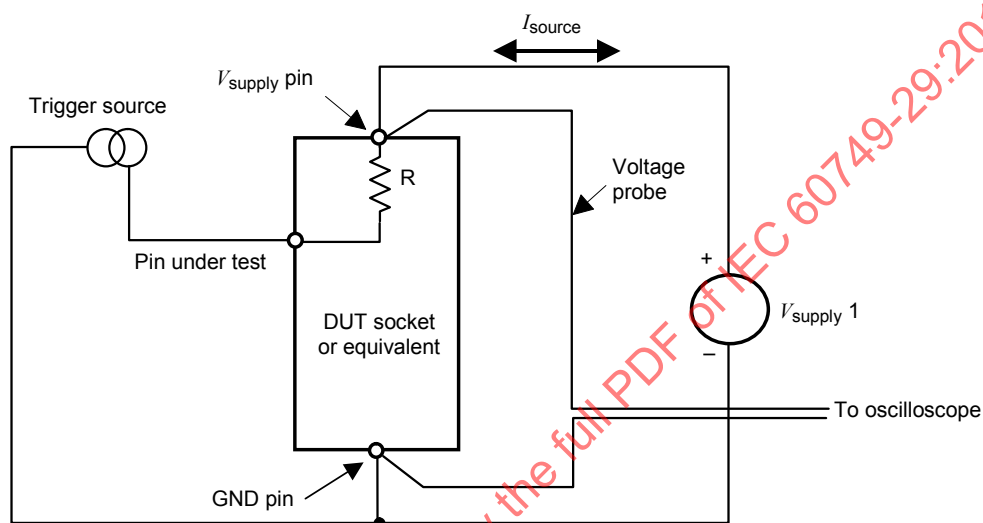
4.1.1 General

Test equipment capable of performing the tests as specified in this standard. For devices requiring dynamic testing, the test equipment shall be capable of supplying timing signals and logic setup vectors required to control the I/O pin output states as specified in 5.2.3. The required timing signals and logic vectors may be applied by the latch-up tester itself, external equipment, and/or external components as appropriate.

4.1.2 V_{supply} and their qualification method

For the I-test, sink type voltage power supplies shall be connected to all V_{supply} pins as shown in Figure 6 and Figure 7, and the transient characteristics shall be qualified as shown in Figure 1. The qualification steps are as follows:

- Connect the supply voltage (e.g. 5 V, 3,3 V) to the V_{supply} pin. The value of voltage may be specified in the relevant specification.
- Apply positive and negative pulses from the 200 mA trigger source, and measure their effect on the voltage waveform shown on the oscilloscope.
- The voltage measured by the oscilloscope shall be within 90 % to 110 % of the supply voltage.



Value of R (e.g. 50 Ω) is specified in the applicable procurement document.
Input impedance of voltage probe and oscilloscope is over 10 k Ω .

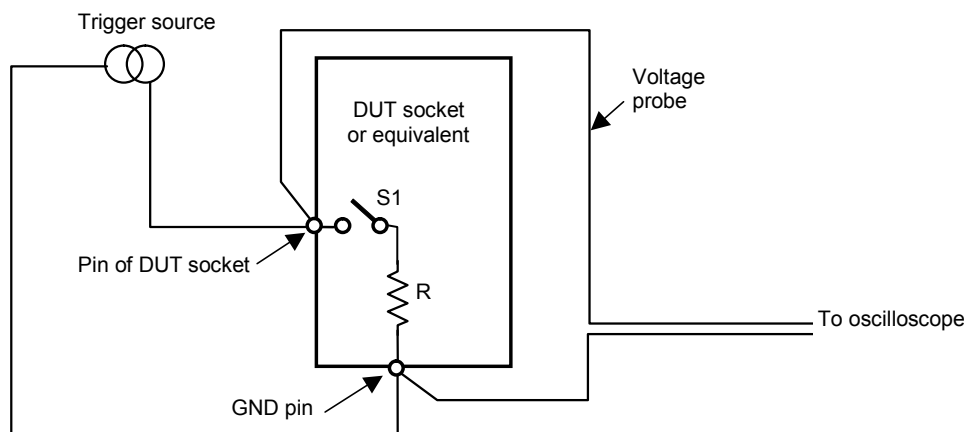
IEC 671/11

Figure 1 – V_{supply} qualification circuit

4.1.3 Trigger source qualification method

The electrical characteristics of the trigger source including its transient characteristics shall be qualified as shown in Figure 2. The qualification steps are as follows:

- With switch S1 closed, apply positive and negative pulses from the 200 mA trigger source, and measure its current waveform. The current waveform shall satisfy the requirements of Table 1.
- After setting the voltage clamp level and opening S1, apply positive and negative pulses from the 100 mA trigger source and measure its voltage waveform. The voltage waveform during the working voltage clamp shall be within 90 % to 110 % of the voltage clamp setting level.



Value of R (e.g. 50 Ω) is specified in the applicable specification.
Input impedance of voltage probe and oscilloscope is over 10 k Ω .

IEC 672/11

Figure 2 – Trigger source qualification circuit

4.2 Automated test equipment (ATE)

A device tester capable of performing full functional and parametric testing of the device specified in the relevant specification.

4.3 Heat source

Equipment capable of heating and maintaining the DUT at the maximum operating temperature specified in the relevant specification during the latch-up test.

5 Procedure

5.1 General latch-up test procedure

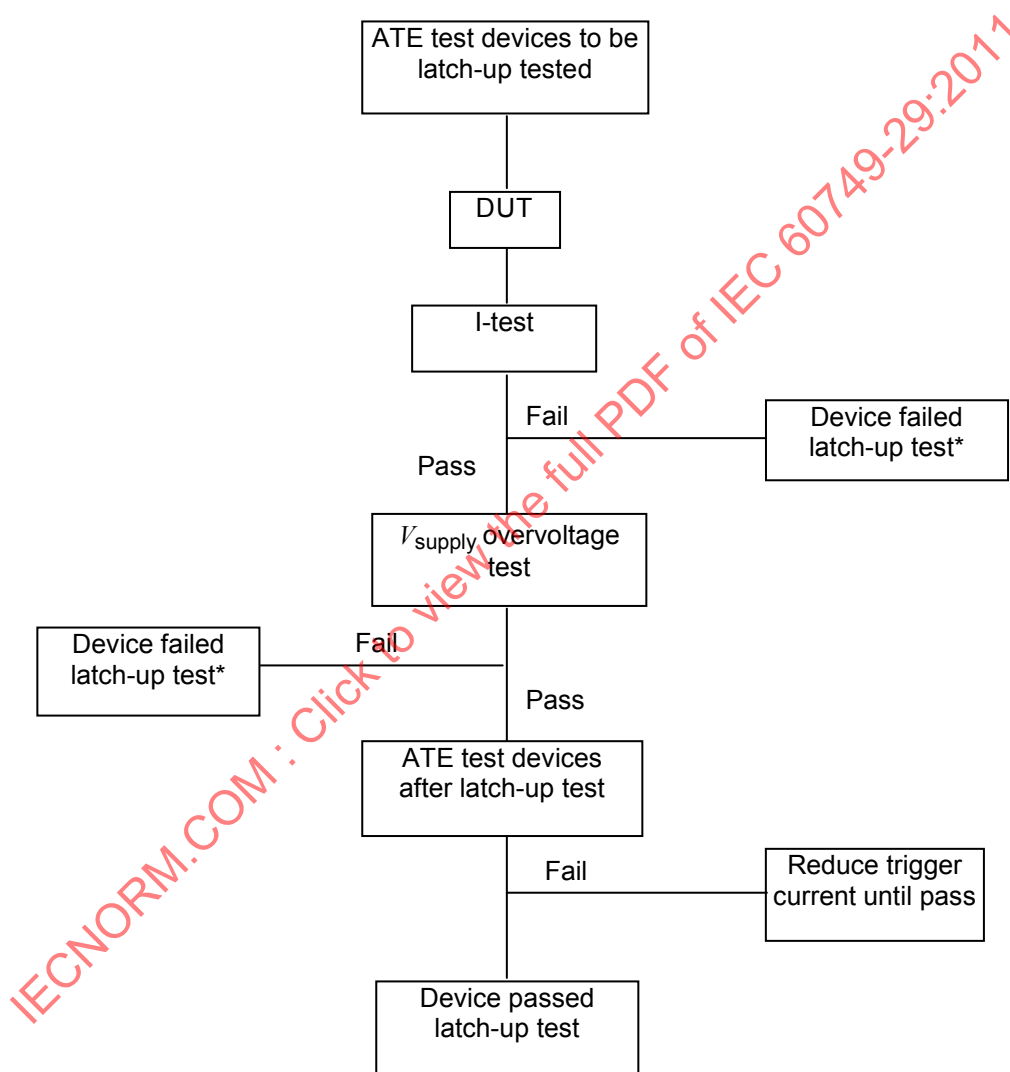
Prior to the latch-up test, the device needs to be in a stable state with reproducible I_{nom} . Engineering judgment may be needed to achieve sufficient stability. The supply current should be made as low as practicable. The supply current must be stable enough and low enough to reliably detect the supply current increase if latch-up occurs.

A sample group of devices (e.g. six) shall be subjected to latch-up testing using the I-test and V_{supply} overvoltage test. The use of a new sample group for each latch-up test type (I-test, and/or V_{supply} overvoltage test) is also acceptable. All devices to be latch-up tested shall have passed the specified functional and parametric testing.

Before latch-up testing, the device continuity in the socket should be checked to avoid false latch-up failures. The latch-up test flow shall be as shown in Figure 3. The devices to be tested shall be subjected to the test conditions specified in Table 1 and Table 2. All “no connect” pins on the DUT shall be left open (floating) at all times.

All pins on the DUT, with the exception of “no connect” pins and timing related pins, shall be latch-up tested. The input, output and configurable I/O pins shall be tested with the I-test and the V_{supply} pins tested with the overvoltage test. This includes special pins defined in Annex A. The passing current or voltage values for the special pins can be used for determining the values of the passive-components connected to the pins. I/O pins shall be tested in all possible operating states or the worst case operating state (typically high impedance for configurable I/O pins and output pins).

Dynamic devices shall be tested according to 5.2.3. When a device is sufficiently complex that testing of all configurable I/O pins in the worst case condition is not practicable, the device should be conditioned with a set of vectors representative of the typical operation of the device as determined by engineering judgement. When an I/O pin cannot be tested in the high impedance state, the I/O shall be tested in a valid logic state. Untested pins and pins that could not be completely tested shall be recorded as specified in 5.2.5 and the user shall be informed of all I/O pins that were not tested or tested in all states. After latch-up testing, all devices shall pass the criteria specified in Clause 6.



* Change in I_{supply} exceeds failure criteria in 3.2

IEC 673/11

Figure 3 – Latch-up test flow

Table 1 – Test matrix^a

Test type	Trigger polarity	Condition of untested input pins _b	Test temperature (±2°C)	V_{supply} condition	Trigger test conditions ^g	Failure criteria ^{fg}
I-Test	Positive see Figure 6	Max logic high	Temperature Class I Room temperature	Maximum operating voltage for each V_{supply} pin group according to device specification	According to classification levels in 3.2 ^d	If absolute I_{nom} is = < 25 mA, then absolute I_{nom} + 10 mA is used or if absolute I_{nom} is > 25 mA, then > 1,4 X absolute I_{nom} is used
		Min logic low			According to classification levels in 3.2 ^e	
	Negative see Figure 7	Max logic high			Absolute maximum rating or 1,5 × maximum V_{supply} whichever is lower ^c	
		Min logic low				
V_{supply} Over-voltage test	See Figure 9	Logic high				
		Logic low				
I-Test	Positive see Figure 6	Max logic high	Temperature Class II Maximum ambient operating temperature	Maximum operating voltage for each V_{supply} pin group according to device specification	According to classification levels in 3.2 ^e	
		Min logic low			According to classification levels in 3.2 ^e	
	Negative see Figure 7	Max logic high				
		Min logic low				
V_{supply} Over-voltage test	See Figure 9	Max logic high				
		Min logic low			1,5 × max V_{supply} ^c	

- a The trigger conditions herein are not indicative of appropriate trigger conditions for all devices. Appropriate trigger conditions may be more or less stringent. When trigger conditions used in testing differ from this table, the trigger conditions used must be defined in the test results.
- b The V_{supply} voltage level and ground voltage level shall be applied as the logic high level and logic low level unless otherwise specified in the relevant specification. In the context of a non-digital device, logic levels shall be interpreted as the most appropriate of V_{supply} voltage, ground voltage or the specified minimum or maximum that may be applied to the pin.
- c Current clamped at ($I_{\text{nom}} + 100 \text{ mA}$) or $1,5 \times I_{\text{nom}}$, whichever is greater (Refer to 2.11 for max V_{supply} definition). The I_{nom} value used for the current clamp calculation relates to the V_{supply} pin (or pin groups) being tested.
- d Voltage clamped at $V_{\text{max}} + 0,5(V_{\text{max}} - V_{\text{min}})$ if V_{min} is > 0. Otherwise, the voltage clamp is $1,5 V_{\text{max}}$.
- e Voltage clamped at $V_{\text{max}} - 0,5(V_{\text{max}} - V_{\text{min}})$ if V_{min} is > 0. Otherwise, the voltage clamp is $-0,5 V_{\text{max}}$.
- f If the trigger test condition reaches the voltage or current clamp limit and latch-up has not occurred, the pin passes the latch-up test. See Clause 6 for complete failure definition.
- g The I_{nom} value used for the trigger current calculation relates to the V_{supply} pin (or pin groups) being tested, not just the I_{nom} supply for the pin under test.

Table 2 – Timing specifications for I-test and V_{supply} overvoltage test

Symbol	Time interval	Parameter	Limits	
			Minimum	Maximum
t_r	T3 → T4	Trigger rise time	5 μs	5 ms
t_f		Trigger fall time	5 μs	5 ms
t_{width}		Trigger duration (width)	$2 \times t_r$	10 ms (I-test) 5 s (V_{supply} overvoltage test)
TOS		Trigger over-shoot	$\pm 5\%$ of pulse voltage	
t_{cool}	T4 → T7	Cool down time	$\geq t_{\text{width}}$	
t_{measure}^a	T4 → T5	Waiting time before measuring I_{supply}	3 ms	5s

^a The wait time should be sufficient to allow for power supply ramp down and stabilization of V_{supply} .

5.2 Detailed latch-up test procedure

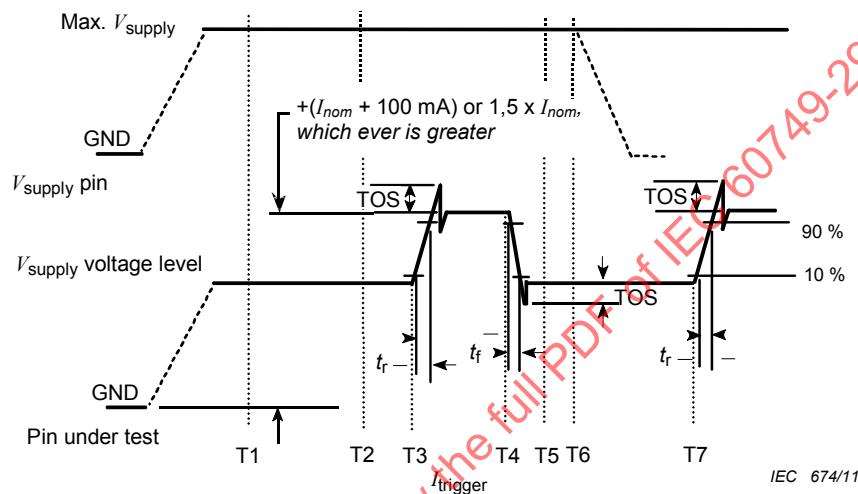
5.2.1 I-test

The I-test shall be performed as follows:

- The devices shall be subjected to the I-test as indicated in Figures 3, 4 and 5 and Tables 1 and 2.
- Bias the DUT as indicated in Figure 6. All input pins, including bi-directional I/O pins in an input state or high impedance state, not used for preconditioning the I/O pins, shall be tied to the V_{supply} voltage level specified. Input pins used for preconditioning shall be tested in their defined state (pins that are tied to a logic-high level to precondition the DUT can only be tested in the logic-high state; pins that are tied to a logic-low level to precondition the DUT can only be tested in the logic-low state). Allow the DUT to stabilize at the test temperature.
- Put the pin under test in logic-high state. Measure nominal I_{supply} (I_{nom}) for each V_{supply} pin (or pin group, see 2.21). Then, apply the positive current trigger (as specified in Table 1 for a duration as specified in Table 2) to the pin under test.
- After the trigger source has been removed, return the pin under test to the state it was in before the application of the trigger pulse, and measure the I_{supply} for each V_{supply} pin (or pin group). If any I_{supply} is greater than or equal to the failure criteria specified in definition 3.2, latch-up has occurred and power shall be removed from the DUT. If latch-up has occurred, stop the test; the DUT has failed latch-up testing. Using a new device, return to step a) and continue testing.
- If latch-up has not occurred, after the necessary cool-down time (see Table 2), repeat steps c) and d) for all pins to be tested (noting the exceptions stated in step b)).
- Repeat steps b) through e) with all input pins, including bi-directional I/O pins in an input state or high impedance state, not used for preconditioning the I/O pins tied to ground voltage level.
- Bias the DUT as indicated in Figure 7. All input pins, (including bi-directional I/O pins in an input state or high impedance state), that are not used for preconditioning the I/O pins shall be tied to V_{supply} voltage level specified in the relevant specification (noting the exceptions stated in step b)).
- Put the pin under test in logic-low state. Measure nominal I_{supply} (I_{nom}) for each V_{supply} pin (or pin group, see 2.21). Then, apply the negative current trigger source below ground (in accordance with Table 1 for a duration as specified in Table 2) to the pin under test.
- After the trigger source has been removed, return the pin under test to the state it was in before the application of the trigger pulse and measure the I_{supply} for each V_{supply} pin (or

pin group). If any I_{supply} is greater than or equal to the failure criteria specified in definition 3.2, latch-up has occurred and power shall be removed from the DUT. If latch-up has occurred, stop the test; the DUT has failed latch-up testing. Using a new device, return to step a) and continue testing.

- j) If latch-up has not occurred, after the necessary cool-down time (see Table 2), repeat steps h) and i) for all pins to be tested.
- k) Repeat steps h) through j) with all input pins, including bi-directional I/O pins in an input state or high impedance state, not used for preconditioning the I/O pins tied to the ground voltage level (noting the exceptions stated in step b)).
- l) The I-test in this sub-clause does not require the removal of power-supply voltage between stresses, i.e., cool-down time. Users should evaluate the risk of leaving the power-supply on.

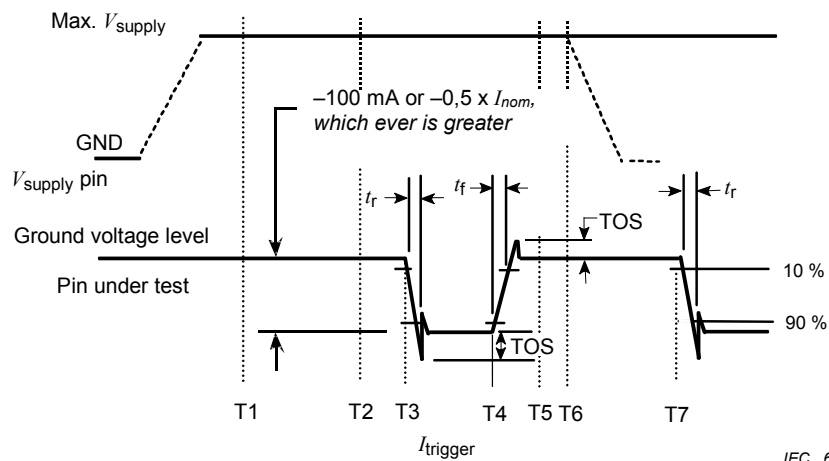


Time	Operation
T1 → T2	Measure nominal I_{supply} (I_{nom})
T4 → T7	Cool down time (t_{cool})
T4 → T5	Wait time prior to I_{supply} measurement
T5	Measure I_{supply}
T6	If any $I_{\text{supply}} \geq$ the failure criteria defined in 3.2, latch-up has occurred and power must be removed from DUT.

NOTE 1 The wait time is sufficient to allow for power supply ramp down and stabilization of I_{supply} .

NOTE 2 The pin under test should be set to logic high before positive current trigger. It is permissible to start positive current trigger from logic low, but failing results should be confirmed from the logic high state.

Figure 4 – Test waveform for positive I-test

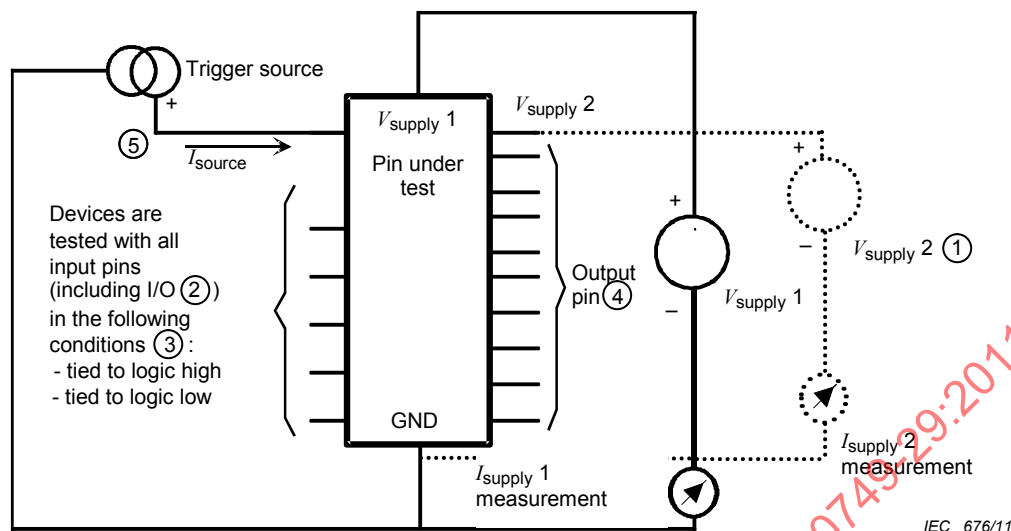


Time	Operation
T1 → T2	Measure nominal I_{supply} (I_{nom})
T4 → T7	Cool down time (t_{cool})
T4 → T5	Wait time prior to I_{supply} measurement
T5	Measure I_{supply}
T6	If any $I_{supply} \geq$ the failure criteria defined in 3.2, latch-up has occurred and power must be removed from DUT.

NOTE 1 The wait time is sufficient to allow for power supply ramp down and stabilization of I_{supply} .

NOTE 2 The pin under test should be set to logic high before negative current trigger. It is permissible to start negative current trigger from logic high, but failing results should be confirmed from the logic low state.

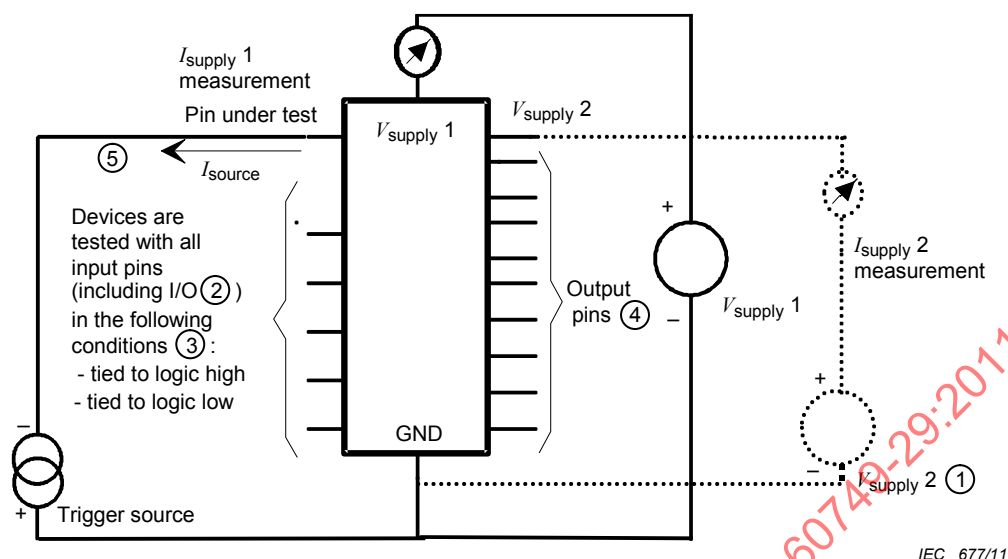
Figure 5 – Test waveform for negative I-test



- 1 DUT biasing includes additional V_{supplies} as required.
- 2 DUT is preconditioned so that all I/O pins are placed in a valid state according to 5.1. I/O pins in the output state are open circuit.
- 3 Unless otherwise specified, V_{supply} voltage level and ground voltage level are applied as logic high and logic low level.
- 4 Output pins are opened circuit except when latch-up tested.
- 5 The trigger test condition is defined in Figure 4 and Table 1.

NOTE Dynamic devices may have timing signals applied according to 5.2.3.

Figure 6 – Equivalent circuit for positive input/output I-test latch-up testing



- 1 DUT biasing includes additional V_{supply} as required.
- 2 DUT is preconditioned so that all I/O pins are placed in a valid state according to 5.1. I/O pins in the output state are open circuit.
- 3 Unless otherwise specified V_{supply} voltage level and ground voltage level are applied as logic high and logic low level.
- 4 Output pins are open circuit except when latch-up tested.
- 5 The trigger test condition is defined in Figure 5 and Table 1.

NOTE Dynamic devices may have timing signals applied according to 5.2.3.

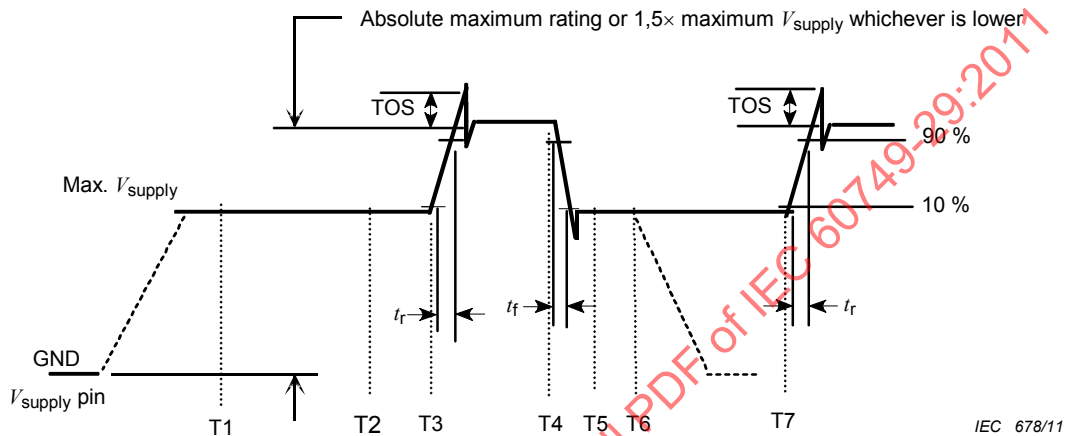
Figure 7 – Equivalent circuit for negative input/output I-test latch-up testing

5.2.2 V_{supply} overvoltage test

The V_{supply} overvoltage test shall be performed on each V_{supply} pin (or pin group) as indicated below. To provide a true indication of latch-up for given test conditions input pins configured as logic-high shall remain the V_{supply} voltage level or within the valid logic-high region as defined in the relevant specification (typically greater than 70 % of the V_{supply} overvoltage test level). If input pin levels fall outside of the valid logic-high region, the device may change state causing a change in I_{nom} and invalid test data. This test can be performed using real application circuits or burn-in circuits specified in the relevant specification. If a latch-up failure occurs when the input pin(s) fall outside of the valid logic-high region, engineering judgement shall be used to determine whether the failure is a valid latch-up condition or a failure caused by a change in state.

- a) The devices shall be subjected to the V_{supply} overvoltage test as indicated in Figures 3 and 8 and Tables 1 and 2.
- b) Bias the DUT as indicated in Figure 9. All input pins, including bi-directional I/O pins in an input state or high impedance state, not used for preconditioning the I/O pins shall be tied to the V_{supply} voltage level specified in the relevant specification. Input pins used for preconditioning shall be tested in their defined state (pins that are tied to a logic-high level to precondition the DUT can only be tested in the logic-high state, pins that are tied to a logic-low level to precondition the DUT can only be tested in the logic-low state). Allow the DUT to stabilise at the test temperature. Measure nominal I_{supply} (I_{nom}) for each V_{supply} pin (or pin group, see 2.21) at this time.
- c) Apply the voltage trigger source (according to Table 1 for a duration as specified in Table 2) to the V_{supply} pin (or pin group) under test.

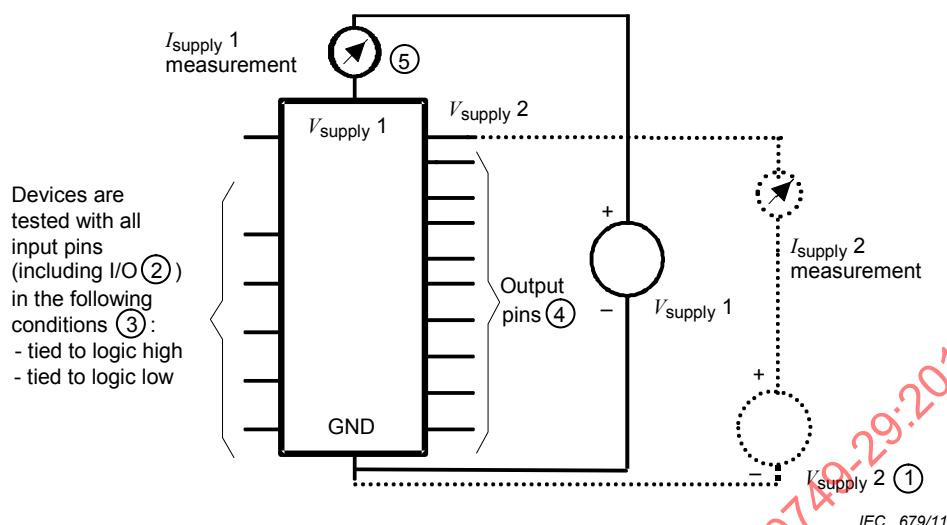
- d) After the trigger source has been removed, return the V_{supply} pin under test to the state it was in before the application of the trigger pulse and measure the I_{supply} for each V_{supply} pin (or pin group). If any I_{supply} is greater than or equal to the failure criteria specified in definition 3.2, latch-up has occurred and power shall be removed from the DUT. If latch-up has occurred stop the test; the DUT has failed latch-up testing. Using a new device, return to step a) and continue testing.
- e) If latch-up has not occurred, after the necessary cool-down time (see Table 2), repeat steps b) through d). All input pins, (including bi-directional I/O pins in an input state or high impedance state), that are not used for preconditioning the I/O pins shall be tied to the ground voltage level (noting the exceptions stated in step b).
- f) Repeat steps b) through e) until each V_{supply} pin (or pin group) has been tested.



Time	Operation
T1 → T2	Measure nominal I_{supply} (I_{nom})
T4 → T7	Cool down time (t_{cool})
T4 → T5	Wait time prior to I_{supply} measurement
T5	Measure I_{supply}
T6	If any $I_{\text{supply}} \geq$ the failure criteria defined in 3.2, latch-up has occurred and power must be removed from DUT.

NOTE The wait time should be sufficient to allow for power supply ramp down and stabilization of I_{supply} .

Figure 8 – Test waveform for V_{supply} overvoltage



- 1 DUT biasing includes additional V_{supplies} as required.
- 2 DUT is preconditioned so that all I/O pins are placed in a valid state according to 5.1. I/O pins in the output state are opened circuit.
- 3 Unless otherwise specified V_{supply} voltage level and ground voltage level are applied as logic high and logic low level.
- 4 Output pins are opened circuit except when latch-up tested.
- 5 The trigger test condition is defined in Figure 5 and Table 1.

NOTE Dynamic devices may have timing signals applied according to 5.2.3.

Figure 9 – Equivalent circuit for V_{supply} overvoltage test latch-up testing

5.2.3 Testing dynamic devices

Devices that during normal operating conditions have a clock and/or other timing signal inputs may be latch-up tested in a static manner as indicated in 5.2.1 and 5.2.2. If the device does not show a stable I_{supply} (I_{nom}) measurement or appears to latch up, the clock and/or other associated timing and control signals, as defined in the relevant specification, may be applied to the device during latch-up testing according to 5.2.1 and 5.2.2. Unless otherwise specified, the clock pins and other associated timing pins used to place the device in a stable state shall not be latch-up tested while being used to stabilise the device. The supplier shall maintain records indicating how the device was tested, as indicated in 5.2.5.

5.2.4 DUT disposition

Latch-up testing is potentially destructive. Devices used for latch-up testing shall not be used or considered as saleable devices.

5.2.5 Record keeping

Data shall be recorded for each pin failure and shall include the test condition (clock frequency for dynamic devices, if used), vector set used for preconditioning, temperature, trigger condition, and latch-up I_{supply} current. Data shall also be recorded for all pins and operating states that could not be completely tested according to 5.2.3. This information shall identify the pins, operating states, and reason for incomplete testing.

6 Failure criteria

A device that fails one or more of the following conditions is considered a failure:

- a) Device does not pass the test requirements in Table 1.
- b) Device no longer meets functional, parametric or I/V requirements of the relevant specification.

A device is considered a failure if the device does not pass the test requirements in Table 1. In addition, ATE testing is required following latch-up test for the following two reasons.

- Latch-up events triggered during over-voltage or current injection tests may damage the device, and the damage could end the latch-up event before the latch-up tester detects the failure (short-duration latch-up). An ATE test failure may be the only indication of this latch-up.
- Latch-up test current injection could directly damage the DUT through EOS without an actual latch-up event. This damage source, or damage from undetected, short-duration latch-up events, may prevent proper control of the device during latch-up testing and invalidate the latch-up test results. ATE testing can be used to confirm this device damage.

If an integrated circuit fails the ATE test after the latch-up stress, adjust the input trigger current to a value at which the integrated circuit can pass. The integrated circuit falls in Class B. See 5.2.5 for reporting the pass value.

7 Summary

The following details shall be specified in the relevant specification:

- a) classification and its test temperature if Class II is selected (see 3.1) ;
- b) level of failure criteria (see 3.2) ;
- c) maximum logic-high level and minimum logic-low level if necessary (see 2.9, 2.10, 5.2.1 and 5.2.2);
- d) details of failure criteria if level B, special failure criteria, is selected (see 3.2);
- e) voltage of supply voltage for V_{supply} qualification (see 4.1.1);
- f) value of resistor R (see Figure 1 of 4.1.2);
- g) value of resistor R (see Figure 2 of 4.1.3);
- h) details of functional and parametric testing (see 4.2 and 5.1);
- i) maximum operating temperature (see 4.3);
- j) sample size (see 5.1);
- k) state for preconditioning (see 5.2.1 and 5.2.2);
- l) real application circuit or burn-in circuit if necessary (see 5.2.2);
- m) details of testing dynamic devices if latch-up test is to be performed in a dynamic condition (see 5.2.3);
- n) functional, parametric or I/V requirements (see Clause 6).

Annex A **(informative)**

Examples of special pins that are connected to passive components

A.1 General

Complex integrated circuits contain a wide variety of pins with special properties that require engineering judgment during latch-up testing. This annex is intended to give guidance when considering the latch-up testing of individual pins that do not fall into the category of digital inputs, outputs or bidirectional pins with ground to power supply voltage swings. All of the pins under discussion are assumed to be non-power supply pins and are therefore subject to the I-test. Some of the pins may have names that suggest that they are power supply pins but in general that is not the case. Many of the pins in question are connected to passive components and it is fair to ask the question, does latch-up testing of this pin make sense at all since they have no direct contact to an external voltage to induce latch-up?

NOTE This annex should not be used as a way to avoid testing pins but as guidance toward what is reasonable. If a pin can be blindly tested to the stress levels of Table 1 this should be done since it raises the least amount of questions.

A.2 Passive component pins

Many integrated circuit pins connect to passive components only: resistors, capacitors and inductors. In some instances, these components are needed for device stability and it is necessary that the passive components be attached to the device during latch-up testing. Reasonable arguments can be made for the elimination or reduction of stress levels for pins that will see only passive components, or passive components that come between the integrated circuit and active signal lines. These arguments ignore the possibility of latch-up due to transients such as electrostatic discharge (ESD). Since the possibility of latch-up being induced by ESD is a real concern, the elimination of all latch-up testing on a pin should be avoided.

A.3 Digital differential input pins

Digital differential pins create a special case when considering stressing with inputs high and low since the two pins cannot be held high or low simultaneously. The definition of holding all inputs high or low must be modified. For all inputs high the positive input of the differential pin should be held high and the negative input held low. For all inputs low the positive input should be held low and the negative input held high.

NOTE The designations positive and negative are purely arbitrary.

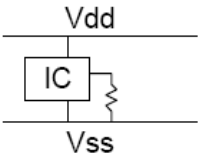
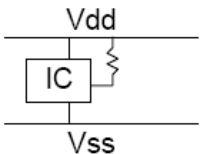
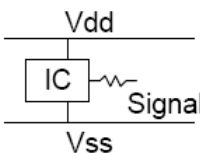
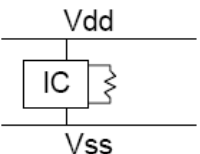
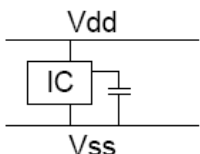
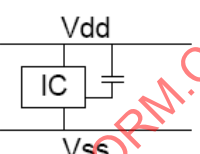
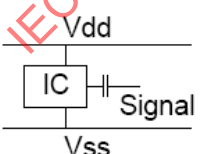
Circuit	Considerations
	A pin in which a resistor goes only to ground has little likelihood of triggering latch-up and could be considered for no test. Only ground bounce could lead to latch-up triggering current. To determine the amount of trigger current determine a likely amount of ground bounce and inject plus and minus current equal to ground bounce voltage divided by the resistor value.
	This is very similar to the situation in which the resistor goes to Vss except that bounce in Vdd could lead to trigger currents. To determine the amount of trigger current determine a likely amount of Vdd bounce and inject plus and minus current equal to Vdd bounce voltage divided by the resistor value. Latch-up sensitivity to Vdd over-voltage should also be tested.
	A resistor between an input signal and an input will reduce the amount of injected current. The injected latch-up current can be reduced to the compliance voltage during latch-up stress divided by the resistor value if this is less than the standard forcing current.
	This resistor attachment shows very little likelihood of causing latch-up and not testing the pins is reasonable.
	Not a likely source of latch-up.
	Not a likely source of latch-up.
	A capacitor will prevent dc current injection but that does not mean that the pin is latch-up free due to voltage transients. If the part is tested without the capacitor the current injection level can be determined by assuming a worst case voltage transient on the signal and calculating the current through the capacitor.

Figure A.1 – Examples of special pins that are connected to passive components

Annex B (informative)

Calculation of operating ambient or operating case temperature for a given operating junction temperature

In the following, methods for calculating maximum operating T_a or the maximum operating T_c are provided by using three parameters. The first parameter is P_{LU} , the average power consumption defined as the product of nominal supply voltage and nominal supply current under the latch-up test condition. The second and the third parameters are R_{thja} and R_{thjc} , the thermal resistance relative to ambient and package case respectively. The guideline for these parameters is the ones at still air.

a) Calculating operating ambient temperature T_a

If the operating ambient temperature is T_a , the operating junction temperature is T_j , the device power consumption under latch-up test condition is P_{LU} , and the package thermal resistance is R_{thja} , the following equation is used for calculating T_a from the required T_j :

$$T_a = T_j - (P_{LU} \times R_{thja}) \quad (1)$$

b) Calculating operating case temperature T_c

If the operating case temperature is T_c , the operating junction temperature is T_j , the device power consumption under latch-up test condition is P_{LU} , and the package thermal resistance is R_{thjc} , the following equation is used for calculating T_c from the required T_j :

$$T_c = T_j - (P_{LU} \times R_{thjc}) \quad (2)$$

SOMMAIRE

AVANT-PROPOS	26
1 Domaine d'application et objet	28
2 Termes et définitions	28
3 Classification et niveaux	31
3.1 Classification	31
3.2 Niveaux	31
4 Appareillage et matériau	32
4.1 Testeur de verrouillage	32
4.1.1 Généralités	32
4.1.2 V_{alim} et leur méthode de qualification	32
4.1.3 Méthode de qualification de la source de déclenchement	33
4.2 Équipement d'essai automatisé (ATE, Automated Test Equipment)	33
4.3 Source de chaleur	33
5 Procédure	33
5.1 Procédure générale d'essai de verrouillage	33
5.2 Procédure détaillée d'essai de verrouillage	37
5.2.1 Essai I	37
5.2.2 Essai de surtension V_{alim}	42
5.2.3 Dispositifs dynamiques d'essai	44
5.2.4 Élimination du DEE	44
5.2.5 Archivage des documents	44
6 Critères de défaillance	45
7 Résumé	45
Annexe A (informative) Exemples de broches spéciales qui sont connectées à des composants passifs	46
Annexe B (informative) Calcul de la température ambiante de fonctionnement ou de la température de fonctionnement du boîtier pour une température de fonctionnement de la jonction donnée	48
Figure 1 – Circuit de qualification V_{alim}	32
Figure 2 – Circuit de qualification de la source de déclenchement	33
Figure 3 – Diagramme d'essai de verrouillage	35
Figure 4 – Forme d'onde d'essai pour essai I positif	39
Figure 5 – Forme d'onde d'essai pour essai I négatif	40
Figure 6 – Circuit équivalent pour essais de verrouillage avec essai I d'entrée/de sortie positifs	41
Figure 7 – Circuit équivalent pour essais de verrouillage avec essai I d'entrée/de sortie négatifs	42
Figure 8 – Forme d'onde d'essai pour surtension V_{alim}	43
Figure 9 – Circuit équivalent pour les essais de verrouillage avec essai de surtension de V_{alim}	44
Figure A.1 – Exemples de broches spéciales qui sont connectées à des composants passifs	47
Tableau 1 – Matrice d'essai	36

Tableau 2 – Spécifications de temps pour essai I et essai de surtension V_{alim}	37
---	----

IECNORM.COM : Click to view the full PDF of IEC 60749-29:2011

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

DISPOSITIFS À SEMICONDUCTEURS – MÉTHODES D'ESSAI MÉCANIQUES ET CLIMATIQUES –

Partie 29: Essai de verrouillage

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de la CEI. La CEI n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de brevet. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevet et de ne pas avoir signalé leur existence.

La Norme internationale CEI 60749-29 a été établie par le comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Cette deuxième édition annule et remplace la première édition publiée en 2003 et constitue une révision technique. Les modifications importantes apportées par rapport à l'édition antérieure concernent:

- un certain nombre de modifications techniques mineures;
- l'addition de deux nouvelles annexes traitant de l'essai des broches spéciales et des calculs de température.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
47/2083/FDIS	47/2090/RVD

Le rapport de vote indiqué dans le Tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

La liste de toutes les parties de la série CEI 60749, regroupées sous le titre général *Dispositifs à semiconducteurs – Méthodes d'essais mécaniques et climatiques*, peut être consultée sur le site web de la CEI.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de la CEI sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IECNORM.COM : Click to view the full PDF of IEC 60749-29:2011

DISPOSITIFS À SEMICONDUCTEURS – MÉTHODES D'ESSAI MÉCANIQUES ET CLIMATIQUES –

Partie 29: Essai de verrouillage

1 Domaine d'application et objet

La présente partie de la CEI 60749 couvre l'essai I et l'essai de verrouillage de surtension des circuits intégrés.

Cet essai est classé comme destructif.

L'objet de cet essai est d'établir une méthode pour déterminer les caractéristiques de verrouillage des circuits intégrés (CI) et pour définir les critères de défaillance de verrouillage. Les caractéristiques de verrouillage sont utilisées pour la détermination de la fiabilité de produit et la minimisation des défaillances en rapport avec « l'absence d'observation de problèmes » (NTF, *No Trouble Found*) et la « contrainte électrique excessive » (EOS, *Electrical Overstress*) dues au verrouillage.

La présente méthode d'essai s'applique principalement aux dispositifs CMOS. Il faut que l'applicabilité à d'autres technologies soit établie.

La classification du verrouillage en fonction de la température est définie en 3.1 et les critères du niveau de défaillance sont définis en 3.2

2 Termes et définitions

Pour les besoins du présent document, les termes et les définitions suivants s'appliquent.

2.1

temps de refroidissement

temps qui s'écoule entre les applications successives d'impulsions de déclenchement ou entre la suppression de la tension d'alimentation V_{alim} et l'application de l'impulsion de déclenchement suivante (Voir les Figures 4, 5 et 8 et le Tableau 2.)

2.2

dispositif en essai

DEE

dispositif à semiconducteur soumis à l'essai de verrouillage

2.3

terre

GND

broche(s) commune(s) ou à potentiel zéro du DEE

NOTE 1 Les broches de terre ne sont pas soumises à l'essai de verrouillage.

NOTE 2 Une broche de terre est parfois désignée V_{ss} .

2.4

broches d'entrée

toutes les broches d'adresse, de contrôle de données entrée, $V_{\text{réf}}$ et similaires

2.5

broches d'E/S (bi-directionnelles)

broches de dispositif qui peuvent être conçues pour fonctionner en tant qu'entrée ou en tant que sortie ou encore dans un état d'impédance élevée

2.6

I_{alim}

courant d'alimentation total dans chaque broche (ou groupe de broches) V_{alim} en polarisant le DEE comme indiqué dans le Tableau 1

2.7

essai I

essai de verrouillage qui envoie des impulsions de courant positives et négatives vers la broche en essai

2.8

phénomène de verrouillage

état dans lequel un chemin de faible impédance résultant d'une contrainte excessive qui déclenche une structure de thyristor parasite, reste après retrait ou cessation de la condition de déclenchement

NOTE 1 La contrainte excessive peut être une tension de choc ou une surintensité, un taux excessif de variation de courant ou de tension ou toute autre condition anormale qui conduit la structure parasite de thyristor à devenir régénératrice.

NOTE 2 Le verrouillage n'endommage pas le dispositif, à condition que le courant qui suit le chemin conducteur persistant de faible impédance soit suffisamment limité en amplitude ou en durée.

2.9

état logique haut

niveau dans la plus positive (moins négative) des deux gammes de niveaux logiques choisis pour représenter les états logiques

NOTE 1 Pour les dispositifs numériques, un niveau de tension égal à V_{alim} est utilisé pour les essais de verrouillage, sauf indication contraire dans la spécification applicable.

NOTE 2 Pour les dispositifs non numériques, le niveau de tension V_{alim} ou la tension de fonctionnement maximale qui peut être appliquée à la broche telle que définie dans la spécification applicable peuvent être utilisés pour l'essai de verrouillage.

2.10

état logique bas

niveau dans la plus négative (moins positive) des deux gammes de niveaux logiques choisis pour représenter les états logiques

NOTE 1 Pour les dispositifs numériques, le niveau de tension de masse est utilisé pour les essais de verrouillage, sauf indication contraire dans la spécification applicable.

NOTE 2 Pour les dispositifs non numériques, le niveau de tension de masse ou la tension de fonctionnement minimale qui peut être appliquée à la broche telle que définie dans la spécification applicable peuvent être utilisés pour l'essai de verrouillage.

2.11

V_{alim} maximale

tension de fonctionnement maximale pour un fonctionnement dans les limites des spécifications de performance

NOTE 1 La tension maximale n'est pas la tension maximale absolue au-dessus de laquelle un dommage permanent est probable.

NOTE 2 Le qualificatif « maximale » se réfère à l'amplitude de V_{alim} et peut être soit positif soit négatif.

2.12

broche sans connexion

broche sans connexion interne et qui peut être utilisée en tant que support pour le câblage externe sans perturber le fonctionnement du dispositif

NOTE Il convient de laisser à l'état ouvert (flottantes) toutes les broches « sans connexion ».

2.13

I_{alim} nominal (I_{nom})

courant d'alimentation en courant continu mesuré pour chaque broche (ou groupe de broches) V_{alim} en polarisant le DEE à la température d'essai comme défini à l'Article 5 et dans le Tableau 1

2.14

broche de sortie

broche de dispositif qui génère un niveau de signal ou de tension comme fonction normale pendant le fonctionnement normal du dispositif

NOTE Les broches de sortie, bien que laissées dans un état ouvert (flottant) pendant l'essai d'autres types de broche, font l'objet d'essais de verrouillage.

2.15

broche préconditionnée

broche de dispositif qui a été placée dans un état ou une condition défini(e) (impédance d'entrée, de sortie, élevée, etc.) en appliquant les vecteurs de commande au DEE

2.16

essai de dispositifs dynamiques

essai de déclenchement de verrouillage d'un dispositif dans un état stable connu, à la fréquence d'horloge assignée minimale appliquée au dispositif (voir 5.2.3 pour les conditions spécifiées)

2.17

conditions d'essai

température d'essai, tension d'alimentation, limites de courant, limites de tension, fréquence d'horloge, tensions de polarisation d'entrée et vecteurs de préconditionnement appliqués au DEE pendant l'essai de verrouillage

2.18

broches d'entrée liées au temps

broche telle qu'un oscillateur d'horloge à cristal, un circuit de pompe de charge, etc., exigée pour placer le DEE en mode de fonctionnement normal

NOTE Les signaux de rythme nécessaires peuvent être appliqués par le testeur de verrouillage, l'équipement externe et/ou les composants externes appropriés.

2.19

impulsion de déclenchement

impulsion positive ou négative de courant (Essai I) ou impulsion positive ou négative de tension (essai de surtension V_{alim}) appliquée à toute broche en essai pour essayer d'induire le verrouillage (voir les Figures 4, 5 et 8)

2.20

durée de déclenchement

durée d'une impulsion appliquée par la source de déclenchement (voir Figures 4, 5 et 8 et Tableau 2)

2.21**broche (ou groupe de broches) V_{alim}**

toutes les broches d'alimentation et de source de tension externe du DEE (à l'exclusion des broches de masse), y compris les broches de potentiel tant positif que négatif

NOTE 1 Généralement, il est permis de traiter les broches de source de tension de potentiel égal comme une broche V_{alim} (ou un groupe de broches) et de les connecter à une alimentation électrique.

NOTE 2 Lorsqu'on forme les broches V_{alim} (ou les groupes de broches), la combinaison des broches V_{alim} avec des niveaux de courant d'alimentation très différents n'est pas recommandée car cela rendrait difficile la détection des variations significatives de courant sur les broches de courant d'alimentation de faible intensité.

2.22**essai de surtension V_{alim}**

essai de verrouillage qui fournit des impulsions de surtension ou un niveau continu de surtension à la broche V_{alim} en essai

2.23**niveau de tension V_{alim}**

niveau de tension applicable de la broche V_{alim} stipulé dans la spécification applicable. Le niveau de tension V_{alim} est utilisé pour les essais de verrouillage comme niveau logique haut type sauf spécification contraire (voir 2.9)

2.24**niveau de tension de terre**

potentiel de terre utilisé pour les essais de verrouillage comme niveau logique bas type sauf spécification contraire (voir 2.10)

3 Classification et niveaux**3.1 Classification**

Il existe deux classes pour l'essai de verrouillage.

- La Classe I pour l'essai de verrouillage à température ambiante.
- La Classe II pour l'essai de verrouillage à la température ambiante de fonctionnement maximale (T_a) ou à la température de fonctionnement maximale du boîtier (T_c) ou à la température de fonctionnement maximale de la jonction (T_j) dans la spécification détaillée.

Pour l'essai de Classe II à T_a ou T_c de fonctionnement maximale, la température ambiante ou la température du boîtier (T_c) doit être déterminée à la température d'essai requise. Pour l'essai de Classe II à T_j de fonctionnement maximale en fonctionnement, il convient de choisir la température ambiante T_a ou la température du boîtier T_c de manière à obtenir une caractéristique de température de la température de jonction pour un ou plusieurs modes de fonctionnement donné(s) du dispositif pendant l'essai de verrouillage. La température ambiante maximale ou la température de fonctionnement maximale du boîtier pendant une contrainte peut être calculée en se basant sur les méthodes détaillées à l'Annexe B.

NOTE La température élevée réduit la résistance au verrouillage, et l'essai de classe II est recommandé pour des dispositifs qui fonctionnent nécessairement à température élevée.

3.2 Niveaux

Le niveau définit la valeur de l'injection de courant d'essai I utilisée pendant l'essai de verrouillage. Les niveaux de réussite de verrouillage sont définis de la façon suivante:

Niveau A – La valeur du courant de déclenchement au Tableau 1 doit être de + 100 mA comme défini à la Figure 6 et de - 100 mA comme défini à la Figure 7. Si toutes les broches de l'élément résistent au moins aux valeurs de courant de déclenchement de Niveau A, alors l'élément doit être considéré comme un élément de Niveau A.

Niveau B – Si une broche quelconque de l'élément ne satisfait pas au Niveau A, alors le fournisseur doit déterminer le courant minimal de déclenchement pour chaque broche avec une contrainte différente du Niveau A. La valeur maximale (ou la plus élevée) du courant de déclenchement doit être consignée pour chaque broche subissant une contrainte différente du Niveau A, et l'élément doit être considéré comme un élément de Niveau B, voir 5. 2. 5.

4 Appareillage et matériau

L'appareillage nécessaire à cette méthode d'essai Inclut les éléments suivants.

4.1 Testeur de verrouillage

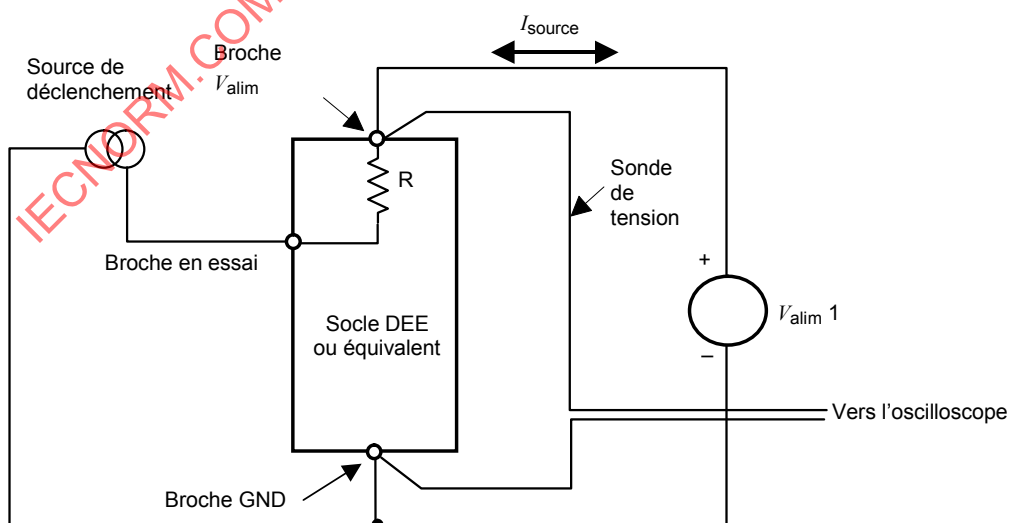
4.1.1 Généralités

Équipement d'essai capable de réaliser les essais spécifiés dans la présente norme. Pour les dispositifs exigeant des essais dynamiques, l'équipement d'essai doit être en mesure de fournir des signaux de rythme et des vecteurs de montage logiques nécessaires pour commander les états de sortie des broches d'E/S, comme spécifié en 5.2.3. Les signaux de rythme et les vecteurs logiques nécessaires peuvent être appliqués par le testeur de verrouillage lui-même, l'équipement externe, et/ou les composants externes appropriés.

4.1.2 V_{alim} et leur méthode de qualification

Pour l'Essai I, les alimentations de tension de type à absorption de courant doivent être connectées à toutes les broches V_{alim} comme indiqué à la Figure 6 et à la Figure 7 et les caractéristiques transitoires doivent être qualifiées comme indiqué à la Figure 1. Les étapes de qualification sont les suivantes:

- Connecter la tension d'alimentation (par exemple 5 V, 3,3 V) à la broche V_{alim} . La valeur de la tension peut être stipulée dans la spécification applicable.
- Appliquer des impulsions positives et négatives à partir de la source de déclenchement de 200 mA et mesurer leurs effets sur la forme d'onde de tension représentée sur l'oscilloscope.
- La tension mesurée par l'oscilloscope doit être dans une plage de 90 % à 110 % de la tension d'alimentation.



La valeur de R (par exemple 50 Ω) est spécifiée dans le document d'approvisionnement applicable.
L'impédance d'entrée de la sonde de tension et de l'oscilloscope est supérieure à 10 k Ω .

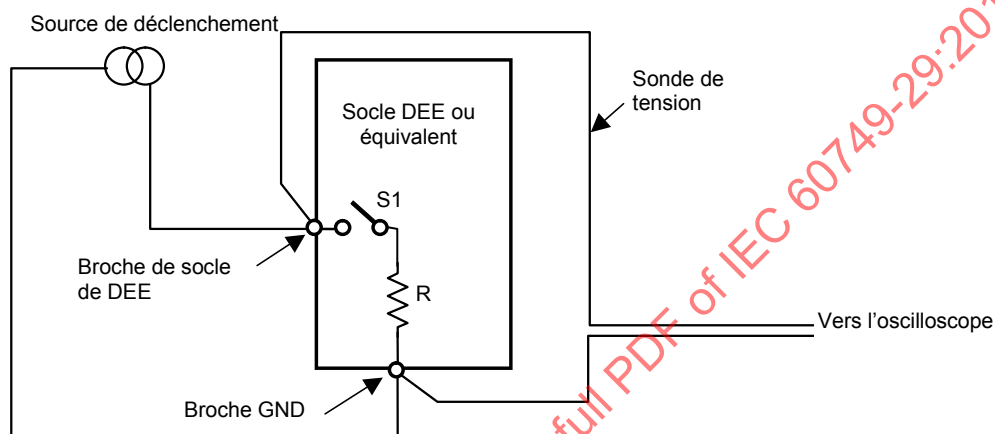
IEC 671/11

Figure 1 – Circuit de qualification V_{alim}

4.1.3 Méthode de qualification de la source de déclenchement

Les caractéristiques électriques de la source de déclenchement incluant ses caractéristiques transitoires doivent être qualifiées comme cela est représenté à la Figure 2. Les étapes de qualification sont les suivantes:

- a) L'interrupteur S1 étant fermé, appliquer des impulsions positives et négatives provenant de la source de déclenchement de 200 mA et mesurer leur forme d'onde de courant. La forme d'onde du courant doit satisfaire aux exigences du Tableau 1.
- b) L'interrupteur S1 étant fermé, appliquer des impulsions positives et négatives provenant de la source de déclenchement de 100 mA et mesurer leur forme d'onde de courant. La forme d'onde de tension pendant l'écrêtage de la tension de service doit être dans une plage de 90 % à 110 % du niveau de réglage de l'écrêtage de tension.



La valeur de R (par exemple 50 Ω) est spécifiée dans la spécification applicable.

L'impédance d'entrée de la sonde de tension et de l'oscilloscope est supérieure à 10 k Ω .

IEC 672/11

Figure 2 – Circuit de qualification de la source de déclenchement

4.2 Equipement d'essai automatisé (ATE, Automated Test Equipment)

Testeur de dispositif capable de réaliser des essais fonctionnels et paramétriques complets du dispositif stipulé dans la spécification applicable.

4.3 Source de chaleur

Equipement capable de chauffer et de maintenir le DEE à la température de fonctionnement maximale stipulée dans la spécification applicable pendant l'essai de verrouillage.

5 Procédure

5.1 Procédure générale d'essai de verrouillage

Avant l'essai de verrouillage, le dispositif doit se trouver en état stable avec un I_{nom} reproductible. Un avis d'ingénierie peut être nécessaire pour obtenir une stabilité suffisante. Il convient que le courant d'alimentation soit abaissé autant que possible en pratique. Le courant d'alimentation doit être suffisamment stable et faible pour détecter de manière fiable l'augmentation du courant d'alimentation en cas de verrouillage.

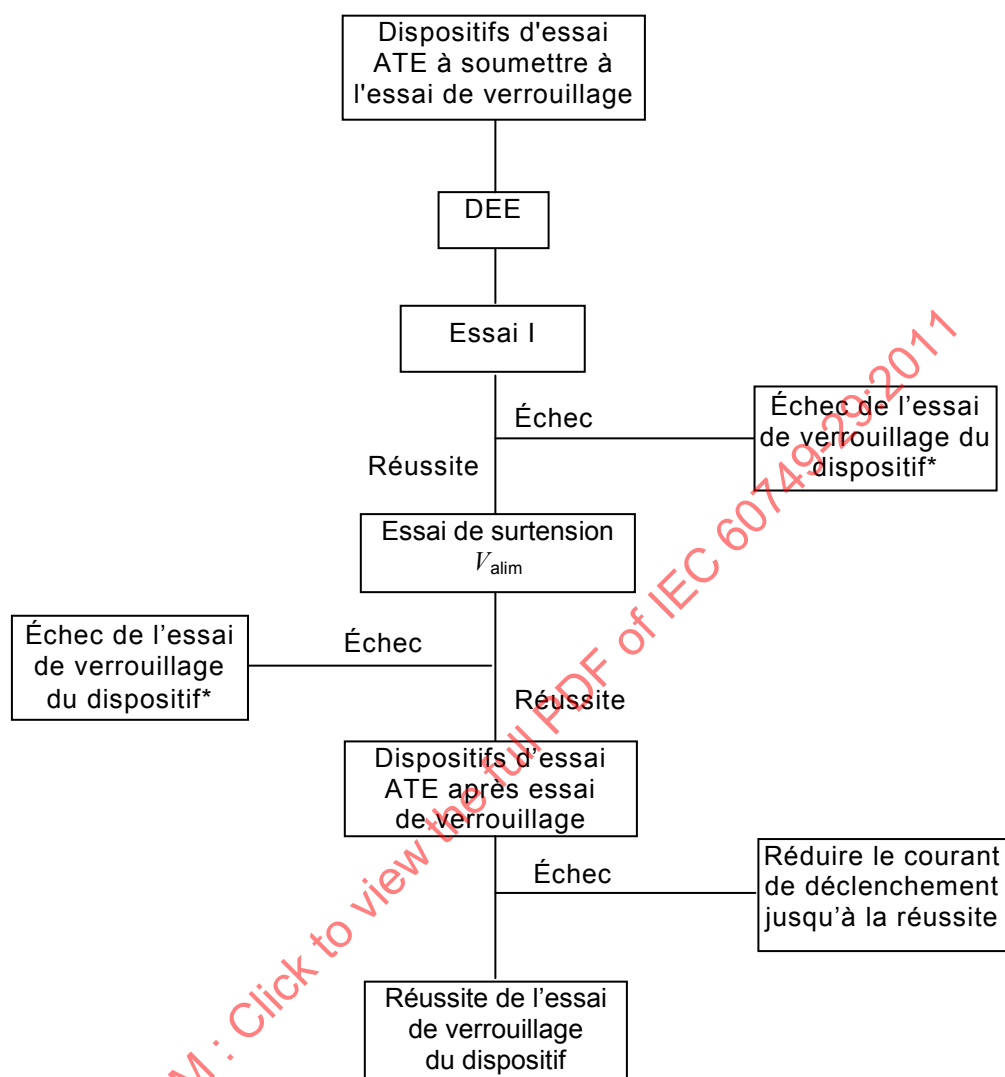
Un groupe d'échantillons de dispositifs (par exemple six) doit être soumis aux essais de verrouillage en utilisant l'essai I et l'essai de surtension V_{alim} . L'utilisation d'un nouveau groupe d'échantillons pour chaque type d'essai de verrouillage (essai I et/ou essai de surtension V_{alim}) est également acceptable. Tous les dispositifs devant être soumis à l'essai

de verrouillage doivent avoir passé avec succès les essais fonctionnels et paramétriques spécifiés.

Avant les essais de verrouillage, il convient de vérifier la continuité du dispositif dans le support pour éviter de fausses défaillances de verrouillage. Le diagramme d'essai de verrouillage doit correspondre à la Figure 3. Les dispositifs à essayer doivent être soumis aux conditions d'essai du Tableau 1 et du Tableau 2. On doit laisser ouvertes (flottantes) toutes les broches « sans connexion » sur le DEE à tout moment.

Toutes les broches sur le DEE, à l'exception des broches « sans connexion » et des broches liées au temps doivent faire l'objet de l'essai de verrouillage. Les broches E/S d'entrée, de sortie et configurables doivent être essayées avec l'essai I et les broches V_{alim} doivent être soumises à l'essai de surtension. Ceci concerne les broches spéciales définies à l'Annexe A. Les valeurs du courant traversant ou de tension pour les broches spéciales peuvent être utilisées pour déterminer les valeurs des composants passifs connectés aux broches. Les broches d'E/S doivent être essayées dans tous les états de fonctionnement possibles ou bien l'état de fonctionnement représentant le cas le plus défavorable (généralement impédance élevée pour les broches d'E/S et de sortie configurables).

Des dispositifs dynamiques doivent être essayés selon 5.2.3. Lorsqu'un dispositif est d'une complexité telle que les essais de toutes les broches d'E/S configurables dans la condition du cas le plus défavorable ne sont pas réalisables, il convient que le dispositif soit conditionné avec un ensemble de vecteurs représentatifs du fonctionnement type du dispositif déterminé par l'avis d'ingénierie. Lorsqu'une broche d'E/S ne peut pas être essayée dans l'état d'impédance élevée, l'E/S doit être essayée dans un état logique valable. Les broches non essayées et les broches qui ne pourraient pas être complètement essayées doivent être enregistrées comme spécifié en 5.2.5 et l'utilisateur doit être informé de toutes les broches d'E/S qui n'ont pas été essayées ou essayées dans tous les états. Après les essais de verrouillage, tous les dispositifs doivent satisfaire aux critères spécifiés à l'Article 6.



* La modification de I_{alim} dépasse les critères de défaillance de 3.2

IEC 673/11

Figure 3 – Diagramme d'essai de verrouillage

Tableau 1 – Matrice d'essai^a

Type d'essai	Polarité de déclenchement	Conditions des broches d'entrée non essayées ^b	Température d'essai (± 2 °C)	Conditions V_{alim}	Conditions d'essai de déclenchement ^g	Critères de défaillance ^g
Essai I	Positive voir Figure 6	Logique haute max	Température Classe I Température ambiante	Tension de fonctionnement maximale pour chaque groupe de broches V_{alim} selon spécification du dispositif	Selon niveaux de classification de 3.2 ^d	si I_{nom} absolu est < 25 mA, alors I_{nom} absolu + 10 mA est utilisé ou si I_{nom} absolu est > 25 mA, alors $> 1,4 \times I_{nom}$ absolu est utilisé
		Logique basse min			Selon niveaux de classification de 3.2 ^e	
	Négative voir Figure 7	Logique haute max			Valeur assignée maximale absolue ou $1,5 \times V_{alim}$ maximale en prenant celle des deux valeurs qui est la plus petite ^c	
		Logique basse min				
Essai de surtension V_{alim}	Voir Figure 9	Logique haute	Température Classe II Température ambiante de fonctionnement maximale	Tension de fonctionnement maximale pour chaque groupe de broches V_{alim} selon spécification du dispositif		
		Logique basse				
Essai I	Positive voir Figure 6	Logique haute			Selon niveaux de classification de 3.2 ^e	
		Logique basse min			Selon niveaux de classification de 3.2 ^e	
	Négative voir Figure 7	Logique haute max				
		Logique basse min				
Essai de surtension V_{alim}	Voir Figure 9	Logique haute max				
		Logique basse min			$1,5 \times V_{alim} \max^c$	

a Les conditions de déclenchement données ici ne sont pas indicatives des conditions de déclenchement appropriées pour tous les dispositifs. Les conditions de déclenchement appropriées peuvent être plus ou moins sévères. Lorsque les conditions de déclenchement utilisées dans les essais diffèrent de ce tableau, il faut que les conditions de déclenchement utilisées soient définies dans les résultats d'essai.

b Le niveau de tension V_{alim} et le niveau de tension de masse doivent être appliqués comme niveau logique haut et niveau logique bas sauf stipulation contraire dans la spécification applicable. Dans le contexte d'un dispositif non numérique, les niveaux logiques doivent être interprétés comme la valeur la mieux appropriée de tension V_{alim} , de tension de masse ou la valeur minimale ou maximale spécifiée qui peut être appliquée à la broche.

c Courant écrêté à $(I_{nom} + 100 \text{ mA})$ ou $1,5 \times I_{nom}$, en prenant celle des deux valeurs qui est la plus élevée (Se reporter à 2.11 pour la définition de $V_{alim} \max$). La valeur I_{nom} utilisée pour le calcul de l'écrêtage du courant est liée à la broche V_{alim} (ou aux groupes de broches) qui est soumise à l'essai.

d Tension écrêtée à $V_{max} + 0,5(V_{max} - V_{min})$ si $V_{min} > 0$. Sinon, l'écrêtage de tension est $1,5 V_{max}$.

e Tension écrêtée à $V_{max} - 0,5(V_{max} - V_{min})$ si $V_{min} > 0$. Sinon, l'écrêtage de tension est $-0,5 V_{max}$.

f Si la condition d'essai de déclenchement atteint la limite d'écrêtage de tension ou de courant et que le verrouillage n'a pas eu lieu, la broche passe l'essai de verrouillage avec succès. Voir l'Article 6 en vue de la définition de défaillance complète.

g La valeur I_{nom} utilisée pour le calcul de l'écrêtage du courant est liée à la broche V_{alim} (ou aux groupes de broches) qui est soumise à l'essai et pas seulement à l'alimentation I_{nom} pour la broche en essai.

Tableau 2 – Spécifications de temps pour essai I et essai de surtension V_{alim}

Symbole	Intervalle de temps	Paramètre	Limites	
			Minimum	Maximum
t_r	T3 → T4	Temps de montée de déclenchement	5 μs	5 ms
t_f		Temps de descente de déclenchement	5 μs	5 ms
t_{largeur}		Durée de déclenchement (largeur)	$2 \times t_r$	10 ms (Essai I) 5 s (Essai de surtension V_{alim})
TOS		Dépassement du déclenchement	$\pm 5 \%$ de la tension d'impulsion	
$t_{\text{refroidissement}}$	T4 → T7	Temps de refroidissement	$\geq t_{\text{largeur}}$	
t_{mesure}^a	T4 → T5	Temps d'attente avant la mesure de I_{alim}	3 ms	5 s

^a Il convient que le temps d'attente soit suffisant pour permettre le retour aux conditions initiales de l'alimentation électrique et à la stabilisation de I_{alim} .

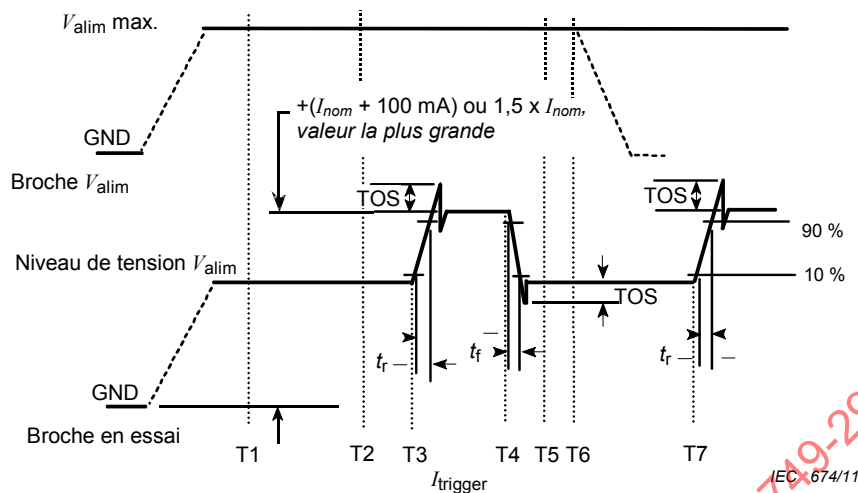
5.2 Procédure détaillée d'essai de verrouillage

5.2.1 Essai I

L'essai I doit être réalisé comme suit:

- Les dispositifs doivent être soumis à l'essai I comme indiqué aux Figures 3, 4 et 5 et dans les Tableaux 1 et 2.
- Polariser le DEE comme indiqué à la Figure 6. Toutes les broches d'entrée, y compris les broches d'E/S bidirectionnelles dans un état d'entrée ou un état d'impédance élevée, non utilisées pour le préconditionnement des broches d'E/S, doivent être liées au niveau de tension V_{alim} spécifié. Les broches d'entrée utilisées pour le préconditionnement doivent être essayées dans leur état défini (les broches qui sont liées à un niveau d'état logique haut pour préconditionner le DEE peuvent uniquement être essayées dans l'état logique haut; les broches qui sont liées à un niveau d'état logique bas pour préconditionner le DEE peuvent seulement être essayées dans l'état logique bas). Laisser le DEE se stabiliser à la température d'essai.
- Mettre la broche en essai à l'état logique haut. Mesurer I_{alim} nominal (I_{nom}) pour chaque broche (ou groupe de broches, voir 2.21) V_{alim} . Appliquer ensuite le déclenchement de courant positif (comme spécifié au Tableau 1 pendant une durée spécifiée dans le Tableau 2) à la broche en essai.
- Après que la source de déclenchement a été retirée, ramener la broche en essai dans l'état où elle était avant application de l'impulsion de déclenchement, et mesurer I_{alim} pour chaque broche (ou groupe de broches) V_{alim} . Si un I_{alim} quelconque est supérieur ou égal aux critères de défaillance spécifiés dans la définition 3.2, le verrouillage se produit et l'alimentation doit être retirée du DEE. Si le verrouillage s'est produit, arrêter l'essai; le DEE a échoué aux essais de verrouillage. Revenir à l'étape a) et continuer les essais en utilisant un nouveau dispositif.
- Si le verrouillage ne s'est pas produit, après le temps de refroidissement nécessaire, (voir Tableau 2) répéter les étapes c) et d) pour toutes les broches à essayer (en notant les exceptions indiquées à l'étape b)).
- Répéter les étapes b) à e) avec toutes les broches d'entrée, y compris les broches d'E/S bidirectionnelles dans un état d'entrée ou un état d'impédance élevée, non utilisées pour le préconditionnement des broches d'E/S liées au niveau de tension de masse.

- g) Polariser le DEE comme indiqué à la Figure 7. Toutes les broches d'entrée (y compris les broches d'E/S bidirectionnelles dans un état d'entrée ou un état d'impédance élevée), qui ne sont pas utilisées pour le préconditionnement des broches d'E/S, doivent être liées au niveau de tension V_{alim} stipulé dans la spécification applicable (en notant les exceptions indiquées à l'étape b)).
- h) Mettre la broche en essai à l'état logique bas. Mesurer I_{alim} nominal (I_{nom}) pour chaque broche (ou groupe de broches, voir 2.21) V_{alim} . Appliquer ensuite la source de déclenchement de courant négatif inférieure à la masse (conformément au Tableau 1 pendant une durée spécifiée au Tableau 2) à la broche en essai.
- i) Après que la source de déclenchement a été retirée, remettre la broche en essai dans l'état où elle était avant application de l'impulsion de déclenchement, et mesurer I_{alim} pour chaque broche (ou groupe de broches) V_{alim} . Si un I_{alim} quelconque est supérieur ou égal aux critères de défaillance spécifiés dans la définition 3.2, le verrouillage se produit et l'alimentation doit être retirée du DEE. Si le verrouillage s'est produit, arrêter l'essai; le DEE a échoué aux essais de verrouillage. Revenir à l'étape a) et continuer les essais en utilisant un nouveau dispositif.
- j) Si le verrouillage ne s'est pas produit, après le temps de refroidissement nécessaire, (voir Tableau 2) répéter les étapes h) et i) pour toutes les broches à essayer.
- k) Répéter les étapes h) à j) avec toutes les broches d'entrée, y compris les broches d'E/S bidirectionnelles dans un état d'entrée ou un état d'impédance élevée, non utilisées pour le préconditionnement des broches d'E/S liées au niveau de tension de masse (en notant les exceptions indiquées à l'étape b)).
- l) L'essai I de ce paragraphe n'exige pas le retrait de la tension d'alimentation entre les contraintes, c'est-à-dire, le temps de refroidissement. Il convient que les utilisateurs évaluent le risque de laisser l'alimentation en marche.



Temps Opération

T1 → T2	Mesurer I_{alim} nominal (I_{nom})
T4 → T7	Temps de refroidissement ($t_{refroidissement}$)
T4 → T5	Temps d'attente avant la mesure de I_{alim}
T5	Mesurer I_{alim}
T6	Si une alimentation I_{alim} quelconque est $\geq$ aux critères de défaillance définis en 3.2, le verrouillage a eu lieu et il faut que l'alimentation soit retirée du DEE.

NOTE 1 Le temps d'attente est suffisant pour permettre le retour aux conditions initiales de l'alimentation électrique et à la stabilisation de I_{alim} .

NOTE 2 Il convient que la borne en essai soit réglée sur état logique haut avant le déclenchement du courant positif. Il est autorisé de démarrer le déclenchement du courant positif à partir de l'état logique bas, mais il convient que les résultats d'échec soient confirmés à partir de l'état logique haut.

Figure 4 – Forme d'onde d'essai pour essai I positif