

INTERNATIONAL STANDARD

NORME INTERNATIONALE



Test methods for electrical materials, printed boards and other interconnection structures and assemblies –

Part 3-913: Test method for thermal conductivity of printed circuit boards for high-brightness LEDs

Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles –

Partie 3-913: Méthodes d'essai pour la conductivité thermique des circuits imprimés pour les LED à forte luminosité



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2016 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
Fax: +41 22 919 03 00
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

IEC Catalogue - webstore.iec.ch/catalogue

The stand-alone application for consulting the entire bibliographical information on IEC International Standards, Technical Specifications, Technical Reports and other documents. Available for PC, Mac OS, Android Tablets and iPad.

IEC publications search - www.iec.ch/searchpub

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing 20 000 terms and definitions in English and French, with equivalent terms in 15 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

65 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: csc@iec.ch.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Catalogue IEC - webstore.iec.ch/catalogue

Application autonome pour consulter tous les renseignements bibliographiques sur les Normes internationales, Spécifications techniques, Rapports techniques et autres documents de l'IEC. Disponible pour PC, Mac OS, tablettes Android et iPad.

Recherche de publications IEC - www.iec.ch/searchpub

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne de termes électroniques et électriques. Il contient 20 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans 15 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

65 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: csc@iec.ch.

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Test methods for electrical materials, printed boards and other interconnection structures and assemblies –
Part 3-913: Test method for thermal conductivity of printed circuit boards for high-brightness LEDs**

**Méthodes d'essai pour les matériaux électriques, les cartes imprimées et autres structures d'interconnexion et ensembles –
Partie 3-913: Méthodes d'essai pour la conductivité thermique des circuits imprimés pour les LED à forte luminosité**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.180

ISBN 978-2-8322-3104-3

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	4
1 Scope.....	6
2 Normative references	6
3 Terms and definitions	6
4 Pre-conditioning.....	6
5 Test methods.....	6
5.1 General.....	6
5.2 Thermal conductivity	6
5.2.1 Measurement of thermal resistance on the plane	6
5.2.2 Measurement of thermal resistance across the thickness.....	8
Annex A (normative) Boards and panels	13
A.1 Panel and board sizes	13
A.1.1 Board size	13
A.1.2 Allowance of dimensions	13
A.1.3 Perforation and slit	14
A.1.4 V-cut.....	14
A.2 Total board thickness.....	15
A.3 Holes	16
A.3.1 Insertion holes and vias	16
A.3.2 Datum hole	19
A.3.3 Assembly hole (through-hole without wall plating).....	19
A.4 Conductor	19
A.4.1 Width of conductor pattern and its allowance	19
A.4.2 Distance between conductors and its allowance	20
A.4.3 Thickness of the insulating layer	21
A.5 Printed contact.....	21
A.5.1 Allowance of the distance between the centers of two adjacent printed contacts	21
A.5.2 Allowance of the terminal width of printed contacts	22
A.5.3 Shift of the center of printed contacts on the front and back sides of a board	22
A.6 Land pattern	23
A.6.1 Allowance of the distance between the centers of two lands	23
A.6.2 Allowance of a land width	23
A.6.3 Land diameter and its allowance for BGA/CSP	24
A.7 Fiducial mark and mark for component positioning	25
A.7.1 Typical form and size of the fiducial mark	25
A.7.2 Dimensional allowance of fiducial mark and component positioning mark	26
A.7.3 Position allowance of the component positioning mark.....	26
A.8 Interlayer connection – Copper plating	26
Annex B (normative) Equilibrium test	27
Bibliography.....	28
Figure 1 – Illustration of an apparatus for the thermal conductivity test	10
Figure 2 – Surface layer specimen pattern for thermal conductivity test	11
Figure 3 – Test equipment for thermal resistance to the thickness direction	12

Figure A.1 – Board arrangement in a panel.....	13
Figure A.2 – Distances from the datum point to perforation and slit.....	14
Figure A.3 – Distance from the datum point to the V-cut	15
Figure A.4 – Allowance of position off-set of V-cuts on front and back surfaces	15
Figure A.5 – PWB board with symbol mark, solder resist, copper foil and plating	16
Figure A.6 – Positions of component insertion holes	17
Figure A.7 – Distance between the wall of a hole and the board edge.....	18
Figure A.8 – Wall of a hole and the minimum designed spacing to the inner conductor	19
Figure A.9 – Width of finished conductor.....	20
Figure A.10 – Distance between conductor and board edge.....	21
Figure A.11 – Thickness of the insulating layer.....	21
Figure A.12 – Distance between centers of terminals of printed contacts	22
Figure A.13 – Terminal width of a printed contact	22
Figure A.14 – Shift of the center of printed contacts on front and back sides of a board.....	23
Figure A.15 – Land pattern	23
Figure A.16 – Land width of a land pattern.....	24
Figure A.17 – Land diameter of BGA/CSP formed of a conductor only	24
Figure A.18 – Land diameter (d) of BGA/CSP formed at the opening of solder resist.....	25
Figure A.19 – Examples of fiducial mark and component positioning mark	26
Table 1 – Applied power (P) that corresponds to a range of thermal resistance on the plane.....	8
Table 2 – Applied power (P) that corresponds to a range of thermal resistance across the thickness (K/W)	9
Table A.1 – Panel dimensions.....	13
Table A.2 – Allowance of dimensions.....	14
Table A.3 – Allowance of the distances from the datum point to perforation and slit.....	14
Table A.4 – Allowance of the distance from the datum point to the center of the V-cut.....	15
Table A.5 – Total thickness and its allowance	16
Table A.6 – Allowance of holes for component insertion.....	16
Table A.7 – Position allowance of component insertion holes.....	17
Table A.8 – Distance between the wall of a hole and board edge.....	18
Table A.9 – Minimum clearance between the wall of a hole and the inner layer conductor.....	18
Table A.10 – Allowance of conductor width	20
Table A.11 – Allowance of the distance between conductors.....	20
Table A.12 – Allowance of terminal width of a printed contact	22
Table A.13 – Allowance of terminal width of a printed contact	23
Table A.14 – Allowance of the width of a land of a land pattern.....	24
Table A.15 – Land diameter and its allowance for BGA/CSP	25
Table A.16 – Allowance of the land diameter (d) of BGA/CSP formed at the opening of solder resist.....	25
Table A.17 – Shapes and sizes of typical fiducial marks and component positioning marks	26
Table A.18 – Minimum thickness of copper plating.....	26

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**TEST METHODS FOR ELECTRICAL MATERIALS, PRINTED BOARDS AND
OTHER INTERCONNECTION STRUCTURES AND ASSEMBLIES –****Part 3-913: Test method for thermal conductivity of printed
circuit boards for high-brightness LEDs**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 61189-3-913 has been prepared by IEC technical committee 91: Electronics assembly technology.

This first edition cancels and replaces the first edition of IEC PAS 61189-3-913 published in 2011. This edition constitutes a technical revision. This edition focused only on the test methods for thermal conductivity specific to printed circuit boards for high-brightness LEDs.

The text of this standard is based on the following documents:

FDIS	Report on voting
91/1304A/FDIS	91/1328/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

A list of all parts in the IEC 61189, published under the general title *Test methods for electrical materials, printed boards and other interconnection structures and assemblies*, can be found on the IEC website.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

IECNORM.COM : Click to view the full PDF of IEC 61189-3-913:2016

TEST METHODS FOR ELECTRICAL MATERIALS, PRINTED BOARDS AND OTHER INTERCONNECTION STRUCTURES AND ASSEMBLIES –

Part 3-913: Test method for thermal conductivity of printed circuit boards for high-brightness LEDs

1 Scope

This part of IEC 61189 specifies the test methods for thermal conductivity specific to printed circuit boards for high-brightness LEDs. The test applies to printed circuit boards for high-brightness LEDs with surface mounted LEDs or with device embedded LEDs in electronic control devices (ECDs).

2 Normative references

The following documents, in whole or in part, are normatively referenced in this document and are indispensable for its application. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60194, *Printed board design, manufacture and assembly – Terms and definitions*

IEC 62326-20, *Printed boards – Part 20: Printed circuit boards for high-brightness LEDs*

3 Terms and definitions

For the purposes of this document, the terms and definitions given in IEC 60194 apply, unless otherwise specified.

4 Pre-conditioning

Pre-conditioning described in a) or b) below shall be carried out in accordance with the specific standard.

- a) Leave a specimen for 24 h in the standard condition.
- b) Leave a specimen for 60 min in a thermostat chamber at 85 °C and then leave the specimen for 24 ± 4 h in the standard atmospheric condition.

5 Test methods

5.1 General

In this standard, the following test methods are specified in order to classing the printed circuit board in accordance with Table 1 in IEC 62326-20.

5.2 Thermal conductivity

5.2.1 Measurement of thermal resistance on the plane

In this subclause, the measurement of thermal resistance on the plane (horizontal direction of the specimen) is addressed as follows.

a) Apparatus

Use the apparatus specified in EIA/JEDEC STD 51-2, or equivalent. The equipment shall have a set of a specimen and a thermocouple in the centre of a cubic chamber of 30 cm side length. An apparatus is shown in Figure 1.

b) Specimen

Unless otherwise specified, use the specimen illustrated in Figure 2. All the dimensions in Figure 2 shall be requirements. This specimen uses a TEG chip (5 mm × 5 mm) with a temperature measuring sensor, which is wire-bonded to the centre of the specimen board as a heat source. The detail specification of the printed board shall be in accordance with Annex A.

c) Pre-conditioning

Pre-conditioning shall be in accordance with Clause 4. And, the test specimen shall be fixed horizontally in the chamber of the equipment.

d) Thermal resistance and heat transfer parameter on the plane (horizontal direction of the specimen). The following procedure shall be respected:

- provide a specimen assembled with a heater with a TEG chip with a temperature measuring sensor;
- specify the temperature coefficient of the sensor prior to the measurement;
- operate the heater and arrange the applied power (P) based upon the range of thermal resistance on the plane (horizontal direction of the specimen) as shown in Table 1;
- measure the temperature of the TEG chip with a temperature measuring sensor (T_s) and the temperature inside the chamber (T_a) after the temperature of the TEG chip with a temperature measuring sensor has reached a stable state;
- calculate the thermal resistance on the plane (horizontal direction of the specimen) (R_p) with the following equation:

$$R_p = (T_s - T_a) / P$$

- using the thermal resistance (R_p), calculate the thermal transfer parameter (he) by the following equation:

$$he = \frac{1}{R_p \times 0,002\ 5} \quad \text{W/m}^2\text{K}$$

Equilibrium verification shall be in accordance with Annex B.

Table 1 – Applied power (P) that corresponds to a range of thermal resistance on the plane

Applied power W	Range of thermal resistance on the plane (horizontal direction of the specimen) (R_p) K/W
0,1	$300 > R_p$
0,2	$200 < R_p < 300$
0,3	$150 < R_p < 200$
0,4	$100 < R_p < 150$
0,75	$60 < R_p < 100$
1,0	$30 < R_p < 60$
2,0	$20 < R_p < 30$
3,0	$15 < R_p < 20$
5,0	$5 < R_p < 15$
10,0	$R_p < 5$

5.2.2 Measurement of thermal resistance across the thickness

In this subclause, the measurement of thermal resistance across the thickness is addressed as follows.

a) Apparatus

The testing apparatus is as shown in Figure 3. The apparatus shall consist of a metal block (aluminium or copper) which can hold the specimen specified in 5.2.1 b) and a cooling system to keep the temperature of the metal block constant.

b) Specimen

Specimen shall be as specified in 5.2.1 b).

c) Pre-conditioning

Pre-conditioning shall be in accordance with Clause 4.

d) Test

The procedure shall be as follows:

- provide a specimen, which is screwed to the metal block, assembled with a heater that contains a TEG chip with a temperature measuring sensor;
- specify the temperature coefficient of the sensor prior to the measurement;
- apply thermal conductive materials such as thermal grease between the specimen and the metal block to reduce thermal resistivity;
- install a thermocouple within a 10 mm distance from the edge of the specimen;
- install another thermocouple in the water sink;
- fix the metal block to the cooling system;
- keep the water temperature constant by the water-cooled system as shown in Figure 3;
- operate the heater and arrange the applied power (P) based on the thermal resistance across the thickness, as shown in Table 2;
- measure the temperature of the TEG chip with a temperature measuring sensor (T_s) and the temperature on the metal block (T_b) as soon as the temperature of the TEG chip with a temperature measuring sensor has reached the stable state;
- calculate the thermal resistance across the thickness (R_t) by the following equation:

$$R_t = (T_s - T_b) / P \quad (\text{K/W})$$

The thermal conductivity parameter (Ke) shall be calculated with the following equation using R_t .

$$Ke = \frac{t}{R_t \times 2,5 \times 10^{-5}} \quad \text{W/m}^2\text{K}$$

where

t is the thickness (m);

$2,5 \times 10^{-5}(\text{m}^2)$ is the area of the TEG chip with a temperature measuring sensor.

Table 2 – Applied power (P) that corresponds to a range of thermal resistance across the thickness (R_t)

Applied power W	Range of thermal resistance across the thickness (R_t) K/W
0,1	$300 > R_t$
0,2	$200 < R_t < 300$
0,3	$150 < R_t < 200$
0,4	$100 < R_t < 150$
0,75	$60 < R_t < 100$
1,0	$30 < R_t < 60$
2,0	$20 < R_t < 30$
3,0	$15 < R_t < 20$
5,0	$5 < R_t < 15$
10,0	$R_t < 5$

Dimensions in millimetres

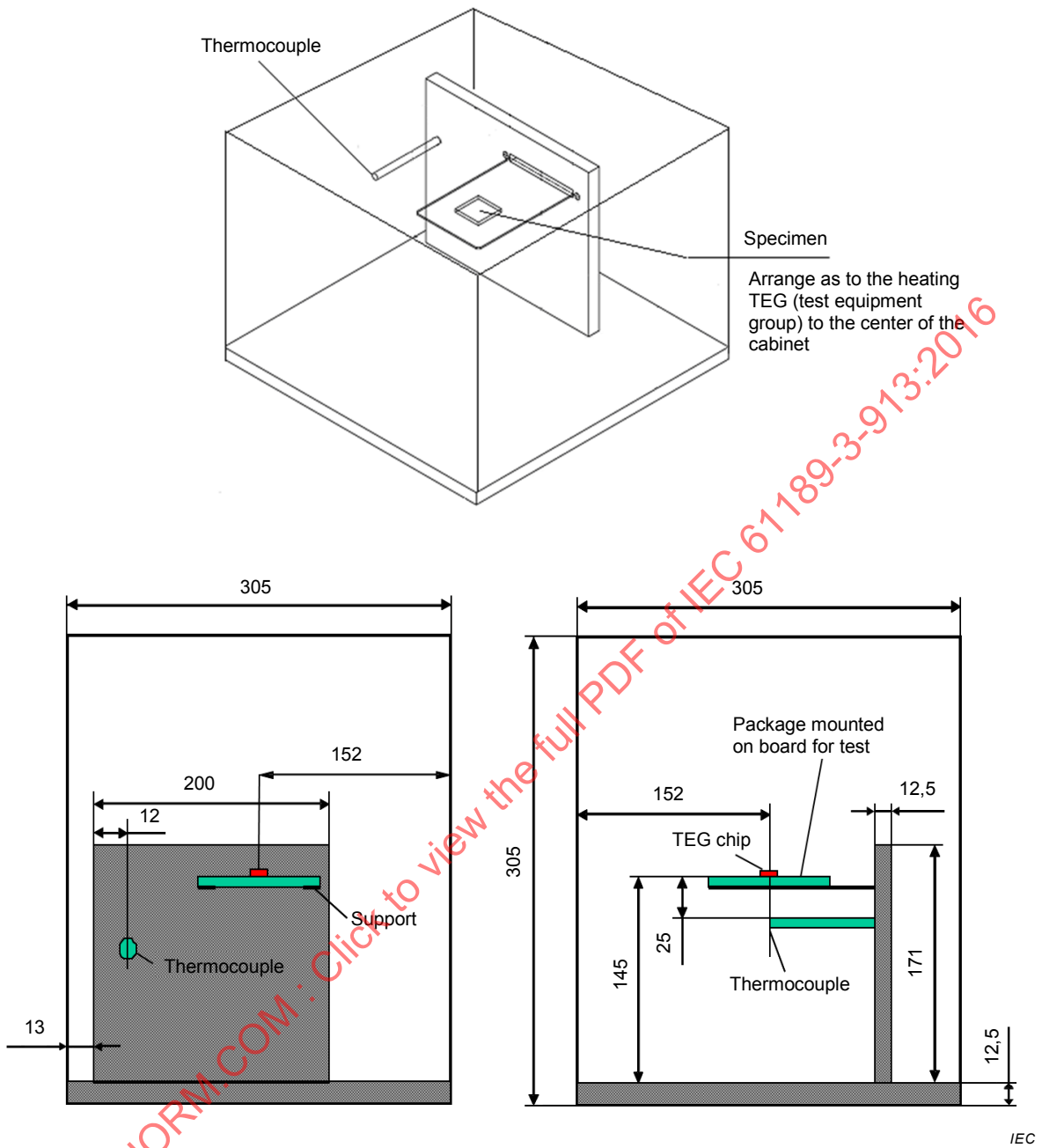
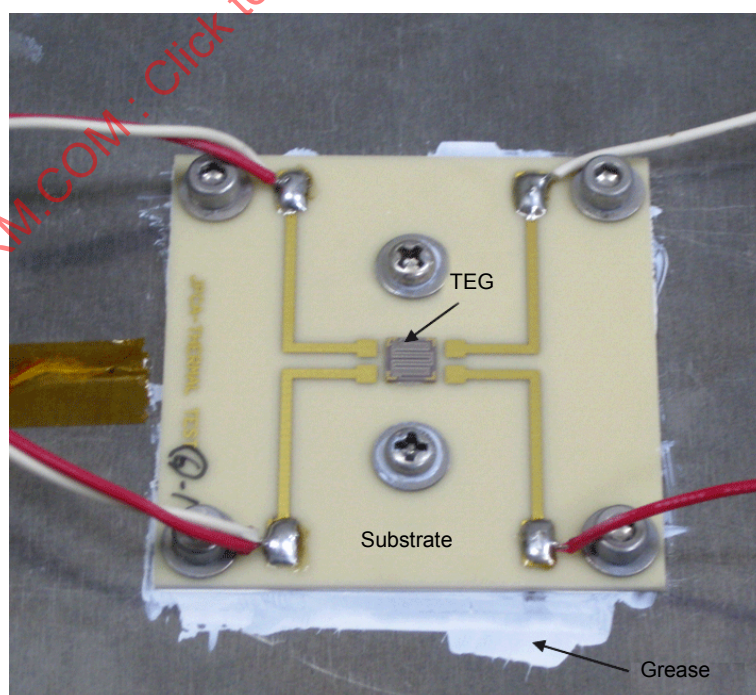
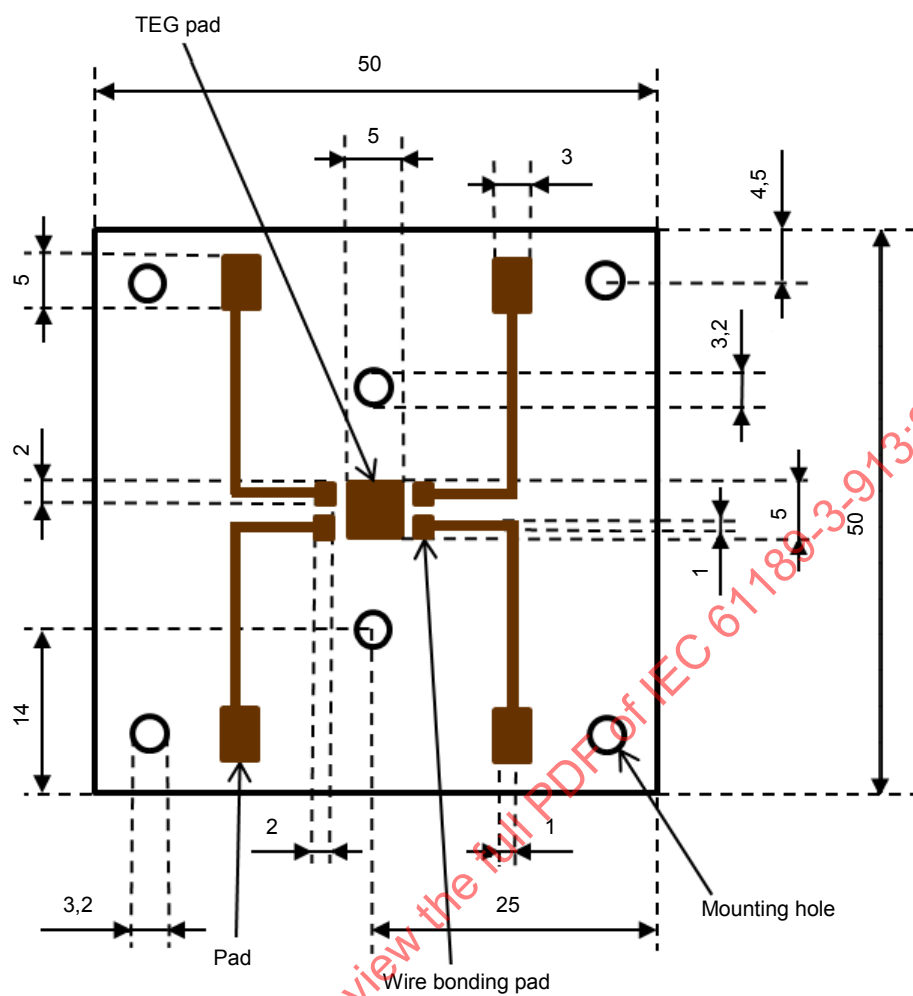


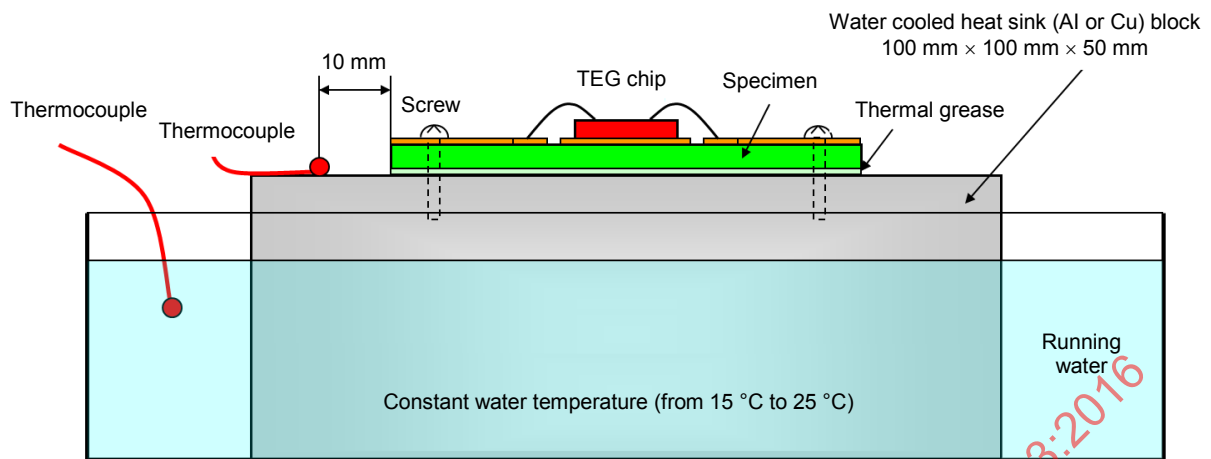
Figure 1 – Illustration of an apparatus for the thermal conductivity test

Dimensions in millimetres



IEC

Figure 2 – Surface layer specimen pattern for thermal conductivity test



IEC

Figure 3 – Test equipment for thermal resistance to the thickness direction

IECNORM.COM : Click to view the full PDF of IEC 61189-3-913:2016

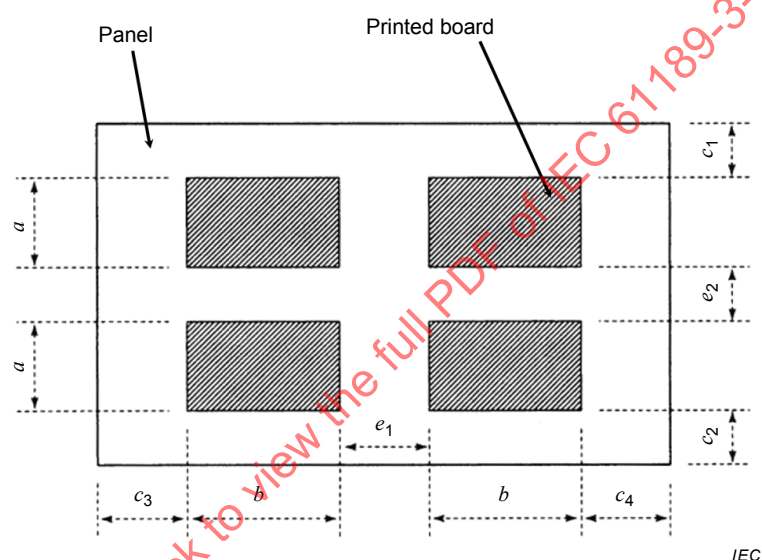
Annex A (normative)

Boards and panels

A.1 Panel and board sizes

A.1.1 Board size

This subclause is given for reference only. The size of the board of the product ($a \times b$) illustrated in Figure A.1 should be selected so that the boards can be arranged efficiently within a panel with a size as specified in Table A.1. These dimensions are given for information only. Or, a proper panel with a size given in Table A.1 shall be selected so as to satisfy the required efficient arrangement of the boards.



Key

Board size of the product: $a \times b$

Space between board and panel edges: c_1, c_2, c_3, c_4

Space between boards: e_1, e_2

Figure A.1 – Board arrangement in a panel

Table A.1 – Panel dimensions

Size of a CCL (copper clad laminate) panel	Division			
	4	6	8	9
1 000 × 1 000	500 × 500	333 × 500	250 × 500	333 × 333
1 000 × 1 200	500 × 600	333 × 600 400 × 500	300 × 500	333 × 400
Dimensions are in millimetres.				

A.1.2 Allowance of dimensions

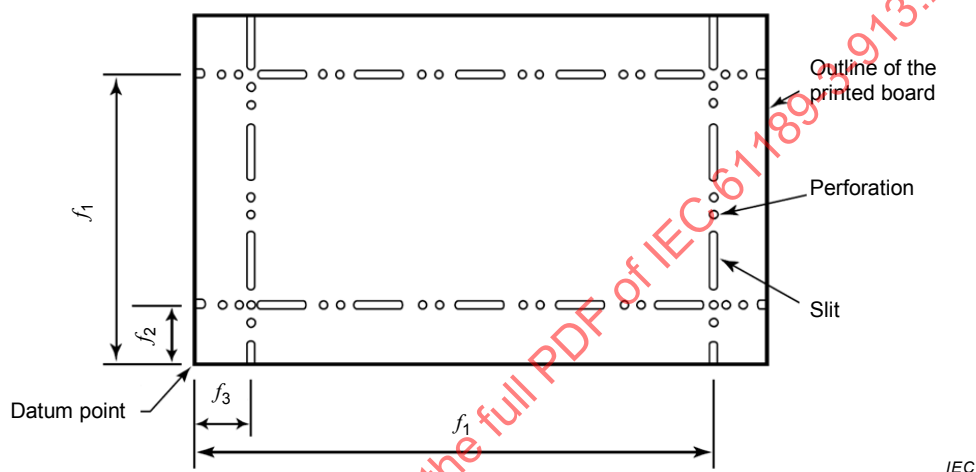
The allowance of dimensions of a board or a panel is given in Table A.2.

Table A.2 – Allowance of dimensions

Length mm	Allowance mm
≤ 100	$\pm 0,2$
> 100	Add 0,1 for each 50 exceeding a length of 100.

A.1.3 Perforation and slit

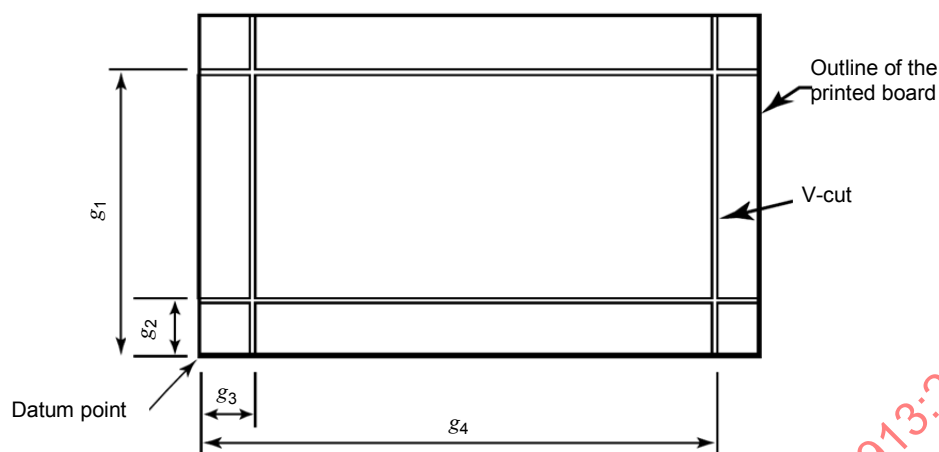
The perforation and slits are shown in Figure A.2. The allowances of the distances from the datum point to the center of the cut of the perforation and slit is given in Table A.3.

**Figure A.2 – Distances from the datum point to perforation and slit****Table A.3 – Allowance of the distances from the datum point to perforation and slit**

Distances from the datum point to perforation and slit mm	Allowance mm
≤ 100	$\pm 0,2$
> 100	Add 0,1 for each 50 beyond a length of 100.

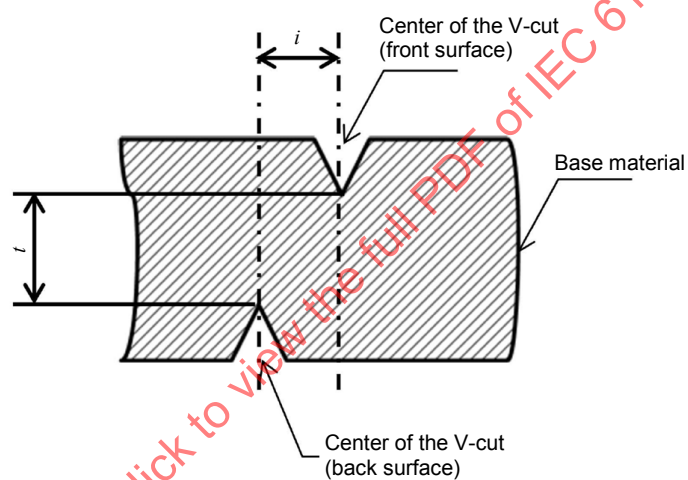
A.1.4 V-cut

The V-cut is shown in Figure A.3 and Figure A.4. The allowance of the distance from the reference datum to the center of cut of the V (g_1 to g_4) is given in Table A.4. The allowance of the deviation of the position of the V-cut on the front and back planes is 0,2 mm, and the allowance of the uncut thickness of the board is the sum of the allowance of the board thickness $\pm 0,1$ mm.



IEC

Figure A.3 – Distance from the datum point to the V-cut



IEC

Figure A.4 – Allowance of position off-set of V-cuts on front and back surfaces

Table A.4 – Allowance of the distance from the datum point to the center of the V-cut

Distance from the datum point to the center of the V-cut mm	Allowance mm
≤ 100	$\pm 0,2$
> 100	Add 0,1 for each 50 mm exceeding a length over 100 mm

A.2 Total board thickness

The allowance of the total board thickness (t) and symbol marks as shown in Figure A.5 is given in Table A.5.

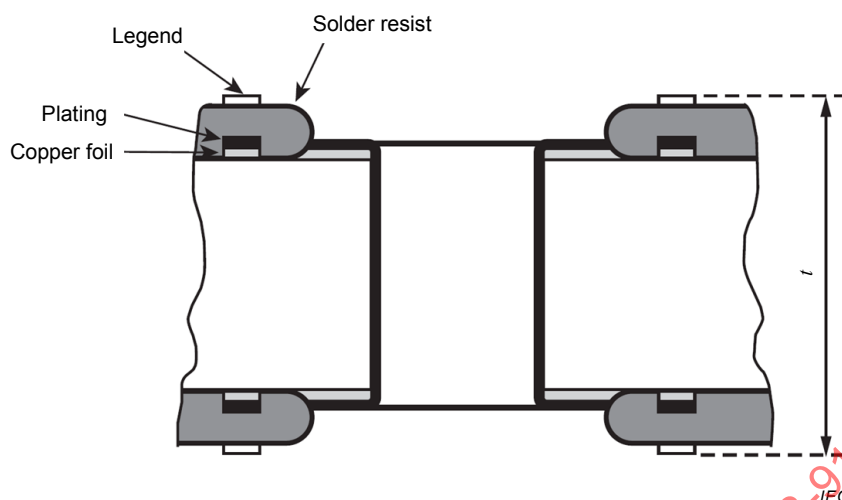


Figure A.5 – PWB board with symbol mark, solder resist, copper foil and plating

Table A.5 – Total thickness and its allowance

Total thickness (center value of the final board) t	Allowance
$0,3 \leq t < 0,5$	+0,10 –0,05
$0,5 \leq t < 0,8$	$\pm 0,10$
$0,8 \leq t < 1,10$	$\pm 0,15$
$1,10 \leq t < 1,40$	$\pm 0,17$
$1,40 \leq t < 2,00$	$\pm 0,19$
$t \geq 2,00$	$\pm 10 \%$
Dimensions are in millimetres.	

A.3 Holes

A.3.1 Insertion holes and vias

The following requirements apply for insertion holes and vias.

a) Allowance of component insertion holes

The allowance of component insertion holes is given in Table A.6. The allowance given in this table is not applicable to vias (through-hole vias, buried vias and blind vias). The allowance of through-holes with a diameter less than 0,6 mm for insertion of a component and holes for press-fit of a component is to be as agreed between the user and supplier (hereafter, referred to as AABUS).

Table A.6 – Allowance of holes for component insertion

Item	Allowance
Plated through-hole	$0,6 \leq t < 2,0$ $\pm 0,10$
	$t \geq 2,0$ $\pm 0,15$
Non-plated through-hole	$\pm 0,10$
Dimensions are in millimetres.	

b) Position of a hole for component insertion

The center of a hole for component insertion should be at the cross point of the grid for pattern design including the complementary grid lines used. The allowance of a component insertion hole position $\left| \vec{j} \right|$ the deviation from the designed position in respect to the datum point as shown in Figure A.6 is given in Table A.7.

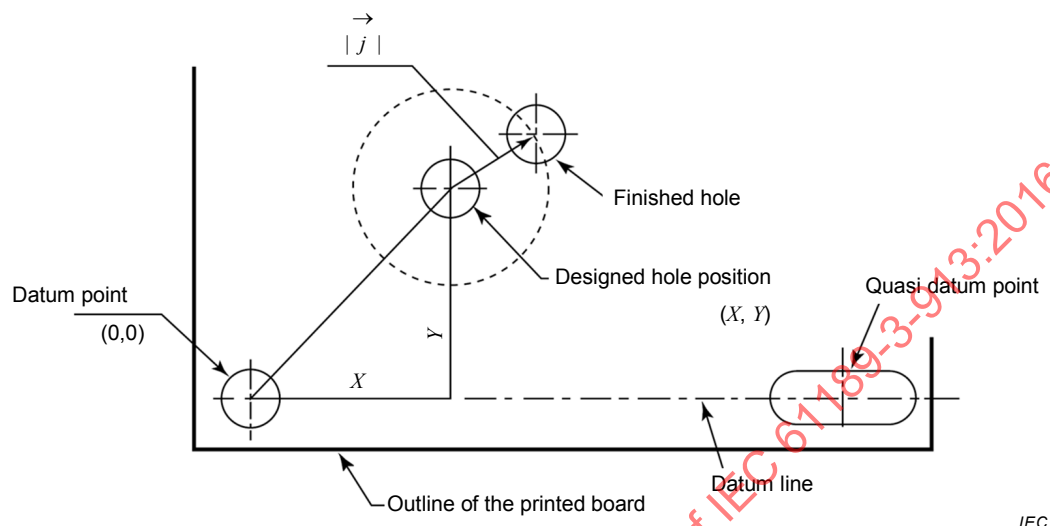


Figure A.6 – Positions of component insertion holes

Table A.7 – Position allowance of component insertion holes

Longer dimension of rectangular board mm	Allowance mm
≤400	0,10
>400	For board exceeding 400, add 0,05 for each additional 100

c) Distance from the board edge to the wall of a hole

Distance from the board edge to the wall of a hole (d) is shown in Figure A.7. The distance (d) between the walls of a through-hole before plating and of a hole for component insertion shall be larger than either 1,0 mm. The distance in the case of hole for press-fit shall be in accordance with Table A.8.

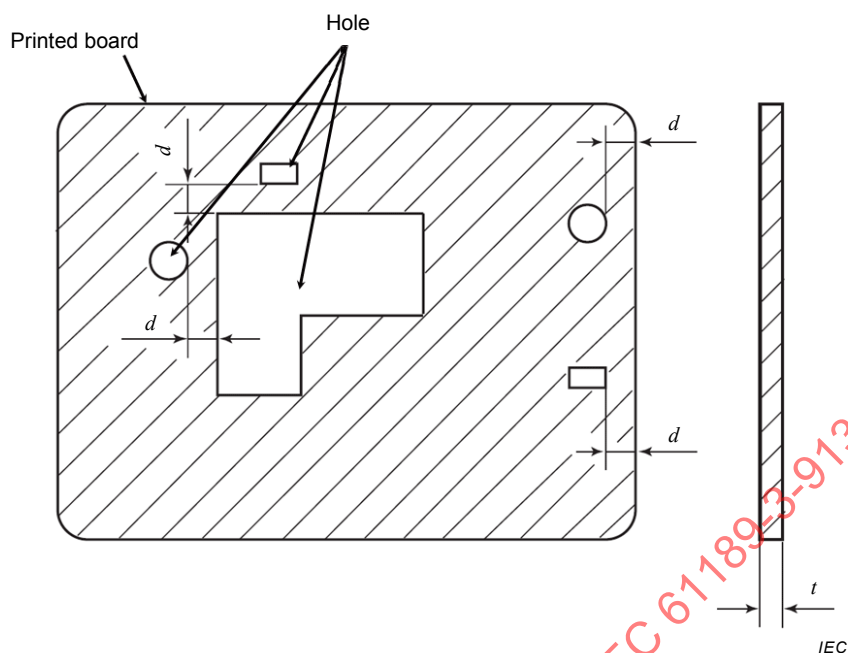


Figure A.7 – Distance between the wall of a hole and the board edge

Table A.8 – Distance between the wall of a hole and board edge

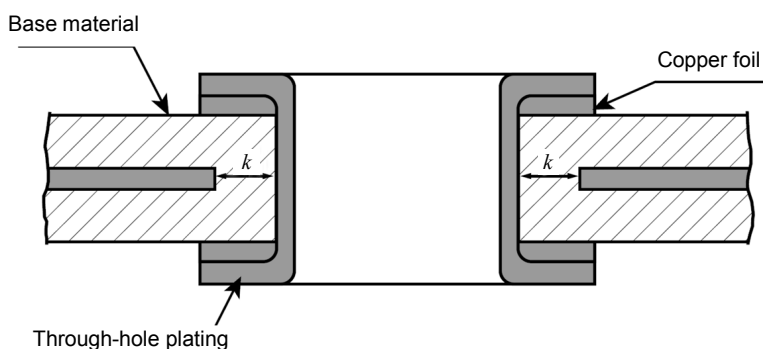
Item	Distance (j) between a component hole before plating and the via wall (d)
HDI PWB	$\leq 1,0$ mm and also longer than the board thickness (t)
Standard PWB	$\leq 1,5$ mm and also longer than the board thickness (t)

d) Minimum clearance between the wall of a hole and the inner conductor

The minimum clearance between the wall of a hole and the inner conductor (k) as illustrated in Figure A.8 shall be 0,325 mm. And the detailed dimensions are specified in Table A.9. If the distance 0,325 mm is guaranteed in the design of the pattern, the minimum separation is guaranteed.

Table A.9 – Minimum clearance between the wall of a hole and the inner layer conductor

Item		Minimum clearance between the hole wall and the inner layer conductor k	
		Standard value mm	Minimum value mm
HDI PWB	Component hole	0,5	0,25
	Via	0,30	
Standard PWB	Component hole	0,5	0,30
	Via	0,35	



IEC

Figure A.8 – Wall of a hole and the minimum designed spacing to the inner conductor

A.3.2 Datum hole

The allowance of a datum hole shall be $\pm 0,05$ mm, or $^{+0,10}_{-0,00}$ mm. A through-hole without wall plating shall be used as a datum hole.

A.3.3 Assembly hole (through-hole without wall plating)

The following requirements apply.

a) Allowance of an assembly hole

The allowance of an assembly hole shall be $\pm 0,10$ mm.

b) Allowance of the position of an assembly hole

The allowance of the position of an assembly hole shall be in accordance with Table A.7.

c) Distance between an assembly hole and the board edge

The distance between an assembly hole and the board edge shall be larger than 2,0 mm. In case the distance is less than 2,0 mm, the distance shall be agreed between user and supplier.

d) The distance between an assembly hole and the inner conductor

The distance between the wall of an assembly hole and the inner conductor shall be larger than 1,0 mm.

A.4 Conductor

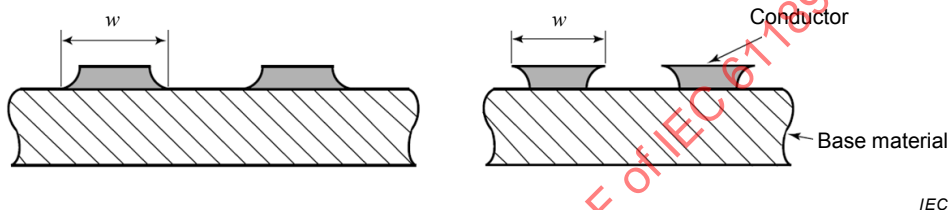
A.4.1 Width of conductor pattern and its allowance

The allowance of the formed conductor width (w), as illustrated in Figure A.9, shall be in accordance with the allowances given in Table A.10. The allowance of the finished conductor pattern specifically designed for impedance control shall be AABUS.

Table A.10 – Allowance of conductor width

Conductor thickness (t) μm	Allowance μm	Conductor width for reference μm
$50 \leq t < 75$	± 25	15 to 20
$75 \leq t < 100$	± 30	20 to 40
$100 \leq t < 300$	± 50	30 to 50
$t \geq 300$	± 100	40 to 70
Thick copper foil circuits	± 150	70
	± 200	105
	± 300	140

The conductor thickness is the copper foil thickness plus the thickness of plated copper.

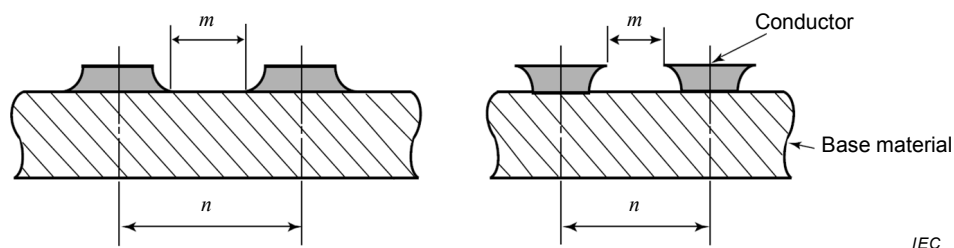
**Figure A.9 – Width of finished conductor****A.4.2 Distance between conductors and its allowance**

Distance between conductor and board edge is illustrated in Figure A.10. The allowance of the distance between conductors (h) shall be as given in Table A.11. The allowance of the finished conductor pattern specifically designed for impedance control shall be AABUS.

Table A.11 – Allowance of the distance between conductors

Conductor thickness (h) μm	Allowance μm	Conductor with for reference μm
$50 \leq h < 75$	± 25	15 to 20
$75 \leq h < 100$	± 30	20 to 40
$100 \leq h < 300$	± 50	30 to 50
$h \geq 300$	± 100	40 to 70

The conductor thickness is the copper foil thickness plus the thickness of plated copper.

**Key**

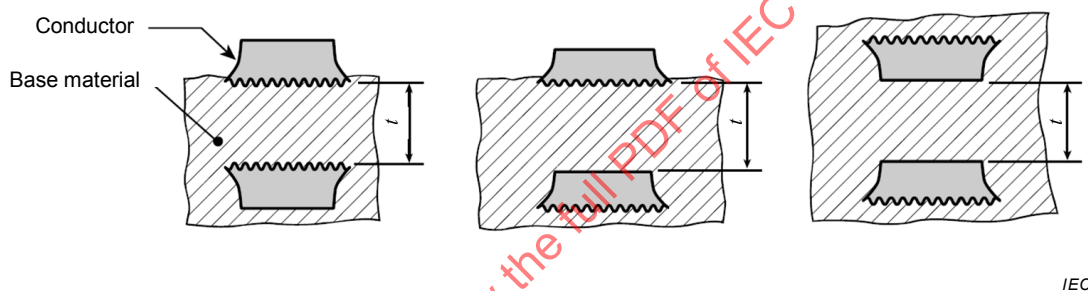
m is the conductor spacing

n is the conductor pitch

Figure A.10 – Distance between conductor and board edge

A.4.3 Thickness of the insulating layer

The thickness of an insulating layer (t) is illustrated in Figure A.11.



NOTE In case the surface of copper foil is roughened, the thickness of the base material is the minimum distance applicable to the substrate.

Figure A.11 – Thickness of the insulating layer

A.5 Printed contact

A.5.1 Allowance of the distance between the centers of two adjacent printed contacts

The allowance of the distance between the centers of two adjacent printed contacts (p , p_n) as illustrated in Figure A.12 shall be $\pm 0,10$ mm. Add 0,01 mm for each additional 20 mm in case the distance between the centers of terminals exceeds 100 mm.

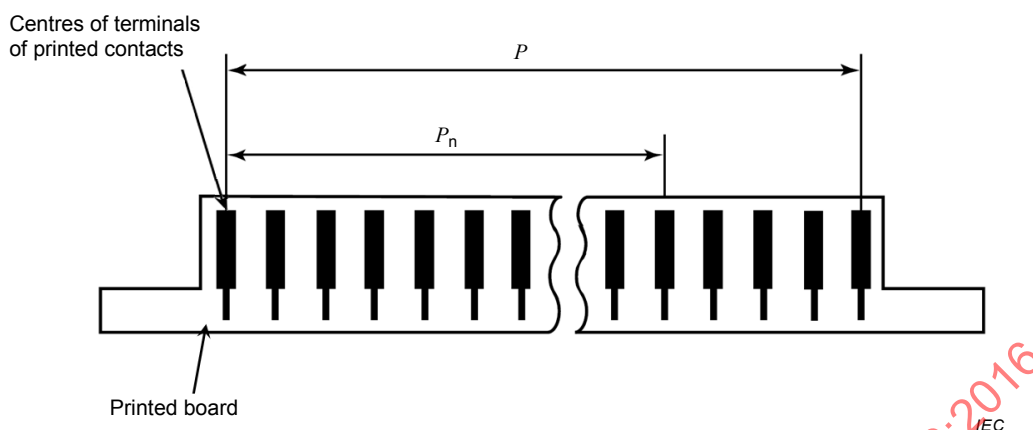


Figure A.12 – Distance between centers of terminals of printed contacts

A.5.2 Allowance of the terminal width of printed contacts

The allowance of the terminal width of printed contacts (w) as illustrated in Figure A.13 is specified in Table A.12.

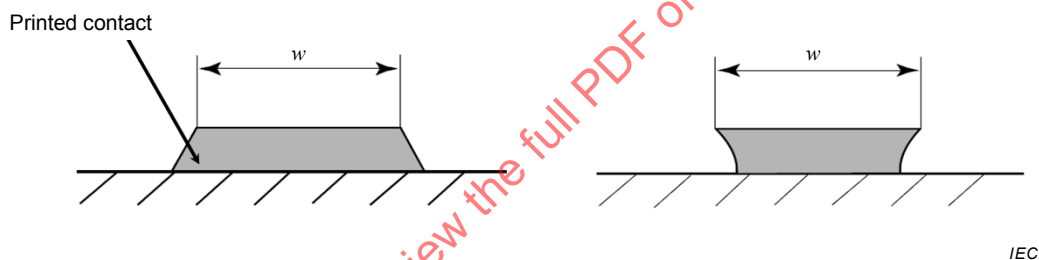


Figure A.13 – Terminal width of a printed contact

Table A.12 – Allowance of terminal width of a printed contact

Terminal width (w) mm	Allowance mm
$\leq 1,0$	$\pm 0,05$
$> 1,0$	$\pm 0,10$

A.5.3 Shift of the center of printed contacts on the front and back sides of a board

The allowance of the shift of the center of printed contacts on the front and back sides of a board (q) as illustrated in Figure A.14 shall be $\pm 0,20$ mm.

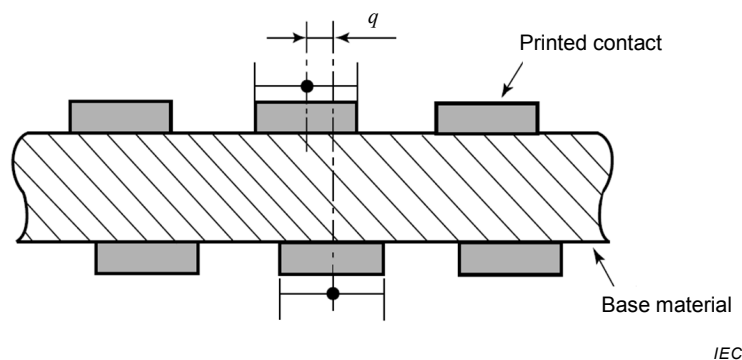


Figure A.14 – Shift of the center of printed contacts on front and back sides of a board

A.6 Land pattern

A.6.1 Allowance of the distance between the centers of two lands

The allowance of the distance between the centers of two adjacent lands (S_1) and of two parallelly located lands (S) as illustrated in Figure A.15 is specified in Table A.13.

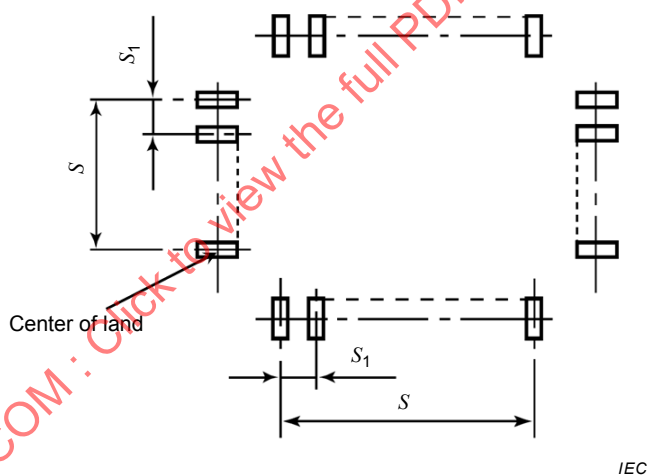


Figure A.15 – Land pattern

Table A.13 – Allowance of terminal width of a printed contact

Distance between centers	Allowance mm
S_1	$\pm 0,03$
S	$\pm 0,05$

A.6.2 Allowance of a land width

The allowance of a land width of a land pattern (w) as illustrated in Figure A.16 is specified in Table A.14. The allowance for a land narrower than 0,15 mm shall be AABUS.

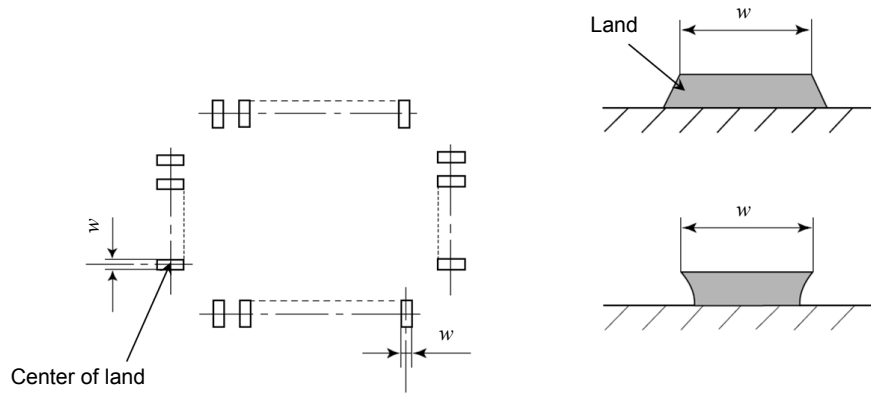


Figure A.16 – Land width of a land pattern

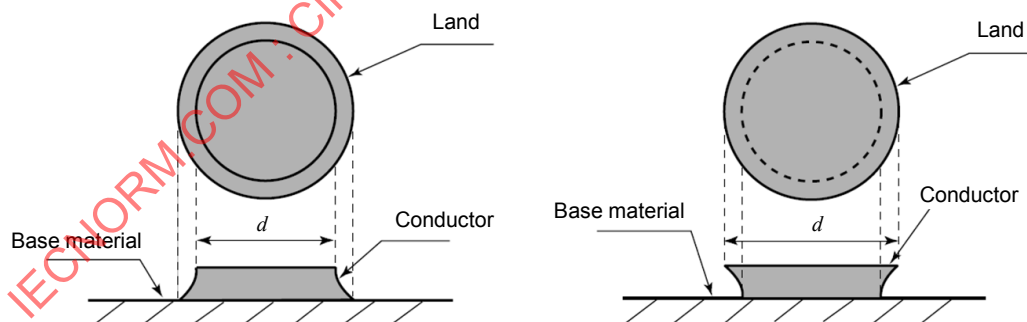
Table A.14 – Allowance of the width of a land of a land pattern

Land width w	Allowance
$0,15 < w \leq 0,35$	$\pm 0,04$
$w > 0,35$	$\pm 0,06$
Dimensions are in millimetres.	

A.6.3 Land diameter and its allowance for BGA/CSP

The allowance of land diameter for BGA/CSP is specified in a) and b) below.

- a) The pattern is shown in Figure A.17. The allowance of the land diameter (d) of BGA/CSP made of a conductor only is given in Table A.15.



IEC

Figure A.17 – Land diameter of BGA/CSP formed of a conductor only

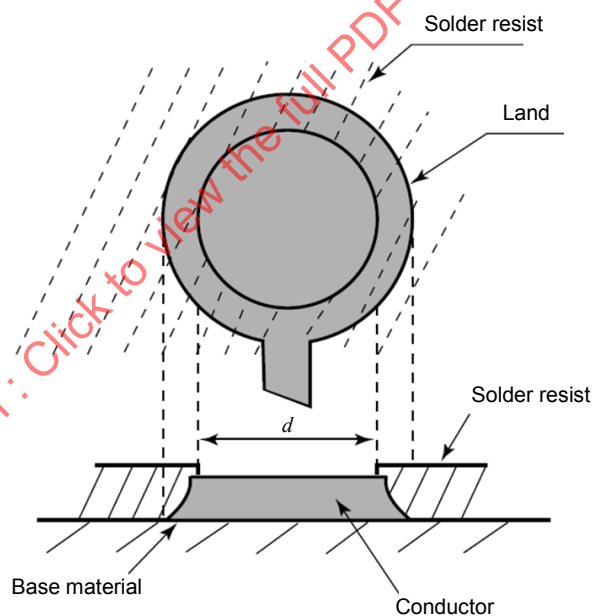
Table A.15 – Land diameter and its allowance for BGA/CSP

Item	Allowance of land diameter mm	Conductor thickness μm^a
HDI PWB	+0,02 –0,03	20 to 30
Standard PWB	+0,03 –0,05	30 to 50
^a For reference only.		

b) The pattern is shown in Figure A.18. The allowance of the land diameter (d) of BGA/CSP formed at the opening of solder resist is given in Table A.16.

Table A.16 – Allowance of the land diameter (d) of BGA/CSP formed at the opening of solder resist

Item	Allowance mm
HDI PWB	$\pm 0,03$
Standard PWB	$\pm 0,05$



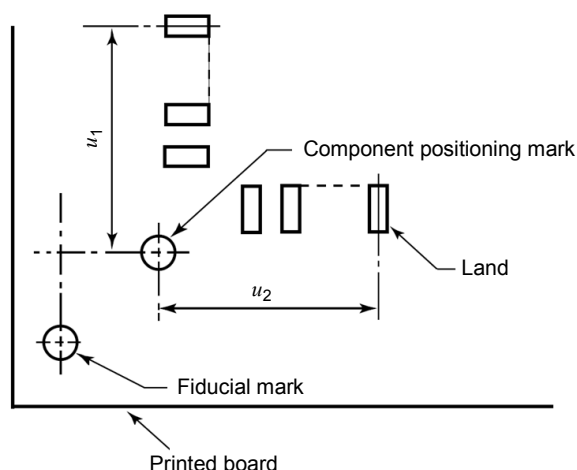
IEC

Figure A.18 – Land diameter (d) of BGA/CSP formed at the opening of solder resist

A.7 Fiducial mark and mark for component positioning

A.7.1 Typical form and size of the fiducial mark

The mark for component positioning in Figure A.19 is specified in Table A.17.



IEC

Figure A.19 – Examples of fiducial mark and component positioning mark

Table A.17 – Shapes and sizes of typical fiducial marks and component positioning marks

Item	Shape	Diameter mm
Fiducial and component positioning marks	Circle	1,0

A.7.2 Dimensional allowance of fiducial mark and component positioning mark

The dimensional allowance of a fiducial mark and a component positioning mark, as illustrated in Figure A.19, is $\pm 0,1$ mm.

A.7.3 Position allowance of the component positioning mark

The farthest land pattern from the mark (u_1 , u_2), as illustrated in Figure A.19, shall be $\pm 0,05$ mm.

A.8 Interlayer connection – Copper plating

The minimum thickness of copper plating on the wall of via and component insertion holes is given in Table A.18.

Table A.18 – Minimum thickness of copper plating

Board thickness, or layer thickness mm	Minimum thickness of copper plating μm
$t > 2,4$	Thickness shall be AABUS
$1,0 < t \leq 2,4$	15
$0,5 < t \leq 1,0$	12
$t \geq 0,5$	10
The measurement shall be made by optical observation of a micro-sectioned vertical cross-section. Local surface deviation is not taken into consideration.	

Annex B

(normative)

Equilibrium test

The following procedure shall be applied to verify the equilibrium in the enclosing environment.

- a) Place the specimen in the chamber and wait for 5 min minimum.
- b) Measure the temperature sensitive parameter (TSP) and wait for another 5 min to measure the TSP, again.
- c) Determine whether the equilibrium has been reached or not, using the following formula:

$$\Delta TSP \times K \leq 0,2 \text{ }^{\circ}\text{C}$$

where

K is the ratio of the junction temperature change/temperature-sensitive parameter change;

ΔTSP is the change in the TSP by application of P_H .

IECNORM.COM : Click to view the full PDF of IEC 61189-3-913:2016

Bibliography

EIA/JEDEC STD 51-2, *Integrated Circuit Thermal Test Method, Environmental Conditions – Natural Convection (still air)*

IECNORM.COM : Click to view the full PDF of IEC 61189-3-913:2016

IECNORM.COM : Click to view the full PDF of IEC 61189-3-913:2016

SOMMAIRE

AVANT-PROPOS	33
1 Domaine d'application	35
2 Références normatives	35
3 Termes et définitions	35
4 Préconditionnement	35
5 Méthodes d'essai	35
5.1 Généralités	35
5.2 Conductivité thermique	36
5.2.1 Mesure de la résistance thermique sur le plan	36
5.2.2 Mesure de la résistance thermique dans toute l'épaisseur	37
Annexe A (normative) Cartes et panneaux	42
A.1 Tailles des panneaux et des cartes	42
A.1.1 Taille des cartes	42
A.1.2 Tolérance sur les dimensions	42
A.1.3 Perforations et rainures	43
A.1.4 Rainure en V	43
A.2 Epaisseur totale de la carte	44
A.3 Trous	45
A.3.1 Trous d'insertion et trous de liaison	45
A.3.2 Trou de référence	48
A.3.3 Trou d'assemblage (trou traversant sans métallisation de la paroi)	48
A.4 Conducteur	48
A.4.1 Largeur du motif d'un conducteur et sa tolérance	48
A.4.2 Distance entre conducteurs et sa tolérance	49
A.4.3 Epaisseur de la couche isolante	50
A.5 Contacts imprimés	50
A.5.1 Tolérance sur la distance entre les centres de deux contacts imprimés adjacents	50
A.5.2 Tolérance sur la largeur des bornes de contacts imprimés	51
A.5.3 Décalage du centre de contacts imprimés entre la face avant et la face arrière d'une carte	51
A.6 Zone de report	52
A.6.1 Tolérance sur la distance entre les centres de deux pastilles	52
A.6.2 Tolérance sur la largeur d'une pastille	52
A.6.3 Diamètre d'une pastille et sa tolérance pour un BGA/CSP	53
A.7 Repère conventionnel et marque de positionnement de composant	54
A.7.1 Forme et taille typiques du repère conventionnel	54
A.7.2 Tolérance sur les dimensions de repère conventionnel et de marque de positionnement de composant	55
A.7.3 Tolérance sur la position d'une marque de positionnement de composant	55
A.8 Connexion entre couches – Métallisation en cuivre	55
Annexe B (normative) Essai d'équilibre	56
Bibliographie	57
Figure 1 – Représentation d'un appareillage pour l'essai de conductivité thermique	39

Figure 2 – Configuration du spécimen avec couche de surface pour l'essai de conductivité thermique	40
Figure 3 – Matériel d'essai de résistance thermique dans la direction de l'épaisseur	41
Figure A.1 – Disposition de cartes dans un panneau	42
Figure A.2 – Distances entre le point de référence et une perforation et une rainure	43
Figure A.3 – Distance entre le point de référence et la rainure en V	44
Figure A.4 – Tolérance sur l'écart de la position de rainures en V sur la face avant et sur la face arrière	44
Figure A.5 – Carte imprimée avec marquage de symbole, épargne de brasage, feuille de cuivre et métallisation	45
Figure A.6 – Positions des trous d'insertion de composant	46
Figure A.7 – Distance entre la paroi d'un trou et le bord de la carte	47
Figure A.8 – Paroi d'un trou et espacement minimal de conception entre la paroi d'un trou et le conducteur de la couche interne	48
Figure A.9 – Largeur d'un conducteur fini	49
Figure A.10 – Distance entre un conducteur et le bord de la carte	50
Figure A.11 – Epaisseur de la couche isolante	50
Figure A.12 – Distance entre les centres de bornes de contacts imprimés	51
Figure A.13 – Largeur d'une borne de contact imprimé	51
Figure A.14 – Décalage du centre de contacts imprimés entre la face avant et la face arrière d'une carte	52
Figure A.15 – Zone de report	52
Figure A.16 – Largeur d'une pastille d'une zone de report	53
Figure A.17 – Diamètre d'une pastille de BGA/CSP formé uniquement d'un conducteur	53
Figure A.18 – Diamètre d'une pastille (d) de BGA/CSP constitué d'épargne de brasage à l'ouverture	54
Figure A.19 – Exemples de repère conventionnel et de marque de positionnement de composant	55
Tableau 1 – Puissance appliquée (P) correspondant à la plage de la résistance thermique sur le plan	37
Tableau 2 – Puissance appliquée (P) correspondant à la plage de la résistance thermique dans toute l'épaisseur (K/W)	38
Tableau A.1 – Dimensions des panneaux	42
Tableau A.2 – Tolérance sur les dimensions	43
Tableau A.3 – Tolérance sur les distances entre le point de référence et une perforation et une rainure	43
Tableau A.4 – Tolérance sur la distance entre le point de référence et le centre de la rainure en V	44
Tableau A.5 – Epaisseur totale et sa tolérance	45
Tableau A.6 – Tolérance sur les trous d'insertion de composant	45
Tableau A.7 – Tolérance sur les positions des trous d'insertion de composant	46
Tableau A.8 – Distance entre la paroi d'un trou et le bord de la carte	47
Tableau A.9 – Espace minimal entre la paroi d'un trou et le conducteur de la couche interne	47
Tableau A.10 – Tolérance sur la largeur des conducteurs	49
Tableau A.11 – Tolérance sur la distance entre conducteurs	49

Tableau A.12 – Tolérance sur la largeur des bornes de contacts imprimés	51
Tableau A.13 – Tolérance sur la largeur des bornes de contacts imprimés	52
Tableau A.14 – Tolérance sur la largeur d'une pastille d'une zone de report	53
Tableau A.15 – Diamètre d'une pastille et sa tolérance pour un BGA/CSP	54
Tableau A.16 – Tolérance sur le diamètre d'une pastille (d) de BGA/CSP constitué d'épargne de brasage à l'ouverture	54
Tableau A.17 – Formes et tailles de repères conventionnels et de marques de positionnement de composant typiques.....	55
Tableau A.18 – Epaisseur minimale de la métallisation en cuivre.....	55

IECNORM.COM : Click to view the full PDF of IEC 61189-3-913:2016

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

**MÉTHODES D'ESSAI POUR LES MATÉRIAUX
ÉLECTRIQUES, LES CARTES IMPRIMÉES ET AUTRES
STRUCTURES D'INTERCONNEXION ET ENSEMBLES –****Partie 3-913: Méthodes d'essai pour la conductivité thermique
des circuits imprimés pour les LED à forte luminosité**

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 61189-3-913 a été établie par le comité d'études 91 de l'IEC: Techniques d'assemblage des composants électroniques.

Cette première édition annule et remplace la première édition de l'IEC PAS 61189-3-913 parue en 2011. Cette édition constitue une révision technique. Cette édition est consacrée uniquement aux méthodes d'essai relatives à la conductivité thermique spécifique aux circuits imprimés des LED à forte luminosité.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
91/1304A/FDIS	91/1328/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Une liste de toutes les parties de la série IEC 61189, publiées sous le titre général: *Méthodes d'essai pour les matériaux électriques, les cartes imprimées, et autres structures d'interconnexion et ensembles*, peut être consultée sur le site web de l'IEC.

Cette publication a été rédigée selon les Directives ISO/IEC, Partie 2.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

MÉTHODES D'ESSAI POUR LES MATÉRIAUX ÉLECTRIQUES, LES CARTES IMPRIMÉES ET AUTRES STRUCTURES D'INTERCONNEXION ET ENSEMBLES –

Partie 3-913: Méthodes d'essai pour la conductivité thermique des circuits imprimés pour les LED à forte luminosité

1 Domaine d'application

La présente partie de l'IEC 61189 spécifie les méthodes d'essai relatives à la conductivité thermique spécifique aux circuits imprimés des LED à forte luminosité. L'essai est applicable aux circuits imprimés pour les LED à forte luminosité, les LED pour montage en surface ou les LED intégrées à un appareil dans des dispositifs de commande électroniques (ECD, *Electronic Control Device*).

2 Références normatives

Les documents suivants sont cités en référence de manière normative, en intégralité ou en partie, dans le présent document et sont indispensables pour son application. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 60194, *Conception, fabrication et assemblage des cartes imprimées – Termes et définitions*

IEC 62326-20, *Cartes imprimées – Partie 20: Cartes de circuits imprimées destinées aux LED à haute luminosité*

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions donnés dans l'IEC 60194 s'appliquent, sauf spécification contraire.

4 Préconditionnement

Le preconditionnement décrit en a) ou en b) ci-dessous doit être réalisé selon la norme spécifique.

- Laisser une éprouvette pendant 24 h dans les conditions normalisées.
- Laisser un spécimen pendant 60 min dans une enceinte à thermostat à 85 °C, puis laisser le spécimen pendant 24 h $\pm$ 4 h dans des conditions atmosphériques normalisées.

5 Méthodes d'essai

5.1 Généralités

Dans la présente norme, les méthodes d'essai suivantes sont spécifiées pour classer le circuit imprimé conformément au Tableau 1 de l'IEC 62326-20.

5.2 Conductivité thermique

5.2.1 Mesure de la résistance thermique sur le plan

Dans ce paragraphe, la mesure de la résistance thermique sur le plan (direction horizontale du spécimen) est traitée de la manière suivante:

a) Appareillage

Utiliser l'appareillage spécifié dans l'EIA/JEDEC STD 51-2, ou équivalent. Le matériel doit comporter un ensemble constitué d'un spécimen et d'un couple thermoélectrique au centre d'une enceinte cubique de 30 cm de côté. Un appareil est présenté à la Figure 1.

b) Spécimen

Sauf spécification contraire, utiliser le spécimen représenté à la Figure 2. Les exigences sur les dimensions de la Figure 2 doivent être satisfaites. Ce spécimen utilise une puce pour groupe d'éléments d'essai (TEG: Test Element Group) (5 mm × 5 mm) équipée d'un capteur de température, connectée par fil au centre de la carte du spécimen. Cette puce sert de source de chaleur. La spécification particulière de la carte imprimée doit être conforme à l'Annexe A.

c) Préconditionnement

Le preconditionnement doit être conforme à l'Article 4. Le spécimen d'essai doit être fixé horizontalement dans l'enceinte du matériel.

d) Résistance thermique et paramètre de transfert de chaleur sur le plan (direction horizontale du spécimen). La procédure suivante doit être suivie:

- préparer un spécimen assemblé avec un élément chauffant muni d'une puce TEG équipée d'un capteur de température;
- spécifier le coefficient de température du capteur avant d'effectuer la mesure;
- faire fonctionner l'élément chauffant et ajuster la puissance appliquée (P) basée sur la plage de la résistance thermique sur le plan (direction horizontale du spécimen) comme l'indique le Tableau 1;
- mesurer la température de la puce TEG équipée d'un capteur de température (T_s) et la température à l'intérieur de l'enceinte (T_a), une fois que la température de la puce TEG équipée d'un capteur de température s'est stabilisée;
- calculer la résistance thermique sur le plan (direction horizontale du spécimen) (R_p) à partir de l'équation suivante:

$$R_p = (T_s - T_a) / P$$

- en utilisant la résistance thermique (R_p), calculer le paramètre du transfert thermique (h_e) à partir de l'équation suivante:

$$h_e = \frac{1}{R_p \times 0,0025} \quad \text{W/m}^2\text{K}$$

La vérification de l'équilibre doit être conforme à l'Annexe B.

Tableau 1 – Puissance appliquée (P) correspondant à la plage de la résistance thermique sur le plan

Puissance appliquée	Plage de la résistance thermique sur le plan (direction horizontale du spécimen) (R_p)
W	K/W
0,1	$300 > R_p$
0,2	$200 < R_p < 300$
0,3	$150 < R_p < 200$
0,4	$100 < R_p < 150$
0,75	$60 < R_p < 100$
1,0	$30 < R_p < 60$
2,0	$20 < R_p < 30$
3,0	$15 < R_p < 20$
5,0	$5 < R_p < 15$
10,0	$R_p < 5$

5.2.2 Mesure de la résistance thermique dans toute l'épaisseur

Dans ce paragraphe, la mesure de la résistance thermique dans toute l'épaisseur est traitée de la manière suivante:

a) Appareillage

L'appareillage d'essai est représenté à la Figure 3. L'appareillage doit être constitué d'un bloc métallique (aluminium ou cuivre) capable de soutenir le spécimen spécifié en 5.2.1 b) et d'un système de refroidissement destiné à maintenir la température du bloc métallique constante.

b) Spécimen

Le spécimen doit être tel que spécifié en 5.2.1 b).

c) Préconditionnement

Le preconditionnement doit être conforme à l'Article 4.

d) Essai

La procédure suivante doit être suivie:

- préparer un spécimen, qui est vissé sur le bloc métallique, assemblé avec un élément chauffant muni d'une puce TEG équipée d'un capteur de température;
- spécifier le coefficient de température du capteur avant d'effectuer la mesure;
- appliquer des matériaux conducteurs thermiques, tels que de la graisse thermique, entre le spécimen et le bloc métallique afin de réduire la résistivité thermique;
- installer un thermocouple à 10 mm du bord du spécimen;
- installer un autre thermocouple dans la cuve d'eau;
- fixer le bloc métallique au système de refroidissement;
- maintenir constante la température de l'eau à l'aide du système de refroidissement par eau, comme cela est présenté à la Figure 3;
- faire fonctionner l'élément chauffant et ajuster la puissance appliquée (P) basée sur la résistance thermique dans toute l'épaisseur, comme l'indique le Tableau 2;
- mesurer la température de la puce TEG équipée d'un capteur de température (T_s) et la température sur le bloc métallique (T_b), une fois que la température de la puce TEG équipée d'un capteur de température s'est stabilisée;

- calculer la résistance thermique dans toute l'épaisseur (R_t) à partir de l'équation suivante:

$$R_t = (T_s - T_b) / P \text{ (K/W)}$$

Le paramètre de conductivité thermique (Ke) doit être calculé par l'équation suivante en utilisant la valeur R_t .

$$Ke = \frac{t}{R_t \times 2,5 \times 10^{-5}} \quad \text{W/m}^2\text{K}$$

ou

t est l'épaisseur (m);

$2,5 \times 10^{-5}(\text{m}^2)$ est l'aire de la puce TEG équipée d'un capteur de température.

Tableau 2 – Puissance appliquée (P) correspondant à la plage de la résistance thermique dans toute l'épaisseur (K/W)

Puissance appliquée	Plage de la résistance thermique dans toute l'épaisseur (R_t)
W	K/W
0,1	$300 > R_t$
0,2	$200 < R_t < 300$
0,3	$150 < R_t < 200$
0,4	$100 < R_t < 150$
0,75	$60 < R_t < 100$
1,0	$30 < R_t < 60$
2,0	$20 < R_t < 30$
3,0	$15 < R_t < 20$
5,0	$5 < R_t < 15$
10,0	$R_t < 5$

Dimensions en millimètres

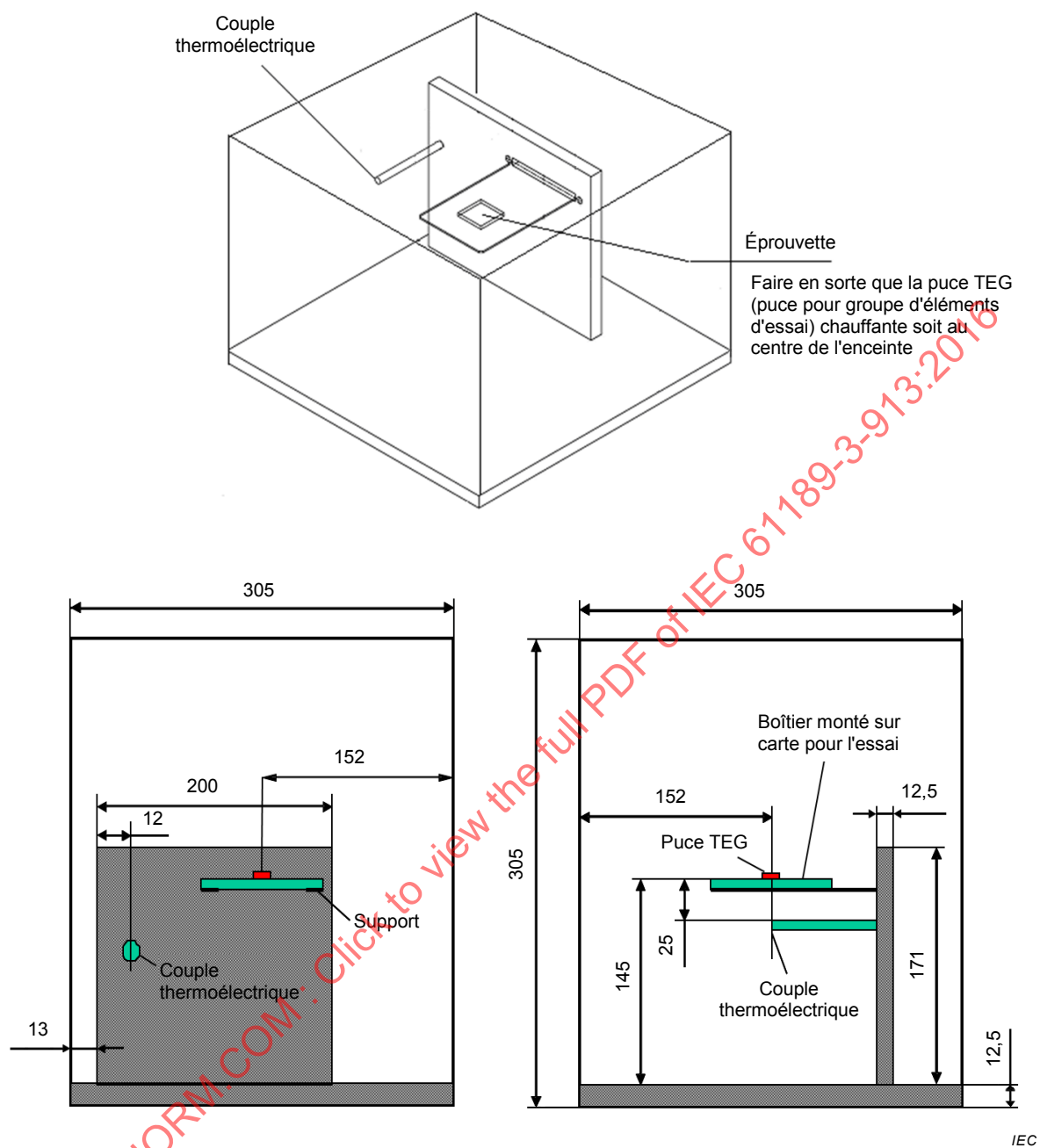
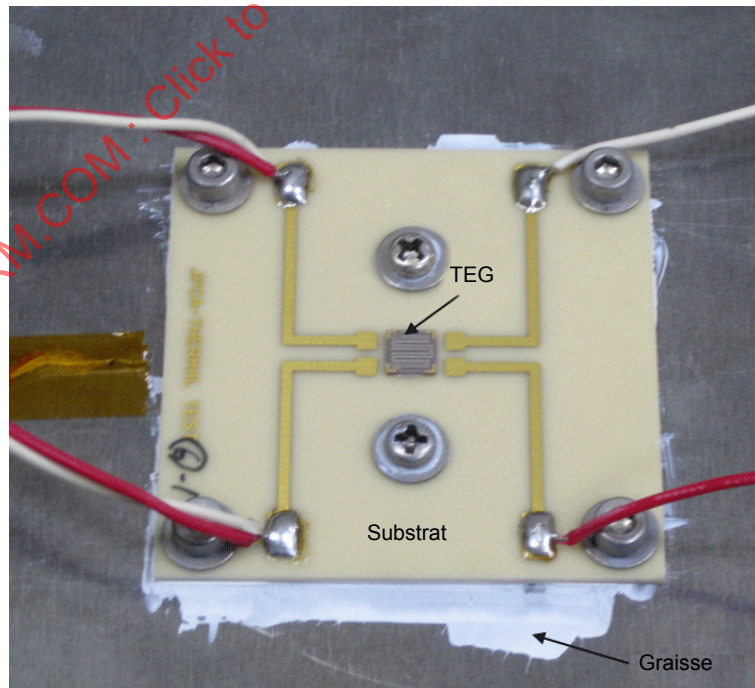
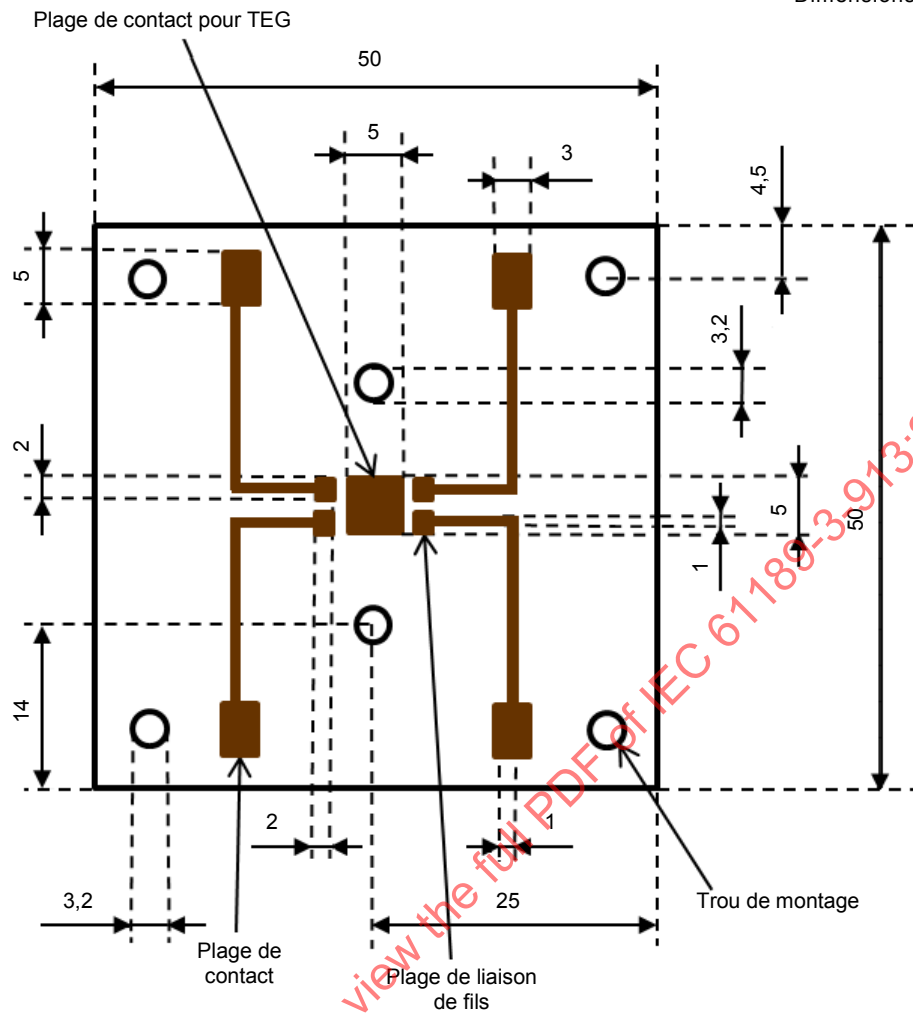


Figure 1 – Représentation d'un appareillage pour l'essai de conductivité thermique

Dimensions en millimètres



IEC

Figure 2 – Configuration du spécimen avec couche de surface pour l'essai de conductivité thermique

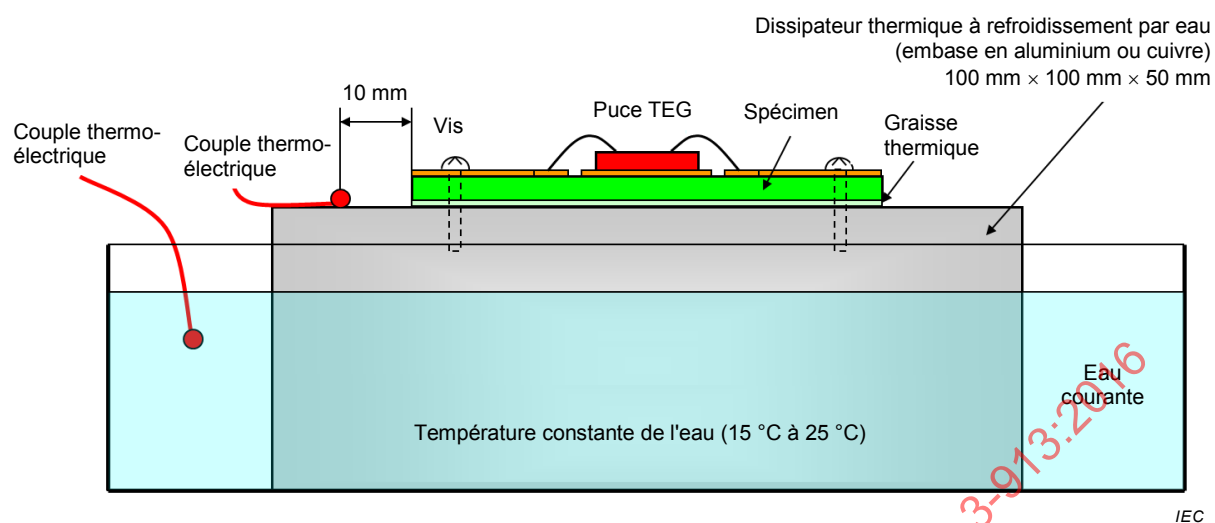


Figure 3 – Matériel d'essai de résistance thermique dans la direction de l'épaisseur

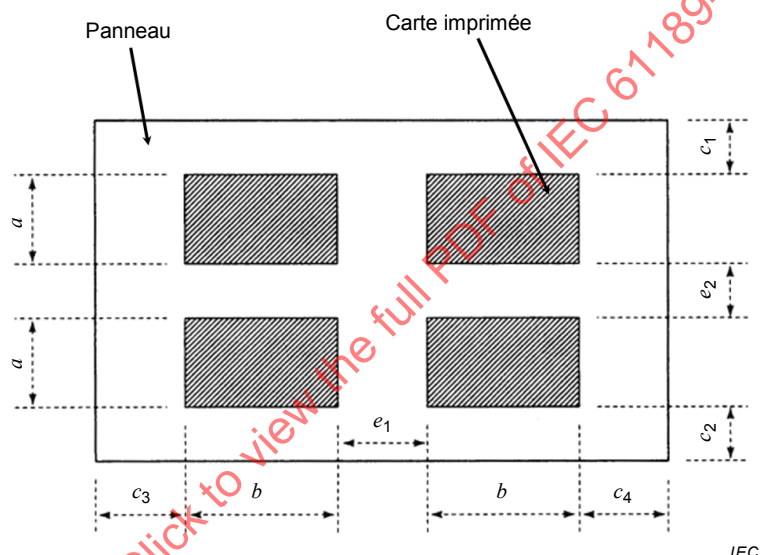
Annexe A (normative)

Cartes et panneaux

A.1 Tailles des panneaux et des cartes

A.1.1 Taille des cartes

Ce paragraphe est donné à titre de référence uniquement. Il convient de choisir la taille des cartes d'un produit ($a \times b$), présentées à la Figure A.1, de telle sorte que les cartes puissent être disposées de manière efficace dans un panneau dont la taille est spécifiée au Tableau A.1. Ces dimensions sont données à titre d'information uniquement. Sinon, un panneau approprié, dont la taille est donnée dans le Tableau A.1, doit être choisi pour permettre la disposition efficace exigée des cartes.



Légende

Taille des cartes du produit: $a \times b$

Espace entre les cartes et les bords du panneau: c_1, c_2, c_3, c_4

Espace entre les cartes: e_1, e_2

Figure A.1 – Disposition de cartes dans un panneau

Tableau A.1 – Dimensions des panneaux

Taille d'un panneau stratifié plaqué cuivre (CCL: Copper Clad Laminate)	Division			
	4	6	8	9
1 000 × 1 000	500 × 500	333 × 500	250 × 500	333 × 333
1 000 × 1 200	500 × 600	333 × 600 400 × 500	300 × 500	333 × 400
Dimensions en millimètres.				

A.1.2 Tolérance sur les dimensions

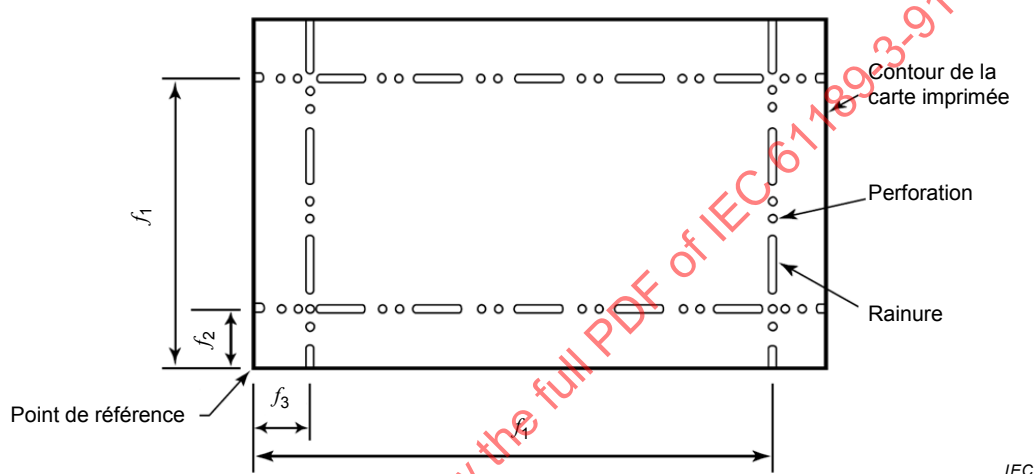
La tolérance sur les dimensions d'une carte ou d'un panneau est donnée au Tableau A.2.

Tableau A.2 – Tolérance sur les dimensions

Longueur mm	Tolérance mm
≤ 100	$\pm 0,2$
> 100	Ajouter 0,1 tous les 50 mm au-delà de 100 mm.

A.1.3 Perforations et rainures

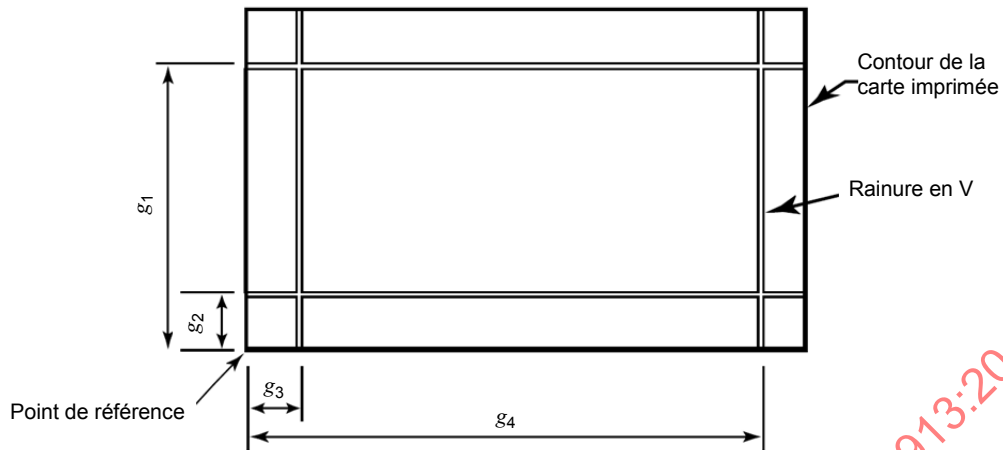
Les perforations et les rainures sont représentées à la Figure A.2. La tolérance sur les distances entre le point de référence et le centre d'une perforation et d'une rainure est donnée au Tableau A.3.

**Figure A.2 – Distances entre le point de référence et une perforation et une rainure****Tableau A.3 – Tolérance sur les distances entre le point de référence et une perforation et une rainure**

Distances entre le point de référence et une perforation et une rainure mm	Tolérance mm
≤ 100	$\pm 0,2$
> 100	Ajouter 0,1 tous les 50 mm au-delà de 100 mm.

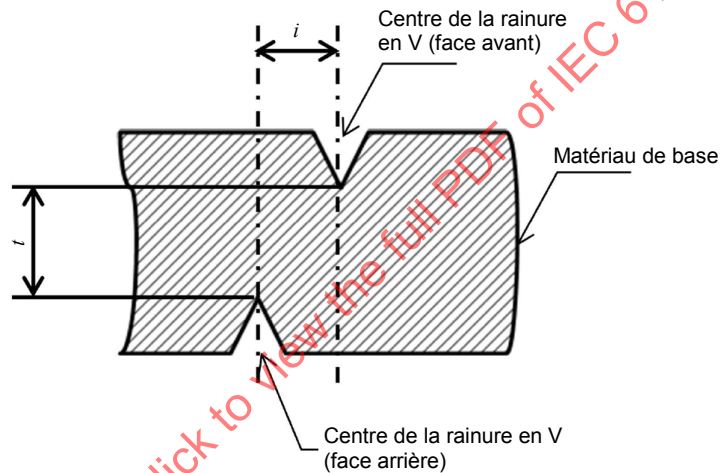
A.1.4 Rainure en V

La rainure en V est présentée à la Figure A.3 et à la Figure A.4. La tolérance sur la distance entre le point de référence et le centre d'une rainure en V (g_1 à g_4) est donnée au Tableau A.4. La tolérance sur l'écart de la position de la rainure en V sur la face avant et sur la face arrière est 0,2 mm, et la tolérance sur l'épaisseur non découpée de la carte est la somme des tolérances sur l'épaisseur de la carte $\pm 0,1$ mm.



IEC

Figure A.3 – Distance entre le point de référence et la rainure en V



IEC

Figure A.4 – Tolérance sur l'écart de la position de rainures en V sur la face avant et sur la face arrière

Tableau A.4 – Tolérance sur la distance entre le point de référence et le centre de la rainure en V

Distance entre le point de référence et le centre de la rainure en V mm	Tolérance mm
≤100	±0,2
>100	Ajouter 0,1 tous les 50 mm au-delà de 100 mm.

A.2 Epaisseur totale de la carte

La tolérance sur l'épaisseur totale de la carte (t) et les marques de symbole représentées à la Figure A.5 est donnée au Tableau A.5.

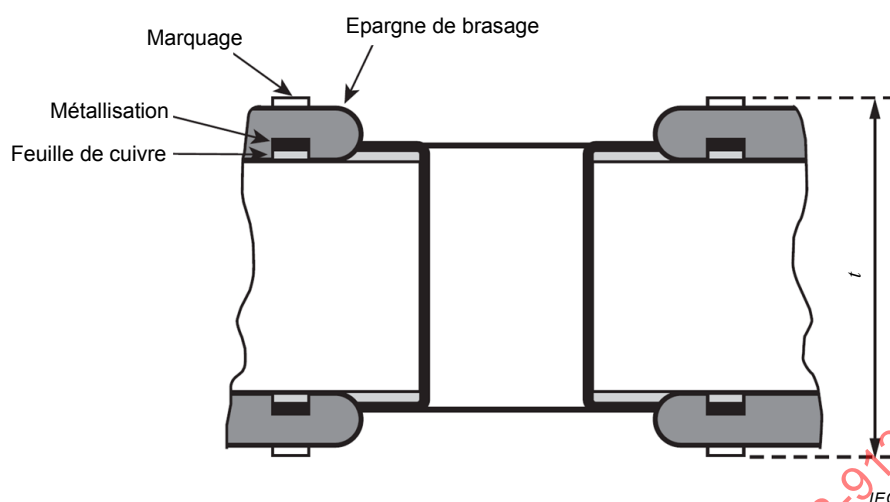


Figure A.5 – Carte imprimée avec marquage de symbole, épargne de brasage, feuille de cuivre et métallisation

Tableau A.5 – Epaisseur totale et sa tolérance

Epaisseur totale (valeur centrale de la carte finale) t	Tolérance
$0,3 \leq t < 0,5$	+0,10 –0,05
$0,5 \leq t < 0,8$	$\pm 0,10$
$0,8 \leq t < 1,10$	$\pm 0,15$
$1,10 \leq t < 1,40$	$\pm 0,17$
$1,40 \leq t < 2,00$	$\pm 0,19$
$t \geq 2,00$	$\pm 10 \%$
Dimensions en millimètres.	

A.3 Trous

A.3.1 Trous d'insertion et trous de liaison

Les exigences suivantes s'appliquent aux trous d'insertion et trous de liaison.

a) Tolérance sur les trous d'insertion de composant

La tolérance sur les trous d'insertion de composant est donnée au Tableau A.6. La tolérance donnée dans ce tableau ne s'applique pas aux trous de liaison (trous de liaison traversants, trous de liaison enterrés et trous de liaison borgnes). La tolérance sur les trous traversants de diamètre inférieur à 0,6 mm destinés à l'insertion d'un composant et sur les trous pour l'insertion en force d'un composant doit faire l'objet d'un accord entre l'utilisateur et le fournisseur.

Tableau A.6 – Tolérance sur les trous d'insertion de composant

Élément		Tolérance
Trous traversants métallisés	$0,6 \leq t < 2,0$	$\pm 0,10$
	$t \geq 2,0$	$\pm 0,15$
Trous traversants non métallisés		$\pm 0,10$
Dimensions en millimètres.		

b) Position d'un trou d'insertion de composant

Il convient que le centre d'un trou d'insertion de composant se trouve à l'intersection de lignes de la grille pour la conception des motifs, y compris les lignes complémentaires utilisées de la grille. La tolérance sur la position d'un trou d'insertion de composant, $|\vec{j}|$, c'est-à-dire l'écart entre la position d'un trou fini et la position de conception du trou par rapport au point de référence, comme cela est présenté à la Figure A.6, est donnée au Tableau A.7.

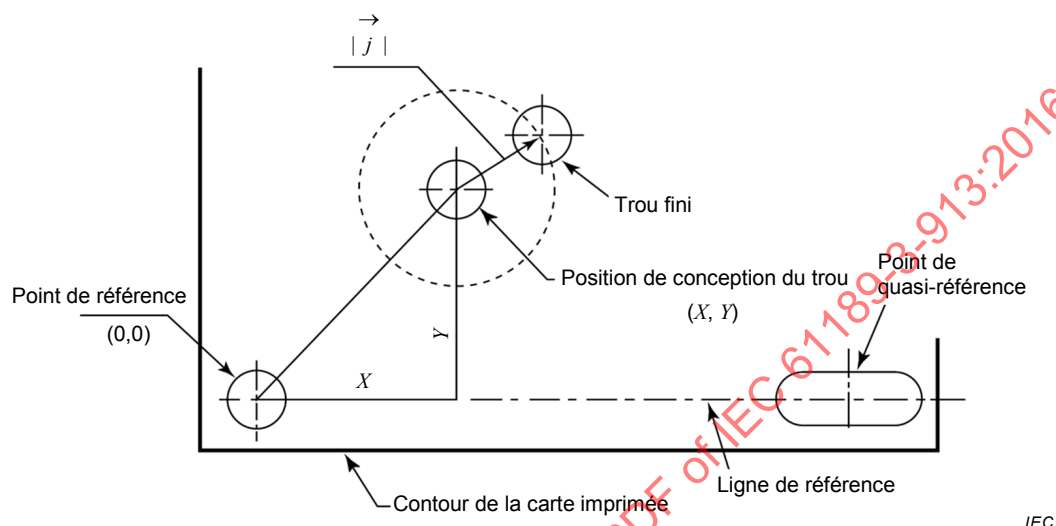


Figure A.6 – Positions des trous d'insertion de composant

Tableau A.7 – Tolérance sur les positions des trous d'insertion de composant

Plus longue dimension d'une carte rectangulaire mm	Tolérance mm
≤400	0,10
>400	Pour les cartes dépassant 400, ajouter 0,05 tous les 100

c) Distance entre le bord d'une carte et la paroi d'un trou

La distance entre le bord d'une carte et la paroi d'un trou (d) est présentée à la Figure A.7. La distance (d) entre les parois d'un trou traversant avant la métallisation et d'un trou d'insertion de composant doit être supérieure à 1,0 mm. La distance dans le cas d'un trou d'insertion en force doit être conforme au Tableau A.8.

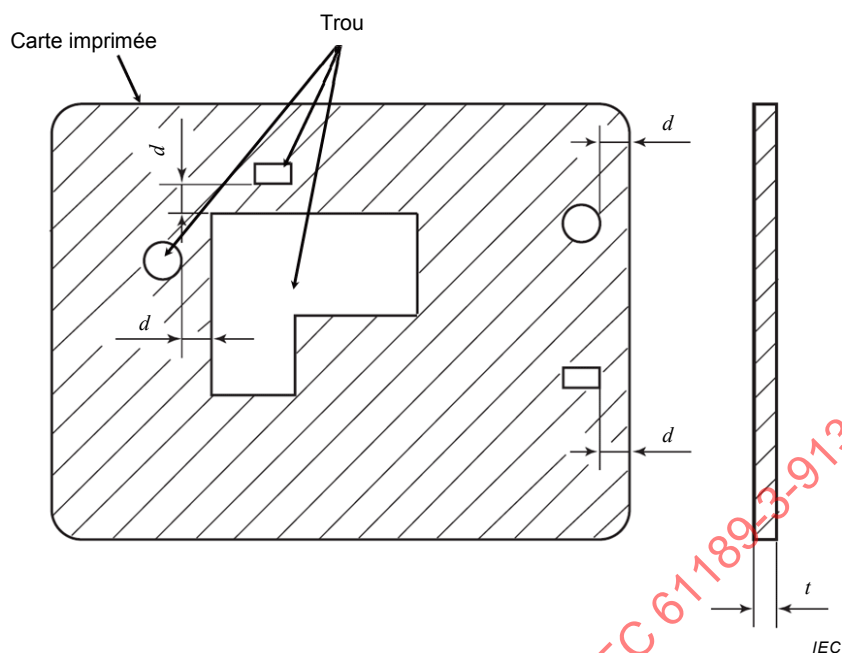


Figure A.7 – Distance entre la paroi d'un trou et le bord de la carte

Tableau A.8 – Distance entre la paroi d'un trou et le bord de la carte

Élément	Distance (j) entre le trou d'un composant avant métallisation et la paroi d'un trou de liaison (d)
Carte imprimée HDI	$\leq 1,0$ mm et plus grande que l'épaisseur (t) de la carte
Carte imprimée normalisée	$\leq 1,5$ mm et plus grande que l'épaisseur (t) de la carte

d) Espace minimal entre la paroi d'un trou et le conducteur de la couche interne

L'espace minimal entre la paroi d'un trou et le conducteur de la couche interne (k), comme présenté à la Figure A.8, doit être 0,325 mm. Et les dimensions détaillées sont spécifiées dans le Tableau A.9. Si une distance de 0,325 mm est garantie par la conception des motifs, la séparation minimale est garantie.

Tableau A.9 – Espace minimal entre la paroi d'un trou et le conducteur de la couche interne

Élément		Espace minimal entre la paroi d'un trou et le conducteur de la couche interne k	
		Valeur normalisée mm	Valeur minimale mm
Carte imprimée HDI	Trou pour composant	0,5	0,25
	Trou de liaison	0,30	
Carte imprimée normalisée	Trou pour composant	0,5	0,30
	Trou de liaison	0,35	