

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

61643-341

Première édition
First edition
2001-11

Composants pour parafoudres basse tension –

**Partie 341:
Spécifications pour les parafoudres
à thyristor**

**Components for low-voltage surge
protective devices –**

**Part 341:
Specification for thyristor surge
suppressors (TSS)**



Numéro de référence
Reference number
CEI/IEC 61643-341:2001

Numérotation des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000. Ainsi, la CEI 34-1 devient la CEI 60034-1.

Editions consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Informations supplémentaires sur les publications de la CEI

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique. Des renseignements relatifs à cette publication, y compris sa validité, sont disponibles dans le Catalogue des publications de la CEI (voir ci-dessous) en plus des nouvelles éditions, amendements et corrigenda. Des informations sur les sujets à l'étude et l'avancement des travaux entrepris par le comité d'études qui a élaboré cette publication, ainsi que la liste des publications parues, sont également disponibles par l'intermédiaire de:

- Site web de la CEI (www.iec.ch)
- Catalogue des publications de la CEI

Le catalogue en ligne sur le site web de la CEI (www.iec.ch/catlg-f.htm) vous permet de faire des recherches en utilisant de nombreux critères, comprenant des recherches textuelles, par comité d'études ou date de publication. Des informations en ligne sont également disponibles sur les nouvelles publications, les publications remplacées ou retirées, ainsi que sur les corrigenda.

- IEC Just Published

Ce résumé des dernières publications parues (www.iec.ch/JP.htm) est aussi disponible par courrier électronique. Veuillez prendre contact avec le Service client* (voir ci-dessous) pour plus d'informations.

- Service clients

Si vous avez des questions au sujet de cette publication ou avez besoin de renseignements supplémentaires, prenez contact avec le Service clients:

Email: custserv@iec.ch
Tél: +41 22 919 02 11
Fax: +41 22 919 03 00

Publication numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series. For example, IEC 34-1 is now referred to as IEC 60034-1.

Consolidated editions

The IEC is now publishing consolidated versions of its publications. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Further information on IEC publications

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology. Information relating to this publication, including its validity, is available in the IEC Catalogue of publications (see below) in addition to new editions, amendments and corrigenda. Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is also available from the following:

- IEC Web Site (www.iec.ch)
- Catalogue of IEC publications

The on-line catalogue on the IEC web site (www.iec.ch/catlg-e.htm) enables you to search by a variety of criteria including text searches, technical committees and date of publication. On-line information is also available on recently issued publications, withdrawn and replaced publications, as well as corrigenda.

- IEC Just Published

This summary of recently issued publications (www.iec.ch/JP.htm) is also available by email. Please contact the Customer Service Centre (see below) for further information.

- Customer Service Centre

If you have any questions regarding this publication or need further assistance, please contact the Customer Service Centre:

Email: custserv@iec.ch
Tel: +41 22 919 02 11
Fax: +41 22 919 03 00

**NORME
INTERNATIONALE
INTERNATIONAL
STANDARD**

**CEI
IEC**

61643-341

Première édition
First edition
2001-11

Composants pour parafoudres basse tension –

**Partie 341:
Spécifications pour les parafoudres
à thyristor**

**Components for low-voltage surge
protective devices –**

**Part 341:
Specification for thyristor surge
suppressors (TSS)**

© IEC 2001 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission
Telefax: +41 22 919 0300

3, rue de Varembe Geneva, Switzerland
e-mail: inmail@iec.ch IEC web site <http://www.iec.ch>



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE **XB**

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

AVANT-PROPOS	8
1 Domaine d'application	10
2 Références normatives	10
3 Termes, symboles littéraux et définitions	12
3.1 Termes paramétriques, symboles littéraux et définitions	12
3.1.1 Valeurs assignées des bornes principales	12
3.1.2 Caractéristiques des bornes maîtresses	14
3.1.3 Paramètres complémentaires et dérivés	16
3.1.4 Paramètres relatifs à la température	18
3.1.5 Paramètres de gâchette	20
3.2 Termes et définitions pour les TSS, les bornes et la terminologie caractéristique	24
3.2.1 TSS	24
3.2.2 Bornes	26
3.2.3 Caractéristiques	28
4 Fonction fondamentale et description des composants	34
4.1 Types de TSS	34
4.2 Structure fondamentale du dispositif	38
4.3 Circuit équivalent	40
4.4 Caractéristiques du quadrant de commutation	42
4.4.1 Zone de blocage	42
4.4.2 Zone d'avalanche	42
4.4.3 Zone à résistance négative	44
4.4.4 Zone d'état passant	44
4.5 Critère de performance d'un TSS	44
4.5.1 Charge du système	44
4.5.2 Protection de l'équipement	46
4.5.3 Tenue dans le temps	46
4.6 Structures complémentaires du TSS	46
4.6.1 TSS à gâchette	46
4.6.2 TSS à blocage unidirectionnel	48
4.6.3 TSS à conduction unidirectionnelle	50
4.6.4 TSS bidirectionnel	50
4.6.5 TSS bidirectionnel à triac	52
5 Méthodes d'essais normalisés	52
5.1 Conditions d'essais	52
5.1.1 Conditions atmosphériques normales	52
5.1.2 Erreurs de mesure	54
5.1.3 Précision de la mesure	54
5.1.4 Forme et valeurs de choc spécifiées	54
5.1.5 TSS multiples	54
5.1.6 Essai des TSS à gâchette	54
5.2 Conditions de fonctionnement	56
5.2.1 Conditions normales de fonctionnement	56
5.2.2 Conditions anormales	56

CONTENTS

FOREWORD.....	9
1 Scope.....	11
2 Normative references	11
3 Terms, letter symbols and definitions.....	13
3.1 Parametric terms, letter symbols and definitions.....	13
3.1.1 Main terminal ratings	13
3.1.2 Main terminal characteristics	15
3.1.3 Additional and derived parameters.....	17
3.1.4 Temperature related parameters.....	19
3.1.5 Gate terminal parameters	21
3.2 Terms and definitions for TSS, terminals and characteristic terminology.....	25
3.2.1 TSS.....	25
3.2.2 Terminals	27
3.2.3 Characteristic terminology	29
4 Basic function and component description	35
4.1 TSS types	35
4.2 Basic device structure	39
4.3 Device equivalent circuit.....	41
4.4 Switching quadrant characteristics	43
4.4.1 Off-state region	43
4.4.2 Breakdown region.....	43
4.4.3 Negative resistance region	45
4.4.4 On-state region	45
4.5 Performance criteria of TSS	45
4.5.1 System loading	45
4.5.2 Equipment protection.....	47
4.5.3 Durability.....	47
4.6 Additional TSS structures	47
4.6.1 Gated TSS.....	47
4.6.2 Unidirectional blocking TSS.....	49
4.6.3 Unidirectional conducting TSS.....	51
4.6.4 Bidirectional TSS.....	51
4.6.5 Bidirectional TRIAC TSS.....	53
5 Standard test methods.....	53
5.1 Test conditions	53
5.1.1 Standard atmospheric conditions	53
5.1.2 Measurement errors	55
5.1.3 Measurement accuracy.....	55
5.1.4 Designated impulse shape and values	55
5.1.5 Multiple TSS.....	55
5.1.6 Gated TSS testing	55
5.2 Service conditions	57
5.2.1 Normal service conditions.....	57
5.2.2 Abnormal service conditions	57

5.3	Modes de défaillance et d'avarie	56
5.3.1	Défaut de dégradation.....	56
5.3.2	Défaut à courant élevé de blocage	58
5.3.3	Défaut à courant inverse élevé	58
5.3.4	Défaut à tension de retournement élevée	58
5.3.5	Défaut à courant de maintien faible	58
5.3.6	Défaut catastrophique (cataleptique).....	58
5.3.7	Défaut en court-circuit.....	58
5.3.8	Défaut en circuit ouvert.....	58
5.3.9	Défaut critique	58
5.3.10	Fonctionnement «sûr»	60
5.4	Procédures d'essais des caractéristiques.....	60
5.4.1	Tension de pointe répétitive à l'état bloqué, V_{DRM}	60
5.4.2	Courant de crête répétitif à l'état passant, I_{TRM}	62
5.4.3	Courant de crête non répétitif à l'état passant, I_{TSM}	64
5.4.4	Courant de crête de choc non répétitif, I_{PPSM}	66
5.4.5	Tension de crête inverse répétitive, V_{RRM}	68
5.4.6	Courant de crête direct non répétitif, I_{FSM}	68
5.4.7	Courant de crête direct répétitif, I_{FRM}	70
5.4.8	Taux de montée critique du courant à l'état passant, di/dt	70
5.5	Procédures d'essais des caractéristiques.....	72
5.5.1	Courant à l'état bloqué, I_D	72
5.5.2	Courant de crête à l'état bloqué répétitif, I_{DRM}	74
5.5.3	Courant de crête inverse répétitif, I_{RRM}	74
5.5.4	Tension ($V_{(BO)}$) et courant ($I_{(BO)}$) de retournement	74
5.5.5	Tension à l'état passant, V_T	78
5.5.6	Courant de maintien, I_H	86
5.5.7	Capacité à l'état bloqué, C_0	86
5.5.8	Tension de claquage, $V_{(BR)}$	90
5.5.9	Tension et courant de commutation, V_S et I_S	92
5.5.10	Tension directe, V_F	94
5.5.11	Tension de crête directe de recouvrement, V_{FRM}	94
5.5.12	Taux de croissance critique de la tension à l'état bloqué, dv/dt	96
5.5.13	Coefficient de température de la tension de claquage, $\alpha_{V(BR)}$	96
5.5.14	Variation du courant de maintien avec la température.....	98
5.5.15	Déclassement en température.....	98
5.5.16	Résistance thermique R_{th}	98
5.5.17	Impédance thermique transitoire, $Z_{th(t)}$	100
5.5.18	Tension et courant de crête gâchette-borne adjacente à l'état bloqué, V_{GDM} , I_{GDM}	104
5.5.19	Courant inverse de gâchette, borne adjacente ouverte, I_{GAO} , I_{GKO}	104
5.5.20	Courant inverse de gâchette, bornes maîtresses en court-circuit, I_{GAS} , I_{GKS}	106
5.5.21	Courant inverse de gâchette, à l'état passant, I_{GAT} , I_{GKT}	106
5.5.22	Courant inverse de gâchette, à l'état passant direct, I_{GAF} , I_{GKF}	108
5.5.23	Charge de commutation de la gâchette Q_{GS}	110
5.5.24	Courant de commutation de crête de gâchette I_{GSM}	114
5.5.25	Tension de retournement gâchette-borne adjacente $V_{GK(BO)}$, $V_{GA(BO)}$	116

5.3	Failures and fault modes	57
5.3.1	Degradation failure	57
5.3.2	High off-state current fault mode	59
5.3.3	High reverse current fault mode	59
5.3.4	High breakover voltage fault mode	59
5.3.5	Low holding current fault mode	59
5.3.6	Catastrophic (cataleptic) failure	59
5.3.7	Short-circuit fault mode	59
5.3.8	Open-circuit fault mode	59
5.3.9	Critical failure	59
5.3.10	Fail-safe	61
5.4	Rating test procedures	61
5.4.1	Repetitive peak off-state voltage – V_{DRM}	61
5.4.2	Repetitive peak on-state current – I_{TRM}	63
5.4.3	Non-repetitive peak on-state current – I_{TSM}	65
5.4.4	Non-repetitive peak pulse current, I_{PPSM}	67
5.4.5	Repetitive peak reverse voltage, V_{RRM}	69
5.4.6	Non-repetitive peak forward current, I_{FSM}	69
5.4.7	Repetitive peak forward current, I_{FRM}	71
5.4.8	Critical rate of rise of on-state current, di/dt	71
5.5	Characteristic test procedures	73
5.5.1	Off-state current, I_D	73
5.5.2	Repetitive peak off-state current, I_{DRM}	75
5.5.3	Repetitive peak reverse current, I_{RRM}	75
5.5.4	Breakover voltage – $V_{(BO)}$ and current, $I_{(BO)}$	75
5.5.5	On-state voltage, V_T	79
5.5.6	Holding current, I_H	87
5.5.7	Off-state capacitance, C_O	87
5.5.8	Breakdown voltage, $V_{(BR)}$	91
5.5.9	Switching voltage, V_S and current, I_S	93
5.5.10	Forward voltage, V_F	95
5.5.11	Peak forward recovery voltage, V_{FRM}	95
5.5.12	Critical rate of rise of off-state voltage, dv/dt	97
5.5.13	Temperature coefficient of breakdown voltage, $V_{(BR)}$	97
5.5.14	Variation of holding current with temperature	99
5.5.15	Temperature derating	99
5.5.16	Thermal resistance, R_{th}	99
5.5.17	Transient thermal impedance, $Z_{th(t)}$	101
5.5.18	Gate-to-adjacent terminal peak off-state voltage and peak off-state gate current, V_{GDM} , I_{GDM}	105
5.5.19	Gate reverse current, adjacent terminal open, I_{GAO} , I_{GKO}	105
5.5.20	Gate reverse current, main terminals short-circuited, I_{GAS} , I_{GKS}	107
5.5.21	Gate reverse current, on-state, I_{GAT} , I_{GKT}	107
5.5.22	Gate reverse current, forward conducting state, I_{GAF} , I_{GKF}	109
5.5.23	Gate switching charge, Q_{GS}	111
5.5.24	Peak gate switching current, I_{GSM}	115
5.5.25	Gate-to-adjacent terminal breakover voltage, $V_{GK(BO)}$, $V_{GA(BO)}$	117

Annexe A (normative) Conditions anormales de fonctionnement	118
A.1 Conditions d'environnement	118
A.2 Conditions mécaniques	118
A.3 Facteurs variés	120
 Annexe B (informative) Normes de vérification américaines avec formes d'ondes de choc de référence	 122
B.1 Matériel de vérification du Bureau Central	122
B.2 Matériel de vérification chez le client	122
B.3 Formes d'ondes d'essai	122

IECNORM.COM Click to view the full PDF of IEC 61643-341:2001

Annex A (normative) Abnormal service conditions.....	119
A.1 Environmental conditions.....	119
A.2 Mechanical conditions	119
A.3 Miscellaneous factors	121
 Annex B (informative) US verification standards with referenced impulse waveforms	123
B.1 Central office equipment verification.....	123
B.2 Customer premise equipment verification	123
B.3 Test waveforms	123

IECNORM.COM Click to view the full PDF of IEC 61643-341:2001

Withdrawn

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

COMPOSANTS POUR PARAFODRES BASSE TENSION –

Partie 341: Spécifications pour les parafoudres à thyristor

AVANT-PROPOS

- 1) La CEI (Commission Électrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
- 3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, spécifications techniques, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
- 5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
- 6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 61643-341 a été établie par le sous-comité 37B: Composants spécifiques aux parafoudres et aux dispositifs de protection contre les surtensions, du comité d'études 37 de la CEI: Parafoudres.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
37B/58/FDIS	37B/61/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 3.

L'annexe A fait partie intégrante de cette norme.

L'annexe B est donnée uniquement à titre d'information.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant 2005. A cette date, la publication sera

- reconduite;
- supprimée;
- remplacée par une édition révisée, ou
- amendée.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

COMPONENTS FOR LOW-VOLTAGE SURGE PROTECTIVE DEVICES –**Part 341: Specification for thyristor surge suppressors (TSS)**

FOREWORD

- 1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.
- 3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical specifications, technical reports or guides and they are accepted by the National Committees in that sense.
- 4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
- 5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
- 6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 61643-341 has been prepared by subcommittee 37B, Specific components for surge arresters and surge protective devices, of IEC technical committee 37: Surge arresters.

The text of this standard is based on the following documents:

FDIS	Report on voting
37B/58/FDIS	37B/61/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 3.

Annex A forms an integral part of this standard.

Annex B is for information only.

The committee has decided that the contents of this publication will remain unchanged until 2005. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition, or
- amended.

COMPOSANTS POUR PARAFODRES BASSE TENSION –

Partie 341: Spécifications pour les parafoudres à thyristor

1 Domaine d'application

La présente partie de la CEI 61643 est une norme de spécification d'essai pour les composants de parafoudres à thyristor (TSS) destinés à limiter les surtensions et à écouler les courants de foudre par des actions de dérivation. Ces composants peuvent être utilisés dans la construction de dispositifs de protection contre la foudre, particulièrement dans le domaine des télécommunications.

La présente norme contient des indications sur

- les termes, symboles littéraires et définitions,
- les fonctions fondamentales, les configurations et la structure des composants,
- les conditions de fonctionnement et les modes de défaillance,
- la vérification et la mesure des caractéristiques.

2 Références normatives

Les documents normatifs suivants contiennent des dispositions qui, par suite de la référence qui y est faite, constituent des dispositions valables pour la présente partie de la CEI 61643. Pour les références datées, les amendements ultérieurs ou les révisions de ces publications ne s'appliquent pas. Toutefois, les parties prenantes aux accords fondés sur la présente partie de la CEI 61643 sont invitées à rechercher la possibilité d'appliquer les éditions les plus récentes des documents normatifs indiqués ci-après. Pour les références non datées, la dernière édition du document normatif en référence s'applique. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

CEI 60050(191), *Vocabulaire Electrotechnique International (VEI) – Chapitre 191: Sûreté de fonctionnement et qualité de service*

CEI 60050(702), *Vocabulaire Electrotechnique International (VEI) – Chapitre 702: Oscillations, signaux et dispositifs associés*

CEI 60099-4, *Parafoudres – Partie 4: Parafoudres à oxyde métallique sans éclateur pour réseaux à courant alternatif*

CEI 60721-3-3, *Classification des conditions d'environnement – Partie 3: Classification des groupements des agents d'environnement et de leurs sévérités – Section 3: Utilisation à poste fixe, protégé contre les intempéries*

CEI 60721-3-9, *Classification des conditions d'environnement – Partie 3: Classification des groupes des paramètres d'environnement et leurs sévérités – Section 9: Microclimats à l'intérieur des produits*

CEI 60747-1:1983, *Dispositifs à semiconducteurs – Dispositifs discrets – Première partie: Généralités*

CEI 60747-2:1983, *Dispositifs à semiconducteurs – Dispositifs discrets et circuits intégrés – Partie 2: Diodes de redressement*

COMPONENTS FOR LOW-VOLTAGE SURGE PROTECTIVE DEVICES –

Part 341: Specification for thyristor surge suppressors (TSS)

1 Scope

This part of IEC 61643 is a test specification standard for thyristor surge suppressor (TSS) components designed to limit overvoltages and divert surge currents by clipping and crowbarring actions. Such components are used in the construction of surge protective devices, particularly as they apply to telecommunications.

This standard contains information on

- terms, letter symbols, and definitions
- basic functions, configurations and component structure
- service conditions and fault modes
- rating verification and characteristic measurement

2 Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this part of IEC 61643. For dated references, subsequent amendments to, or revisions of, any of these publications do not apply. However, parties to agreements based on this part of IEC 61643 are encouraged to investigate the possibility of applying the most recent editions of the normative documents indicated below. For undated references, the latest edition of the normative document referred to applies. Members of IEC and ISO maintain registers of currently valid International Standards.

IEC 60050(191), *International Electrotechnical Vocabulary – Chapter 191: Dependability and quality of service*

IEC 60050(702), *International Electrotechnical Vocabulary – Chapter 702: Oscillations, signals and related devices*

IEC 60099-4, *Surge arrestors – Part 4: Metal-oxide surge arrestors without gaps for a.c. systems*

IEC 60721-3-3, *Classification of environmental conditions – Part 3: Classification of groups of environmental parameters and their severities – Section 3: Stationary use at weather-protected locations*

IEC 60721-3-9, *Classification of environmental conditions – Part 3: Classification of groups of environmental parameters and their severities – Section 9: Microclimates inside products*

IEC 60747-1:1983, *Semiconductor devices – Discrete devices and integrated circuits – Part 1: General*

IEC 60747-2: 1983, *Semiconductor devices Discrete devices and integrated circuits – Part 2: Rectifier diodes*

CEI 60747-6:1983, *Dispositifs à semiconducteurs – Dispositifs discrets et circuits intégrés – Sixième partie: Thyristors*

NOTE Le parafoudre à thyristor présente des caractéristiques et des utilisations assez différentes de celles des thyristors traités dans la CEI 60747-6. Ces différences nécessitent la modification de la description de quelques caractéristiques et l'introduction de nouveaux termes. Ces changements sont indiqués dans l'article 3.

CEI 60749:1996, *Dispositifs à semiconducteurs – Essais mécaniques et climatiques*

CEI 61000-4-5:1995, *Compatibilité électromagnétique (CEM) – Partie 4: Techniques d'essai et de mesures – Section 5: Essai d'immunité aux ondes de choc*

CEI 61083-1:1991, *Enregistreurs numériques pour les mesures pendant les essais de choc à haute tension – Partie 1: Prescriptions pour les enregistreurs numériques*

ITU-T Recommandation K.20:1996, *Immunité des équipements de commutation des télécommunications aux surtensions et aux surintensités*

ITU-T Recommandation K.21:1996, *Immunité des terminaux d'abonnés aux surtensions et aux surintensités*

ITU-T Recommandation K.28:1993, *Caractéristiques des modules de parasurtension à semiconducteurs destinés à assurer la protection des installations de télécommunication*

3 Termes, symboles littéraux et définitions

Pour les besoins de la présente partie de la CEI 61643, les termes et définitions suivants sont applicables.

3.1 Termes paramétriques, symboles littéraux et définitions

Quand cela est approprié, les termes, symboles littéraux et définitions des normes existantes sur des thyristors (CEI 60747-6) et des diodes redresseuses (CEI 60747-2) sont utilisés

NOTE 1 Comme indiqué en 2.1.1 du chapitre V de la CEI 60747-1, la CEI 60027 recommande l'utilisation des lettres V et v pour les tensions au lieu de U et u; cependant, dans le domaine des dispositifs à semiconducteurs, les lettres V et v pour les tensions sont largement utilisées, et dans la présente publication elles le sont autant que les lettres U et u. La présente norme utilise les lettres V et v pour les tensions et les lettres U et u en remplacement.

NOTE 2 Si plusieurs formes de symboles sont utilisées, la plus commune est donnée en premier.

3.1.1 Valeurs assignées des bornes principales

Les valeurs assignées présentées traitent des prescriptions relatives aux quadrants de blocage, de conduction et de commutation.

3.1.1.1

tension de pointe répétitive à l'état bloqué, V_{DRM}

valeur assignée instantanée maximale (crête) de la tension à l'état bloqué, y compris toutes les tensions transitoires c.c. répétitives ou non

3.1.1.2

courant de pointe répétitif à l'état passant, I_{TRM}

valeur assignée maximale (crête) du courant alternatif à l'état passant de forme d'onde et de fréquence spécifiées pouvant être appliqué en permanence

IEC 60747-6:1983, *Semiconductor devices – Discrete devices and integrated circuits – Part 6: Thyristors*

NOTE The TSS has substantially different characteristics and usage to the type of thyristor covered by IEC 60747-6. These differences necessitate the modification of some characteristic descriptions and the introduction of new terms. Such changes and additions are indicated in clause 3.

IEC 60749:1996, *Semiconductor devices – Mechanical and climatic test methods*

IEC 61000-4-5:1995, *Electromagnetic compatibility (EMC) – Part 4: Testing and measurement techniques – Section 5: Surge immunity test*

IEC 61083-1:1991 *Digital recorders for measurements in high-voltage impulse tests – Part 1: Requirements for digital recorders*

ITU-T Recommendation K.20:1996 *Resistibility of telecommunication switching equipment to overvoltages and overcurrents*

ITU-T Recommendation K.21:1996 *Resistibility of subscribers' terminal to overvoltages and overcurrents*

ITU-T Recommendation K.28:1993 *Characteristics of semi-conductor arrester assemblies for the protection of telecommunications installations*

3 Terms, letter symbols and definitions

For the purpose of this part of IEC 61643, the following definitions apply.

3.1 Parametric terms, letter symbols and definitions

Where appropriate, terms, letter symbols and definitions are used from existing thyristor (IEC 60747-6) and rectifier diode (IEC 60747-2) standards.

NOTE 1 IEC 60747-1, chapter V, clause 2.1.1, states "IEC 60027 recommends the letters V and v only as reserve symbols for voltage; however, in the field of semiconductor devices, they are so widely used that in this publication they are on the same plane as U and u ." This standard uses the letters V and v for voltage with the letters U and u as alternatives.

NOTE 2 When several distinctive forms of letter symbol exist, the most commonly used form is given first.

3.1.1 main terminal ratings

listed ratings cover the appropriate requirements of the blocking, conducting and switching quadrants

3.1.1.1 repetitive peak off-state voltage, V_{DRM}

rated maximum (peak) instantaneous voltage that may be applied in the off-state conditions including all d.c. and repetitive voltage components

3.1.1.2 repetitive peak on-state current, I_{TRM}

rated maximum (peak) value of a.c. power frequency on-state current of specified waveshape and frequency which may be applied continuously

3.1.1.3

courant de pointe non répétitif à l'état passant, I_{TSM}

valeur assignée maximale (crête) du courant alternatif crête à l'état passant de forme d'onde et de fréquence spécifiées pouvant être appliqué pendant un temps spécifié ou un nombre de cycles alternatifs

3.1.1.4

courant de pointe non répétitif de choc, I_{PPSM} , I_{TSM}

valeur assignée maximale (crête) du courant de choc de crête de forme d'onde et de fréquence spécifiées pouvant être appliqué

NOTE Il existe plusieurs symboles pour cette caractéristique; ils sont comparés ci-dessous:

I_{PPSM}	Définition techniquement correcte car c'est la valeur maximale ou crête (M) non répétitive (S) de I_{PP} .
I_{TSM}	Définition non correcte pour des chocs brefs car la valeur maximale (M) du courant non répétitif (S) peut ne pas se produire si le dispositif est à l'état passant (T).
I_{PPM}	L'utilisation de ce symbole pour une valeur non répétitive est déconseillée. Ce symbole représente la valeur assignée maximale répétitive (M) de I_{PP} .
I_{PP}	L'utilisation de ce symbole pour une valeur assignée est déconseillée. Le terme courant de choc de crête est un paramètre du circuit et est défini comme un courant de crête d'une série de chocs pratiquement identiques.

3.1.1.5

tension inverse de crête répétitive, V_{RRM}

valeur instantanée assignée maximale (crête) de la tension inverse pouvant être appliquée, y compris les composantes répétitives des tensions alternatives et continues

3.1.1.6

courant direct de crête non répétitif, I_{FSM}

valeur assignée maximale (crête) du courant alternatif direct de choc de forme et de fréquence spécifiées, pouvant être appliqué pendant un temps spécifié ou un nombre de cycles alternatifs

3.1.1.7

courant direct de crête répétitif, I_{FRM}

valeur assignée maximale (crête) du courant direct de choc de forme et de fréquence spécifiées, pouvant être appliqué de façon permanente

3.1.1.8

taux critique de montée du courant à l'état passant, di/dt (di_T/dt)_{cr}

valeur assignée du taux de montée du courant que le dispositif peut supporter sans dommage

3.1.2 Caractéristiques des bornes maîtresses

3.1.2.1

tension à l'état bloqué, V_D

tension continue lorsque le dispositif est à l'état bloqué

3.1.2.2

courant à l'état bloqué, I_D

courant continu dû à la tension à l'état bloqué V_D

3.1.2.3

courant de crête répétitif à l'état bloqué, I_{DRM}

valeur maximale (crête) du courant à l'état bloqué due à l'application de la tension inverse de pointe répétitive V_{DRM}

3.1.1.3**non-repetitive peak on-state current, I_{TSM}**

rated maximum (peak) value of a.c. power frequency on-state surge current of specified waveshape and frequency which may be applied for a specified time or number of a.c. cycles

3.1.1.4**non-repetitive peak impulse current, I_{PPSM} , I_{TSM}**

rated maximum value of peak impulse current of specified amplitude and waveshape that may be applied

NOTE There are several symbols that are used for this rating. The merits of these symbols are as follows:

I_{PPSM} This is technically correct as it is the maximum (M) non-repetitive (S) value of I_{PP} .

I_{TSM} For short duration impulses this is not technically correct as the maximum (M) value of non-repetitive (S) current may not occur when the device is in the on-state (T) condition.

I_{PPM} The use of this symbol for a non-repetitive value is discouraged. This symbol is the rated maximum (M) repetitive value of I_{PP} .

I_{PP} The use of this symbol for a rated value is discouraged. The term peak impulse current is a circuit parameter and is defined as the peak current for a series of essentially identical pulses.

3.1.1.5**repetitive peak reverse voltage, V_{RRM}**

rated maximum (peak) instantaneous voltage that may be applied in the reverse blocking direction including all d.c. and repetitive voltage components

3.1.1.6**non-repetitive peak forward current, I_{FSM}**

rated maximum (peak) value of a.c. power frequency forward surge current of specified waveshape and frequency which may be applied for a specified time or number of a.c. cycles

3.1.1.7**repetitive peak forward current, I_{FRM}**

rated maximum (peak) value of a.c. power frequency forward current of specified waveshape and frequency which may be applied continuously

3.1.1.8**critical rate of rise of on-state current, di/dt , $(di_T/dt)_{cr}$**

rated value of the rate of rise of current which the device can withstand without damage

3.1.2 Main terminal characteristics**3.1.2.1****off-state voltage, V_D**

d.c. voltage when the device is in the off-state

3.1.2.2**off-state current, I_D**

d.c. value of current that results from the application of the off-state voltage, V_D

3.1.2.3**repetitive peak off-state current, I_{DRM}**

maximum (peak) value of off-state current that results from the application of the repetitive peak off-state voltage, V_{DRM}

3.1.2.4

tension de retournement, $V_{(BO)}$

tension maximale dans le dispositif ou dans une région de retournement mesurée dans des conditions spécifiées de montée de tension et du courant

NOTE Si une caractéristique de retournement présente plusieurs valeurs de $V_{(BO)}$ devant être référencées, un suffixe numérique peut être ajouté et les courants correspondants spécifiés, par exemple:

$$V_{(BO)1}, 0 < I_{(BR)} < 10 \text{ mA}$$

3.1.2.5

courant de maintien, I_H

courant minimal d'anode, principal ou de thyristor nécessaire pour maintenir le thyristor à l'état passant

3.1.2.6

capacité à l'état bloqué, C_o , C_J

capacité différentielle des bornes spécifiées à l'état bloqué mesurée pour des valeurs spécifiées de la fréquence, f , de l'amplitude, V_d , et de la tension continue à l'état bloqué V_D

3.1.2.7

courant inverse de crête répétitif, I_{RRM}

valeur assignée maximale (crête) du courant inverse dû à l'application de la tension inverse de crête répétitive V_{RRM}

3.1.2.8

tension de recouvrement de pointe directe, V_{FRM}

tension maximale de la tension de conduction directe dans le dispositif s'il est soumis à une valeur spécifiée de montée de tension et de courant après la mise à zéro ou des conditions spécifiées de tension inverse

3.1.2.9

taux critique de montée du courant à l'état bloqué, dv/dt (dv_D/dt)_{cr}

valeur assignée maximale du taux de montée de la tension (inférieure à V_{DRM}) qui n'entraîne pas la commutation de l'état bloqué à l'état passant

3.1.3 Paramètres complémentaires et dérivés

Les paramètres dérivés et mesurés suivants peuvent être nécessaires pour des comparaisons, certaines applications ou des processus statistiques.

3.1.3.1

tension inverse de claquage, $V_{(BR)}$

tension dans la région de claquage (avant le point de retournement) pour un courant spécifié de claquage $I_{(BR)}$

NOTE Pour des dispositifs de pente de claquage positif, $V_{(BR)}$ peut être utilisée en lieu et place de V_{DRM} .

3.1.3.2

courant de claquage, $I_{(BR)}$

courant, dans le dispositif, dans la région de claquage

3.1.3.3

courant de retournement, $I_{(BO)}$

courant instantané circulant sous la tension de retournement, $V_{(BO)}$

3.1.2.4**breakover voltage, $V_{(BO)}$**

maximum voltage across the device in or at the breakdown region measured under specified voltage rate of rise and current rate of rise

NOTE Where a breakdown characteristic has several $V_{(BO)}$ values that need to be referenced, a numeric suffix can be added and the relevant part of the breakdown current range specified, e.g.

$$V_{(BO)1}, 0 < I_{(BR)} < 10 \text{ mA}$$

3.1.2.5**holding current, I_H**

minimum anode, principal, or thyristor current that maintains the thyristor in the on-state

3.1.2.6**off-state capacitance, C_o , C_J**

differential capacitance at the specified terminals in the off-state measured at specified frequency, f , amplitude, V_d and d.c. bias, V_D

3.1.2.7**repetitive peak reverse current, I_{RRM}**

maximum (peak) value of reverse current that results from the application of the repetitive peak reverse voltage, V_{RRM}

3.1.2.8**peak forward recovery voltage, V_{FRM}**

maximum value of forward conduction voltage across the device upon the application of a specified voltage rate of rise and current rate of rise following a zero or specified reverse-voltage condition

3.1.2.9**critical rate of rise of off-state voltage, dv/dt , $(dv_D/dt)_{cr}$**

maximum rate of rise of voltage (below V_{DRM}) that does not cause switching from the off state to the on state

3.1.3 Additional and derived parameters

The following derived and measured parameters may be necessary or useful for comparison, certain applications or statistical process controls.

3.1.3.1**breakdown voltage, $V_{(BR)}$**

voltage across the device in the breakdown region (prior to the switching point) at a specified breakdown current, $I_{(BR)}$

NOTE For positive breakdown slope devices, $V_{(BR)}$ may be used as an alternative to V_{DRM} .

3.1.3.2**breakdown current, $I_{(BR)}$**

current through the device in the breakdown region

3.1.3.3**breakover current, $I_{(BO)}$**

instantaneous current flowing at the breakover voltage, $V_{(BO)}$

3.1.3.4

tension de commutation, V_S

tension instantanée dans le dispositif en fin de la région de claquage avant le passage à l'état passant

3.1.3.5

courant de commutation, I_S

courant instantané s'écoulant dans le dispositif sous la tension de commutation, V_S

3.1.3.6

tension à l'état passant, V_T

tension dans le dispositif à l'état passant sous un courant spécifié I_T

3.1.3.7

courant à l'état passant, I_T

courant dans le dispositif à l'état passant

3.1.3.8

tension directe, V_F

tension dans le dispositif en conduction directe sous un courant spécifié I_F

3.1.3.9

courant direct, I_F

courant dans le dispositif en conduction directe

3.1.3.10

résistance de commutation, R_S

résistance équivalente de pente dérivée de la région de claquage, R_S , telle que

$$(V_{(BO)} - V_S) / (I_S - I_{(BO)}) \quad (1)$$

3.1.3.11

résistance d'isolement

résistance d'isolement équivalente dérivée du dispositif, telle que

$$V_D / I_D \quad (2)$$

3.1.4 Paramètres relatifs à la température

Tous les paramètres des TSS à semiconducteurs sont dépendants de la température. Le besoin d'une information relative à cette dépendance peut souvent être supprimé en spécifiant que les valeurs maximales et minimales des paramètres sont valables dans tout le domaine spécifié de température. Des définitions communes relatives à la température sont données ci-après.

3.1.4.1

coefficient de température de la tension de claquage, $\alpha_{V_{(BR)}}$, $dV_{(BR)}/dT_J$

rapport entre la variation de la tension de claquage $V_{(BR)}$ et les variations de température

NOTE Il s'exprime soit en millivolts par degré Kelvin (mV/K) soit en pourcentage par degré Kelvin (%/K) en se référant à la tension de claquage à 25 °C.

Des unités autres que millivolts par Kelvin (mV/K) et pourcentage par Kelvin (%/K) sont mV/°C et %/°C.

3.1.4.2

variation du courant de maintien avec la température

variation du courant de maintien I_H avec la variation de température. Elle est indiquée sur un graphique

3.1.3.4**switching voltage, V_S**

instantaneous voltage across the device at the final point in the breakdown region prior to switching into the on-state

3.1.3.5**switching current, I_S**

instantaneous current flowing through the device at the switching voltage, V_S

3.1.3.6**on-state voltage, V_T**

voltage across the device in the on-state condition at a specified current I_T

3.1.3.7**on-state current, I_T**

current through the device in the on-state condition

3.1.3.8**forward voltage, V_F**

voltage across the device in the forward conducting state at a specified current I_F

3.1.3.9**forward current, I_F**

current through the device in the forward conducting state

3.1.3.10**switching resistance, R_S**

derived equivalent slope resistance of the breakdown region, R_S , computed by:

$$(V_{(BO)} - V_S) / (I_S - I_{(BO)}) \quad (1)$$

3.1.3.11**insulation resistance**

derived equivalent insulation resistance of the device, computed by:

$$V_D / I_D \quad (2)$$

3.1.4 Temperature related parameters

All the semiconductor-related TSS parameters are temperature dependent. The need for temperature dependence information can often be removed by specifying that a parameter's maximum or minimum value should be valid over the intended operating temperature range. Some common temperature related terms are shown hereafter.

3.1.4.1**temperature coefficient of breakdown voltage, $\alpha V_{(BR)}$, $dV_{(BR)}/dT_J$**

ratio of the change in breakdown voltage, $V_{(BR)}$, to changes in temperature

NOTE Expressed as either millivolts per Kelvin (mV/K) or per cent per Kelvin (%/K) with reference to the 25 °C value of breakdown voltage. Alternatives to mV/K and %/K are mV/°C and %/°C.

3.1.4.2**variation of holding current with temperature**

change in holding current, I_H , with changes in temperature and shown as a graph

3.1.4.3

déclassement en température

déclassement avec une température supérieure à une température de base spécifiée, exprimé en pourcentage, pouvant être appliqué au courant de choc de crête

3.1.4.4

résistance thermique, R_{thJL} , R_{thJC} , R_{thJA} ($R_{\theta JL}$, $R_{\theta JC}$, $R_{\theta JA}$)

élévation réelle de la température par unité de puissance de dissipation d'une jonction définie, au-dessus d'une température de référence définie à l'extérieur (fil, boîtier, ou air ambiant) dans des conditions d'équilibre thermique

NOTE La résistance thermique s'exprime généralement en K/W ou en °C/W en remplacement.

3.1.4.5

impédance thermique transitoire, $Z_{thJL}(t)$, $Z_{thJC}(t)$, $Z_{thJA}(t)$ ($Z_{\theta JL}(t)$, $Z_{\theta JC}(t)$, $Z_{\theta JA}(t)$)

variation de température entre la jonction virtuelle et la température d'un point ou d'une région de référence (fil, boîtier, air ambiant) en fin d'intervalle de temps, divisé par le pas de changement de dissipation de puissance au début du même intervalle, entraînant la variation de température

NOTE 1 L'impédance thermique s'exprime généralement en K/W ou en °C/W en remplacement.

NOTE 2 Il s'agit de l'impédance thermique de la jonction lors de variations; elle est généralement donnée sous forme de courbe fonction de la durée du choc appliqué.

3.1.4.6

température (virtuelle) de jonction, T_J , T_{vj}

température théorique représentant la température de la jonction calculée selon un modèle simplifié du comportement électrique et thermique du dispositif

NOTE Le terme «température virtuelle de jonction» est particulièrement applicable aux semiconducteurs à jonctions multiples et est utilisé pour mentionner la température de l'élément actif du semi-conducteur quand cela est requis par les spécifications et les méthodes d'essai. Le terme «température de jonction», T_J , est utilisé en remplacement du terme «température virtuelle de jonction», T_{vj} , dans la présente norme.

3.1.4.7

température maximale de la jonction, T_{JM}

valeur maximale admise pour la jonction, due à son propre échauffement, et qu'un TSS peut supporter sans dommage

3.1.4.8

domaine de température de stockage, T_{stgmin} à T_{stgmax}

domaine de température dans lequel le dispositif peut être stocké hors tension

NOTE Les gammes de températures préférentielles (prises dans la CEI 60747-1, chapitre VI, article 5, et la CEI 60749, chapitre III, paragraphe 1.2) sont

- 0 °C à 125 °C;
- –55 °C à 125 °C;
- –65 °C à 150 °C.

3.1.5 Paramètres de gâchette

3.1.5.1

courant de gâchette d'amorçage, I_{GT}

courant de gâchette le plus faible nécessaire pour commuter le dispositif de l'état bloqué à l'état passant

3.1.5.2

tension d'amorçage par la gâchette, V_{GT}

tension de gâchette nécessaire pour produire le courant de gâchette, I_{GT}

3.1.4.3**temperature derating**

derating with temperature above a specified base temperature, expressed as a percentage, such as may be applied to peak pulse current

3.1.4.4**thermal resistance, R_{thJL} , R_{thJC} , R_{thJA} ($R_{\theta JL}$, $R_{\theta JC}$, $R_{\theta JA}$)**

effective temperature rise per unit power dissipation of a designated junction, above the temperature of a stated external reference point (lead, case or ambient) under conditions of thermal equilibrium

NOTE Thermal resistance is usually expressed as K/W with °C/W as an alternative.

3.1.4.5**transient thermal impedance, $Z_{thJL(t)}$, $Z_{thJC(t)}$, $Z_{thJA(t)}$ ($Z_{\theta JL(t)}$, $Z_{\theta JC(t)}$, $Z_{\theta JA(t)}$)**

change in the difference between the virtual junction temperature and the temperature of a specified reference point or region (lead, case, or ambient) at the end of a time interval, divided by the step function change in power dissipation at the beginning of the same time interval which causes the change of temperature difference

NOTE 1 Thermal impedance is usually expressed as K/W with °C/W as an alternative.

NOTE 2 It is the thermal impedance of the junction under conditions of change and is generally given in the form of a curve as a function of the duration of an applied power pulse.

3.1.4.6**(virtual) junction temperature, T_J , T_{vj}**

theoretical temperature representing the temperature of the junction(s) calculated on the basis of a simplified model of the thermal and electrical behaviour of the device

NOTE The term "virtual-junction temperature" is particularly applicable to multijunction semiconductors and is used to denote the temperature of the active semiconductor element when required in specifications and test methods. The term "junction temperature", T_J , is used interchangeably with the term "virtual junction temperature", T_{vj} , in this standard.

3.1.4.7**maximum junction temperature, T_{JM}**

maximum value of permissible junction temperature, due to self heating, which a TSS can withstand without degradation

3.1.4.8**storage temperature range, $T_{stg\ min.}$ to $T_{stg\ max.}$**

temperature range over which the device can be stored without any voltage applied

NOTE Preferred temperature ranges (selected from IEC 60747-1, chapter VI, clause 5 and IEC 60749, chapter III, clause 1.2) are

0 °C to 125 °C

–55 °C to 125 °C

–65 °C to 150 °C

3.1.5 Gate terminal parameters**3.1.5.1****gate trigger current, I_{GT}**

lowest gate current required to switch a device from the off-state to the on-state

3.1.5.2**gate trigger voltage, V_{GT}**

gate voltage required to produce the gate trigger current, I_{GT}

3.1.5.3

tension crête à l'état bloqué entre gâchette et borne adjacente, V_{GDM}

tension maximale entre gâchette et cathode pour un dispositif P ou entre gâchette et anode pour une gâchette N, pouvant être appliquée de manière qu'un courant de blocage I_D sous une tension assignée de blocage, V_D , ne soit pas dépassé

3.1.5.4

courant de crête de gâchette à l'état bloqué, I_{GDM}

courant maximal de gâchette dû à l'application de la tension de crête à l'état bloqué V_{GDM}

3.1.5.5

courant inverse de gâchette, borne adjacente ouverte, I_{GAO} , I_{GKO}

courant s'écoulant dans la gâchette si une tension spécifiée de gâchette V_G est appliquée et si la borne de la cathode est ouverte pour un type P ou la borne d'anode est ouverte pour un type N

3.1.5.6

courant inverse de gâchette, bornes maîtresses court-circuitées, I_{GAS} , I_{GKS}

courant s'écoulant dans la gâchette si une tension spécifiée de gâchette V_G est appliquée et si la borne de la cathode est court-circuitée pour un type P ou la borne d'anode est court-circuitée pour un type N, aux trois bornes

NOTE Cette définition n'est applicable qu'aux dispositifs avec gâchettes en série pour diodes de blocage.

3.1.5.7

courant inverse de gâchette, à l'état passant, I_{GAT} , I_{GKT}

courant s'écoulant dans la gâchette si une tension spécifiée V_G est appliquée avec un courant passant I_T

NOTE Cette définition n'est applicable qu'aux dispositifs avec gâchettes en série pour diodes de blocage.

3.1.5.8

courant inverse de gâchette, en conduction directe, I_{GAF} , I_{GKF}

courant s'écoulant dans la gâchette si une tension spécifiée V_G est appliquée avec un courant de conduction direct I_F

NOTE Cette définition n'est applicable qu'aux dispositifs de conduction unidirectionnels avec gâchettes en série pour diodes de blocage.

3.1.5.9

charge de commutation de la gâchette, Q_{GS}

charge de la gâchette, dans des conditions de choc, lors de la commutation de l'état bloqué au point de retournement, sous la tension spécifiée V_G

3.1.5.10

courant de crête de commutation de gâchette, I_{GSM}

valeur maximale du courant dans la gâchette lors de la transition de l'état bloqué au point de retournement, sous une tension spécifiée V_G

3.1.5.11

tension de retournement entre gâchette et borne adjacente, $V_{GK(BO)}$, $V_{GA(BO)}$

tension entre gâchette et cathode pour un dispositif P ou tension entre gâchette et anode pour un dispositif N, au point de retournement

NOTE Cela est équivalent à la différence de tension entre la tension de retournement, $V_{(BO)}$, et la tension spécifiée de gâchette, V_G .

3.1.5.3**gate-to-adjacent terminal peak off-state voltage,**

maximum gate to cathode voltage for a P-gate device or gate to anode voltage for an N-gate device that may be applied such that a specified off-state current, I_D , at a rated off-state voltage, V_D , is not exceeded

3.1.5.4**peak off-state gate current, I_{GDM}**

maximum gate current that results from the application of the peak off-state gate voltage, V_{GDM}

3.1.5.5**gate reverse current, adjacent terminal open, I_{GAO} , I_{GKO}**

current through the gate terminal when a specified gate bias voltage, V_G , is applied and the cathode terminal for a P-gate device or anode terminal for an N-gate device is open-circuited

3.1.5.6**gate reverse current, main terminals short-circuited, I_{GAS} , I_{GKS}**

current through the gate terminal when a specified gate bias voltage, V_G , is applied and the cathode terminal for a P-gate device or anode terminal for an N-gate device is short-circuited to the third terminal

NOTE This definition only applies to devices with integrated series gate blocking diodes.

3.1.5.7**gate reverse current, on-state, I_{GAT} , I_{GKT}**

current through the gate terminal when a specified gate bias voltage, V_G , is applied and a specified on-state current, I_T , is flowing

NOTE This definition only applies to devices with integrated series gate blocking diodes.

3.1.5.8**gate reverse current, forward conducting state, I_{GAF} , I_{GKF}**

current through the gate terminal when a specified gate bias voltage, V_G , is applied and a specified forward conduction current, I_F , is flowing

NOTE This definition only applies to conducting unidirectional devices with integrated series gate blocking diodes.

3.1.5.9**gate switching charge, Q_{GS}**

charge through the gate terminal, under impulse conditions, during the transition from the off-state to the switching point, when a specified gate bias voltage, V_G , is applied

3.1.5.10**peak gate switching current, I_{GSM}**

maximum value of current through the gate terminal during the transition from the off state to the switching point, when a specified gate bias voltage, V_G , is applied

3.1.5.11**gate-to-adjacent terminal breakover voltage, $V_{GK(BO)}$, $V_{GA(BO)}$**

gate-to-cathode voltage for a P-type device or gate to anode voltage for an N-gate device at the breakover point

NOTE This is equivalent to the voltage difference between the breakover voltage, $V_{(BO)}$, and the specified gate voltage, V_G .

3.2 Termes et définitions pour les TSS, les bornes et la terminologie caractéristique

3.2.1 TSS

3.2.1.1

TSS asymétrique bidirectionnel

thyristor présentant un comportement très différent de commutation dans les premier et troisième quadrants de la caractéristique tension-courant

3.2.1.2

TSS bidirectionnel

thyristor présentant un comportement de commutation dans les premier et troisième quadrants de la caractéristique tension-courant

3.2.1.3

TSS à blocage direct

TSS ne commutant que pour une tension négative de la borne principale 2 (cathode) et présentant un état de blocage pour une tension positive de la borne principale 2

3.2.1.4

TSS à conduction directe

TSS ne commutant que pour une tension négative de la borne principale 2 (cathode) et écoulant des courants élevés pour une tension positive de la borne principale 2 comparable à la tension à l'état passant

3.2.1.5

TSS à résistance négative de retournement

TSS dont la tension statique de retournement présente une pente de résistance très négative avant la commutation

3.2.1.6

thyristor à gâchette N

thyristor dans lequel la borne à gâchette est connectée à la région N la plus proche de la région P à laquelle la cathode est connectée et qui est normalement commuté à l'état passant en appliquant un signal négatif à la borne à gâchette par rapport à la borne d'anode

3.2.1.7

thyristor à gâchette P

thyristor dans lequel la borne à gâchette est connectée à la région P la plus proche de la région N à laquelle est connectée l'anode et qui est normalement commuté à l'état passant en appliquant un signal positif à la borne à gâchette par rapport à la borne de cathode

3.2.1.8

TSS à résistance positive de retournement

TSS dont la caractéristique de retournement statique présente une pente très positive avant la commutation

3.2.1.9

TSS bloqué en inverse

TSS présentant un état bloqué pour une tension positive de cathode

3.2.1.10

TSS passant en inverse

TSS présentant un état passant pour une tension positive de cathode

3.2 Terms and definitions for TSS, terminals and characteristic terminology

3.2.1 TSS

3.2.1.1

asymmetrical bidirectional TSS

thyristor having substantially different switching behaviour in the first and third quadrants of the principal voltage-current characteristic

3.2.1.2

bidirectional TSS

thyristor having switching behaviour in the first and third quadrants of the principal voltage-current characteristic

3.2.1.3

forward-blocking TSS

TSS that switches only for negative main terminal-2 (cathode) voltage and exhibits a blocking state for positive main terminal-2 voltage

3.2.1.4

forward-conducting TSS

TSS that switches only for negative main terminal-2 (cathode) voltage and conducts large currents at positive main terminal-2 voltage comparable in magnitude to the on-state voltage

3.2.1.5

negative breakdown resistance TSS

TSS, whose static breakdown characteristic has a net negative resistance slope prior to switching

3.2.1.6

N-gate thyristor

gated thyristor in which the gate terminal is connected to the N-region adjacent to the P-region to which the anode is connected and that is normally switched to the on-state by applying a negative signal between the gate and anode terminals

3.2.1.7

P-gate thyristor

gated thyristor in which the gate terminal is connected to the P-region adjacent to the N-region to which the cathode is connected and that is normally switched to the on-state by applying a positive signal between the gate and cathode terminals

3.2.1.8

positive-breakdown-resistance TSS

TSS whose static breakdown characteristic has a net positive-resistance slope prior to switching

3.2.1.9

reverse-blocking TSS

TSS that exhibits a blocking state for positive cathode voltage

3.2.1.10

reverse-conducting TSS

TSS that exhibits a conducting state for positive cathode voltage

3.2.1.11

TSS symétrique bidirectionnel

TSS présentant sensiblement le même comportement dans le premier et le troisième quadrant de la caractéristique principale

3.2.1.12

thyristor

dispositif bistable à semi-conducteur comprenant au moins trois jonctions, pouvant être commuté de l'état bloqué à l'état passant et réciproquement, cette commutation ayant lieu dans au moins un quadrant de la caractéristique principale

3.2.1.13

TSS unidirectionnel

TSS ne présentant des caractéristiques de commutation que dans un seul quadrant de la caractéristique principale

3.2.2 Bornes

3.2.2.1

anode

électrode par laquelle le courant entre dans le thyristor lorsque celui-ci est à l'état passant avec la gâchette en circuit ouvert

[CEI 60747-6]

NOTE Cette définition n'est pas applicable aux thyristors bidirectionnels.

3.2.2.2

cathode

électrode par laquelle le courant sort du thyristor lorsque celui-ci est à l'état passant avec la gâchette en circuit ouvert

NOTE Cette définition n'est pas applicable aux thyristors bidirectionnels.

3.2.2.3

gâchette

électrode connectée à une région du semi-conducteur pour la circulation du courant de commande

3.2.2.4

bornes maîtresses

les deux bornes au travers desquelles le courant principal circule

NOTE Les bornes maîtresses peuvent être appelées d'après leur application. Pour les télécommunications, les bornes sont appelées R (boucle), T (contact) et G (terre) ou A, B et C (commun).

3.2.2.5

borne maîtresse 1

borne maîtresse appelée 1 par le fabricant

3.2.2.6

borne maîtresse 2

borne maîtresse appelée 2 par le fabricant

3.2.2.7

borne (électrique)

point de raccordement externe approprié

3.2.1.11**symmetrical bidirectional TSS**

thyristor having substantially the same switching behaviour in the first and third quadrants of the principal voltage-current characteristic

3.2.1.12**thyristor**

bistable semiconductor device comprising three or more junctions that can be switched from the off state to the on state or vice versa, such switching occurring within at least one quadrant of the principal voltage-current characteristic

3.2.1.13**unidirectional TSS**

TSS that has switching characteristics in only one quadrant of the principal voltage-current characteristic

3.2.2 Terminals**3.2.2.1****anode**

electrode by which current enters the thyristor, when the thyristor is in the on-state with the gate open-circuited

[IEC 60747-6]

NOTE This term does not apply to bidirectional thyristors.

3.2.2.2**cathode**

electrode by which current leaves the thyristor, when the thyristor is in the on-state with the gate open-circuited

NOTE This term does not apply to bidirectional thyristors.

3.2.2.3**gate**

electrode connected to one of the semiconductor regions to introduce a control current

3.2.2.4**main terminals**

the two terminals through which the principal current flows

NOTE The main terminals may be named by application usage, e.g. in telecommunications, terminals may be named after line connections: R (ring), T (tip) and G (ground) or A, B and C (common)

3.2.2.5**main terminal 1**

main terminal that is named 1 by the device manufacturer

3.2.2.6**main terminal 2**

main terminal that is named 2 by the device manufacturer

3.2.2.7**(electrical) terminal**

externally available point of connection

3.2.3 Caractéristiques

3.2.3.1

blocage

terme décrivant l'état d'un dispositif à semi-conducteur ou d'une jonction imposant une résistance élevée au passage du courant

3.2.3.2

retournement

phénomène apparaissant dans une jonction inverse dont l'origine est observée comme une transition d'une région de résistance dynamique élevée vers une région de résistance dynamique moindre et pour une amplitude croissante du courant inverse

3.2.3.3

région de retournement

partie de la caractéristique débutant à la transition de l'état bloqué à résistance dynamique élevée vers une résistance moindre et s'étendant jusqu'à la commutation

3.2.3.4

point de retournement

tout point de la région de retournement de la caractéristique principale et pour lequel la résistance différentielle est nulle et la tension maximale

[CEI 60747-6, définition 2.16, modifiée]

NOTE S'il existe plus d'un point de retournement dans la région, celui correspondant à la tension la plus élevée est caractérisé.

3.2.3.5

caractéristique

propriété naturelle et mesurable d'un dispositif

NOTE Une telle propriété peut être électrique, mécanique, thermique, hydraulique, électromagnétique ou nucléaire et peut être exprimée comme une valeur pour des conditions établies ou reconnues. Une caractéristique peut aussi être un ensemble de valeurs, généralement indiquées sous forme graphique.

3.2.3.6

écrêtage

type de limitation dans laquelle les valeurs instantanées d'un signal qui sont au-delà d'un seuil fixé sont réduites à des valeurs proches du seuil, les autres valeurs instantanées du signal étant conservées

[VEI 702-04-33]

NOTE Le mot *écrêtage* est souvent utilisé bien que le VEI 702-04-37 définisse l'écrtage comme un procédé dans lequel une caractéristique du signal récurrent, par exemple sa composante continue, est considérée comme valeur de référence.

3.2.3.7

crowbar

forme de limitation pour laquelle, lorsque toutes les valeurs instantanées d'un signal dépassent la valeur de seuil prédéterminé, une impédance shunt faible est activée. S'il est actif, le shunt, associé à l'impédance de la source du signal, réduit l'amplitude du signal

3.2.3.8

quadrant de blocage direct/inverse

quadrant de la caractéristique principale dans lequel le dispositif est à l'état bloqué inverse

[CEI 60747-6 modifiée]

NOTE C'est le quadrant 1 pour un TSS à conduction directe et le quadrant 3 pour un TSS à conduction inverse.

3.2.3 Characteristic terminology

3.2.3.1

blocking

term describing the state of a semiconductor device or junction that imposes high resistance to the passage of current

3.2.3.2

breakdown

phenomena occurring in a reverse biased semiconductor junction, the initiation of which is observed as a transition from a region of high dynamic resistance to a region of substantially lower dynamic resistance for increasing magnitude of reverse current

3.2.3.3

breakdown region

portion of the characteristic that starts with the transition from the high dynamic resistance off-state to a substantially lower dynamic resistance and extending to the switching point

3.2.3.4

breakover point

any point in the breakdown region voltage-current characteristic for which the differential resistance is zero and where the principal voltage reaches a maximum value

[IEC 60747-6, definition 2.16, modified]

NOTE If more than one breakover point exists in the breakdown region, the one with the highest voltage value is characterized.

3.2.3.5

characteristic

inherent and measurable property of a device

NOTE Such a property may be electrical, mechanical, thermal, hydraulic, electromagnetic or nuclear and can be expressed as a value for stated or recognized conditions. A characteristic may also be a set of related values, usually shown in graphical form.

3.2.3.6

clipping (clamping)

form of limiting in which all the instantaneous values of a signal exceeding a predetermined threshold value are reduced to values close to that of the threshold, all other instantaneous values of the signal being preserved

[IEV 702-04-33]

NOTE The word *clamping* is often used instead of *clipping*, although IEV 702-04-37 defines clamping as "a process in which some feature of a recurrent signal, for instance its d.c. component, is held at a reference value".

3.2.3.7

crowbarring

form of limiting whereby when the instantaneous value of a signal becomes greater than a predetermined threshold value a low impedance shunt is activated. When active, the shunt, in conjunction with the signal source impedance, reduces the signal amplitude

3.2.3.8

forward/reverse blocking quadrant

quadrant of the principal voltage-current characteristic in which the device exhibits a reverse blocking state

[IEC 60747-6, modified]

NOTE This will be the first quadrant for a forward blocking TSS and the third quadrant for a reverse blocking TSS.

3.2.3.9

quadrant de conduction direct/inverse

quadrant de la caractéristique principale dans lequel le dispositif est à l'état passant direct

[CEI 60747-6 modifiée]

NOTE C'est le quadrant 1 pour un TSS à conduction directe et le quadrant 3 pour un TSS à conduction inverse.

3.2.3.10

passage direct

- 1) direction du courant dans une jonction P-N due à une tension relativement positive de la région P par rapport à la région N
- 2) direction du courant dans un dispositif à semi-conducteur due à la mise sous tension relativement positive de la région P connectée à une borne par rapport à la région N reliée à l'autre borne

NOTE Cette définition n'est pas applicable si une ou plusieurs jonctions sont connectées en série avec au moins une autre jonction dont les régions P et N sont inversées.

3.2.3.11

valeur assignée maximale (valeur absolue maximale assignée)

valeur assignée qui définit soit une capacité limite, soit une condition limite au-delà de laquelle un dommage du dispositif peut se produire

NOTE Une condition limite peut être minimale ou maximale.

3.2.3.12

région de résistance différentielle négative

région de la caractéristique principale tension-courant dans le quadrant de commutation où la résistance différentielle est négative et où le thyristor commute entre les régions de retournement et à l'état passant

[(CEI 60747-6 modifiée)]

3.2.3.13

courant assigné non répétitif

courant maximal assigné pouvant être appliqué au dispositif, au minimum cent fois pendant sa durée de vie et sans défaut

NOTE Lors de cet essai, le dispositif peut atteindre la température maximale assignée de la jonction pendant de courtes périodes. Le dispositif peut ne pas bloquer la tension et commander la gâchette pendant et immédiatement après cet essai jusqu'à ce qu'il revienne à l'équilibre. Cette condition peut être répétée après que le dispositif a retrouvé son équilibre thermique.

3.2.3.14

région d'état bloqué

état du TSS, dans le quadrant de commutation, correspondant à la partie de la caractéristique à résistance dynamique élevée entre l'origine et la région de retournement

[CEI 60747-6 modifiée]

3.2.3.15

région d'état passant

état du TSS correspondant à une partie à faible résistance en basse tension de la caractéristique principale tension-courant du ou des quadrants de commutation

3.2.3.16

paramètre

description du dispositif mesurable ou quantifiable, telle qu'une caractéristique ou une valeur assignée

3.2.3.9**forward/reverse conducting quadrant**

quadrant of the principal voltage-current characteristic in which the device exhibits a forward direction conduction state

[IEC 60747-6, modified]

NOTE This will be the first quadrant for a forward conducting TSS and the third quadrant for a reverse conducting TSS.

3.2.3.10**forward direction**

- 1) direction of current in a P-N junction that results when the P-type semiconductor region is at a positive potential relative to the N-type region
- 2) direction of current in a semiconductor device that results when the P-type semiconductor region connected to one terminal is at a positive potential relative to the N-type region connected to the other terminal

NOTE This definition does not apply if one or more junctions are connected in series with at least one other junction whose P and N regions are reversed.

3.2.3.11**maximum rating (absolute maximum rating)**

rating that establishes either a limiting capability or a limiting condition beyond which damage to the device may occur

NOTE A limiting condition may be either a maximum or a minimum.

3.2.3.12**negative differential-resistance (region)**

region of the principal voltage-current characteristic in the switching quadrant where the differential resistance is negative and the thyristor switches between the breakdown and on-state regions

[IEC 60747-6, modified]

3.2.3.13**non-repetitive current rating**

maximum rating that may be applied to the device for a minimum of 100 times over the life of the device without failure

NOTE During the rated condition, the device is permitted to exceed its maximum rated junction temperature for short periods of time. The device is not required to block voltage or retain any gate control during or immediately following this rated condition until the device has returned to the original equilibrium conditions. This rated condition may be repeated after the device has returned to the original thermal equilibrium conditions.

3.2.3.14**off state (region)**

state of the TSS in a quadrant in which switching can occur, that corresponds to the high dynamic-resistance portion of the characteristic between the origin and the beginning of the breakdown region

[IEC 60747-6, modified]

3.2.3.15**on state (region)**

condition of the TSS corresponding to the low-resistance low-voltage portion of the principal voltage-current characteristic in the switching quadrant(s)

3.2.3.16**parameter**

device descriptor that is measurable or quantifiable, such as a characteristic or rating

3.2.3.17

courant principal

terme générique du courant s'écoulant dans le dispositif à l'exception du courant de gâchette

NOTE C'est le courant entre les bornes maîtresses.

3.2.3.18

tension principale

tension entre les bornes maîtresses

NOTE 1 Dans le cas de thyristors à blocage ou conduction inverse, cette tension principale est dite positive si le potentiel de l'anode est supérieur à celui de la cathode; elle est dite négative si le potentiel de l'anode est inférieur à celui de la cathode.

NOTE 2 Pour les thyristors bidirectionnels, la tension principale est dite positive si le potentiel de la borne maîtresse 2 est supérieur à celui de la borne maîtresse 1.

NOTE 3 Pour les thyristors à conduction directe, la tension principale est dite positive si le potentiel de la cathode est supérieur à celui de l'anode, et dite négative si le potentiel de la cathode est inférieur à celui de l'anode.

3.2.3.19

caractéristique principale tension-courant (caractéristique principale)

fonction, généralement représentée graphiquement, de la tension principale et du courant

3.2.3.20

quadrant

si la caractéristique principale tension-courant est représentée graphiquement, les axes de la tension v et du courant i créent quatre zones appelées « quadrants ». Ces quadrants sont numérotés dans le sens contraire des aiguilles d'une montre de 1 à 4. Dans le quadrant 1, $+v$ et $+i$ sont positifs et dans le quadrant 3 $-v$ et $-i$ sont négatifs

3.2.3.21

valeur assignée

valeur nominale de quantité électrique, thermique, mécanique ou environnementale destinée à définir les conditions de fonctionnement dans lesquelles un composant, une machine, un appareil, un dispositif électronique, etc., sont présumés fonctionner correctement

NOTE Le terme de « valeur assignée » est générique. Voir aussi **valeur maximale assignée** (3.2.3.11).

3.2.3.22

valeur assignée répétitive

valeur assignée maximale pouvant être appliquée de manière continue au thyristor

3.2.3.23

direction inverse

- 1) direction du courant dans une jonction PN due au potentiel positif de la région N du semi-conducteur par rapport à la région P
- 2) direction du courant dans un dispositif à semi-conducteur due au potentiel positif de la région N du semi-conducteur connecté à une borne positive par rapport à la région P connectée à l'autre borne

NOTE Cette définition peut ne pas être applicable si plusieurs jonctions sont connectées en série avec au moins une jonction dont les régions N et P sont inversées.

3.2.3.24

point de commutation

point de la caractéristique principale tension-courant pour lequel le thyristor amorce et commute à l'état passant

NOTE Ce point apparaît en fin de région de renversement et au début de la région de résistance différentielle négative.

3.2.3.17**principal current**

generic term for the current through the device excluding any gate current

NOTE It is the current through both main terminals.

3.2.3.18**principal voltage**

voltage between the main terminals

NOTE 1 In the case of reverse blocking and reverse conducting thyristors, the principal voltage is called positive when the anode potential is higher than the cathode potential, and called negative when the anode potential is lower than the cathode potential.

NOTE 2 For bidirectional thyristors, the principal voltage is called positive when the potential of main terminal 2 is higher than the potential of main terminal 1.

NOTE 3 For forward-conducting thyristors the principal voltage is called positive when the cathode potential is higher than the anode potential, and called negative when the cathode potential is lower than the anode potential.

3.2.3.19**principal voltage-current characteristic (principal characteristic)**

function, usually represented graphically, relating the principal voltage to the principal current

3.2.3.20**quadrant**

when the principal voltage-current characteristic is expressed graphically, the voltage, v , and current, i , axes create four areas called quadrants. These quadrants are termed counter clockwise as first, second, third and forth quadrants. The characteristic occurs in the first quadrant, $+v$ and $+i$, and the third quadrant, $-v$ and $-i$.

3.2.3.21**rating**

nominal value of any electrical, thermal, mechanical, or environmental quantity assigned to define the operating conditions under which a component, machine, apparatus, electronic device, etc., is expected to give satisfactory service

NOTE 'Rating' is a generic term. See also **maximum rating** (3.2.3.11).

3.2.3.22**repetitive rating**

maximum rating that may be continuously applied to the thyristor

3.2.3.23**reverse direction**

- 1) direction of current in a P-N junction that results when the N-type semiconductor region is at a positive potential relative to the P-type region
- 2) direction of current in a semiconductor device that results when the N-type semiconductor region connected to one terminal is at a positive potential relative to the P-type region connected to the other terminal

NOTE This definition may not apply if one or more junctions are connected in series with at least one other junction whose P and N regions are reversed.

3.2.3.24**switching point**

point in the principal voltage-current characteristic at which the thyristor regenerates and initiates switching into the on-state

NOTE This point occurs at the termination of the breakdown region and the start of the negative differential-resistance region

3.2.3.25

quadrant de commutation

quadrant de la caractéristique principale tension-courant dans lequel le dispositif est destiné à commuter de l'état bloqué à l'état passant

NOTE Pour un thyristor bidirectionnel, les quadrants de commutation sont 1 et 3. Pour un thyristor à blocage ou à conduction inverse, c'est le quadrant 1. Pour un thyristor à conduction directe ou inverse, c'est le quadrant 3.

4 Fonction fondamentale et description des composants

Cet article traite de la structure du dispositif de base, de son circuit équivalent, des valeurs des caractéristiques, des paramètres de fonctionnement et des structures avec fonctions renforcées.

4.1 Types de TSS

Les TSS sont classés selon le type de caractéristiques dans les quadrants I et III, et le nombre de bornes. Au moins un quadrant aura un quadrant de commutation (voir figure 1). L'autre quadrant peut avoir une caractéristique de commutation, de blocage ou de conduction de diode (voir figures 1 et 2). Les dispositifs de commutation dans un seul quadrant sont appelés unidirectionnels et peuvent avoir deux (diode), trois (triode) ou quatre (tétrode) bornes. De plus, les dispositifs à deux quadrants de commutation sont appelés bidirectionnels et peuvent présenter jusqu'à cinq bornes (pentode) (voir tableau 1).

Tableau 1 – Types de TSS

Nombre de bornes	Autres caractéristiques du quadrant		
	Blocage	Conduction	Coupure
2 (diode)	Blocage inverse ou blocage direct TSS à diode	Conduction inverse ou conduction directe TSS à diode	TSS à diode bidirectionnel
3 (triode)	Blocage inverse ou blocage direct TSS à triode à gâchette P ou N	Conduction inverse ou conduction directe TSS à triode à gâchette P ou N	TSS à triode bidirectionnel à gâchette P ou N ou à gâchette combinée P et N (triac)
4 (tétrode)	Blocage inverse ou blocage direct TSS à tétrode à gâchette P ou N	Conduction inverse ou conduction directe TSS à tétrode à gâchette P ou N	TSS à tétrode bidirectionnel 2 gâchettes
5 (pentode)			TSS à pentode bidirectionnel 3 gâchettes

3.2.3.25**switching quadrant**

quadrant of the principal voltage-current characteristic in which the device is intended to switch between the off-state and the on-state

NOTE For a bidirectional thyristor the switching quadrants are the first quadrant and the third quadrant. For a reverse blocking or reverse conducting thyristor the switching quadrant is the first quadrant. For a forward conducting or reverse conducting thyristor the switching quadrant is the third quadrant.

4 Basic function and component description

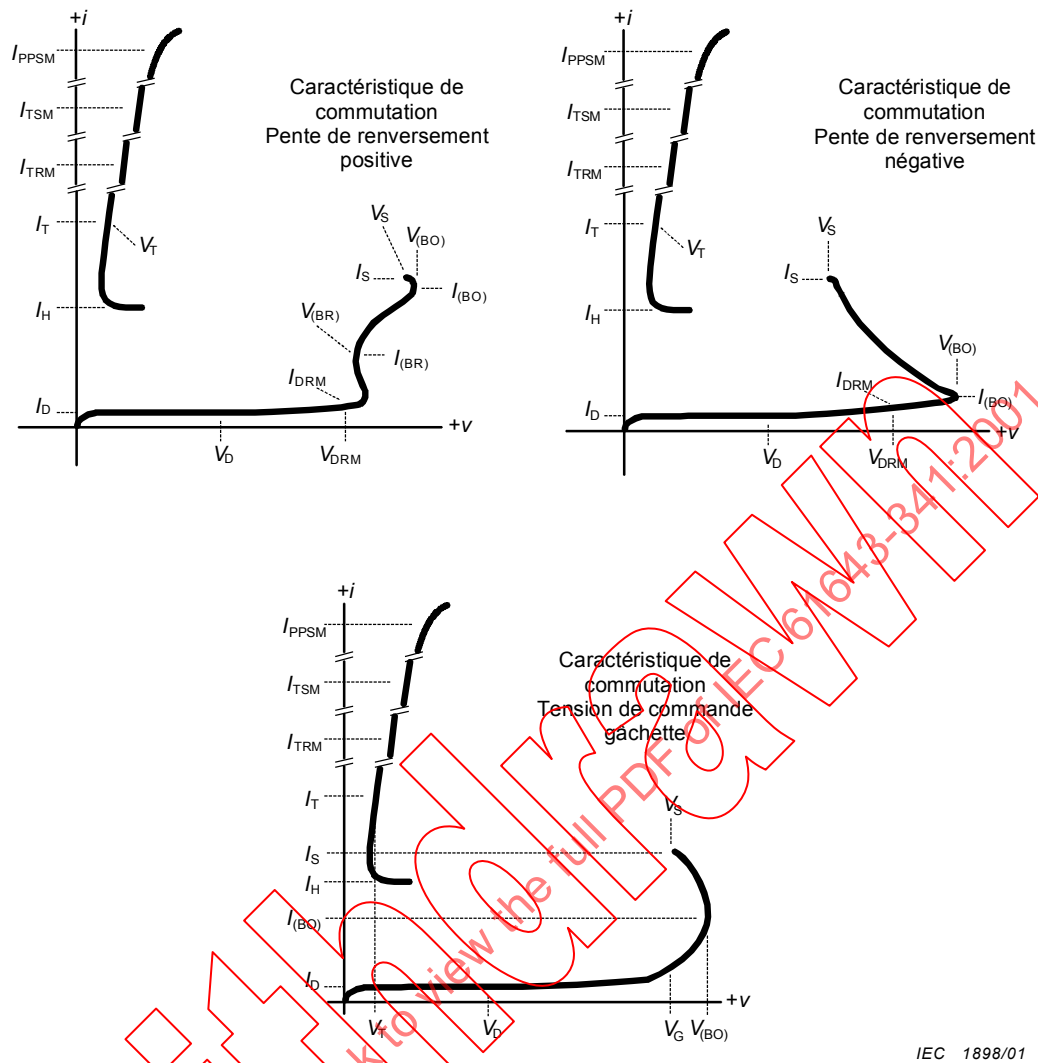
This clause covers the TSS types, basic device structure, its equivalent circuit, characteristic values, operational parameters and structures with increased functions.

4.1 TSS types

The TSS is classified by the type of characteristic in the first and third quadrants, and the number of terminals. At least one quadrant will have a switching characteristic (see figure 1). The other quadrant may have a switching, blocking or diode conduction characteristic (see figures 1 and 2). Devices with only one switching quadrant are called unidirectional and may have two (diode), three (triode) or four (tetrode) terminals. In addition, devices with two switching quadrants are called bidirectional and may have up to five (pentode) terminals (see table 1).

Table 1 – Types of TSS

Number of terminals	Other quadrant characteristics		
	Blocking	Conducting	Switching
2 (diode)	Reverse blocking or forward blocking diode TSS	Reverse conducting or forward conducting diode TSS	Bidirectional diode TSS
3 (triode)	Reverse blocking or forward blocking triode TSS P-gate or N-gate	Reverse conducting or forward conducting triode TSS P-gate or N-gate	Bidirectional triode TSS P-gate or N-gate or combined P-gate and N-gate (TRIAC)
4 (tetrode)	Reverse blocking or forward blocking tetrode TSS P-gate and N-gate	Reverse conducting or forward conducting tetrode TSS P-gate and N-gate	Bidirectional tetrode TSS 2 gates
5 (pentode)			Bidirectional pentode TSS 3 gates



IEC 1898/01

Figure 1 – Caractéristiques de commutation

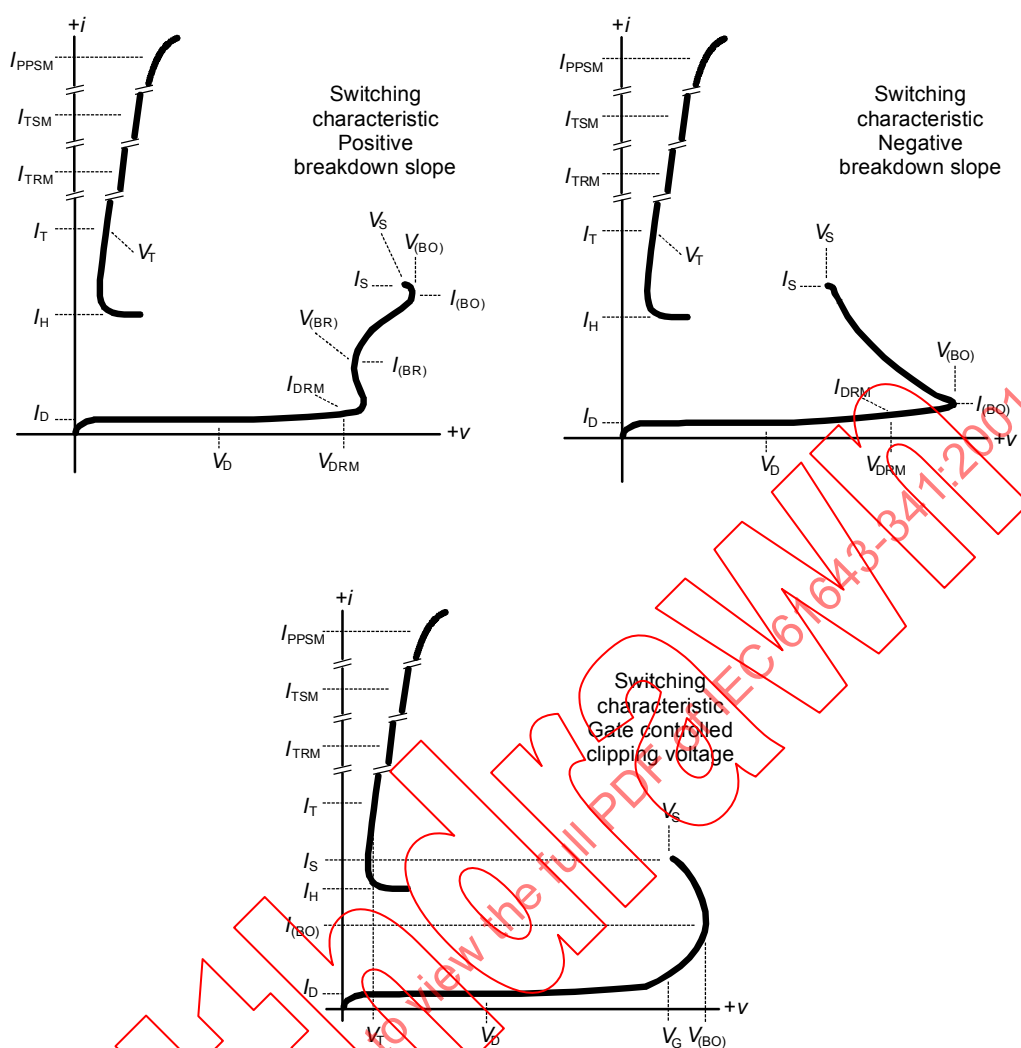


Figure 1 – Switching characteristics

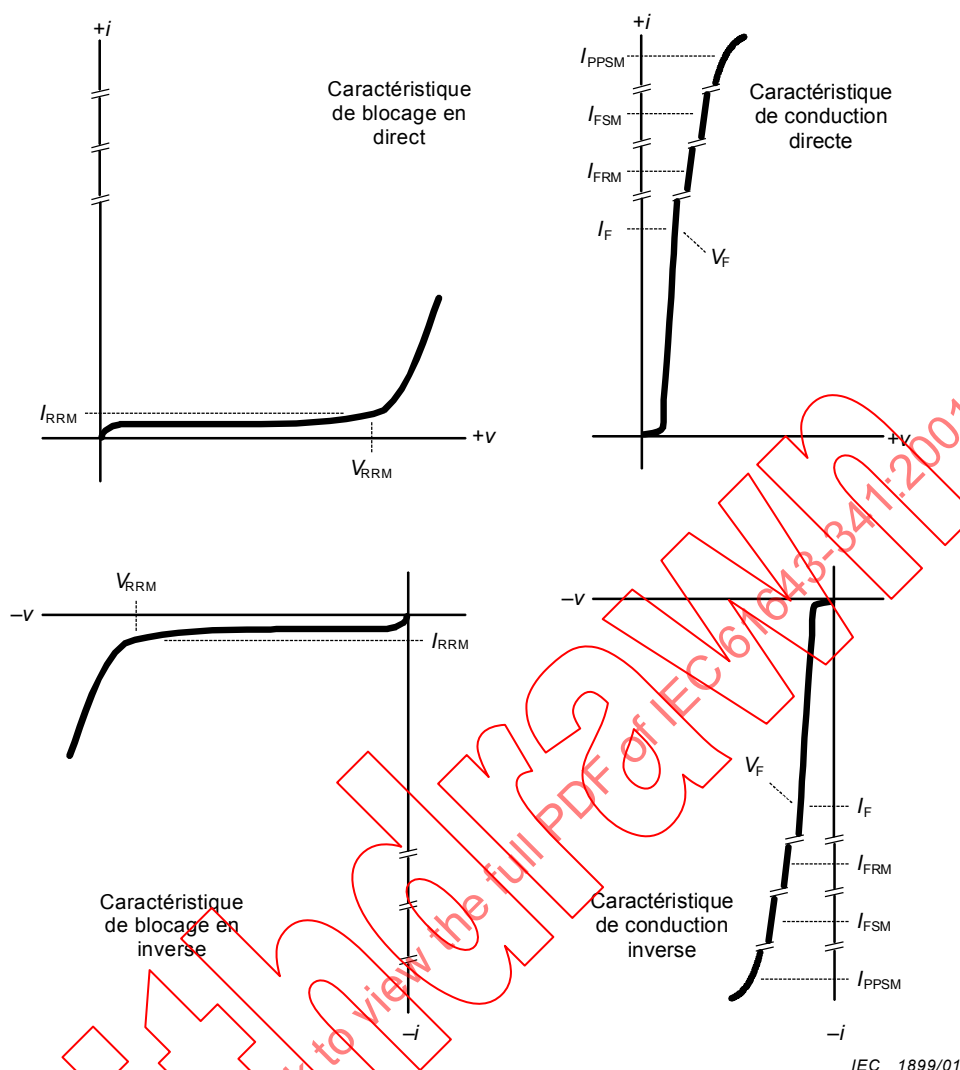


Figure 2 – Caractéristiques de non-commutation

4.2 Structure fondamentale du dispositif

Les protections contre les surtensions à thyristor sont créées par séries de couches de type N et de type P dans une puce de silicium. La structure fondamentale du thyristor a trois jonctions PN nécessitant quatre couches (PNPN); voir figure 3a. Comme une couche peut être le silicium lui-même (type N ou P), trois couches supplémentaires doivent être réalisées pour produire une structure PNPN. Un contact électrique sur les couches P et N est effectué par des électrodes métalliques (illustré par les blocs hachurés du haut et du bas de la figure 3).

La figure 3 montre la structure simplifiée de trois thyristors unidirectionnels. Lorsqu'il a commuté, le thyristor de base reste conducteur avec une valeur très faible de courant. Un TSS est nécessaire pour bloquer des valeurs beaucoup plus élevées de courant. Une valeur plus élevée de courant de coupure peut être obtenue en shuntant par une résistance une jonction PN. La figure 3b montre un matériau de type P avec shunt de la cathode et la figure 3c montre un matériau de type N avec shunt de l'anode. Les quadrants de commutation apparaissent lorsque l'anode du haut est positive par rapport à la cathode du bas.

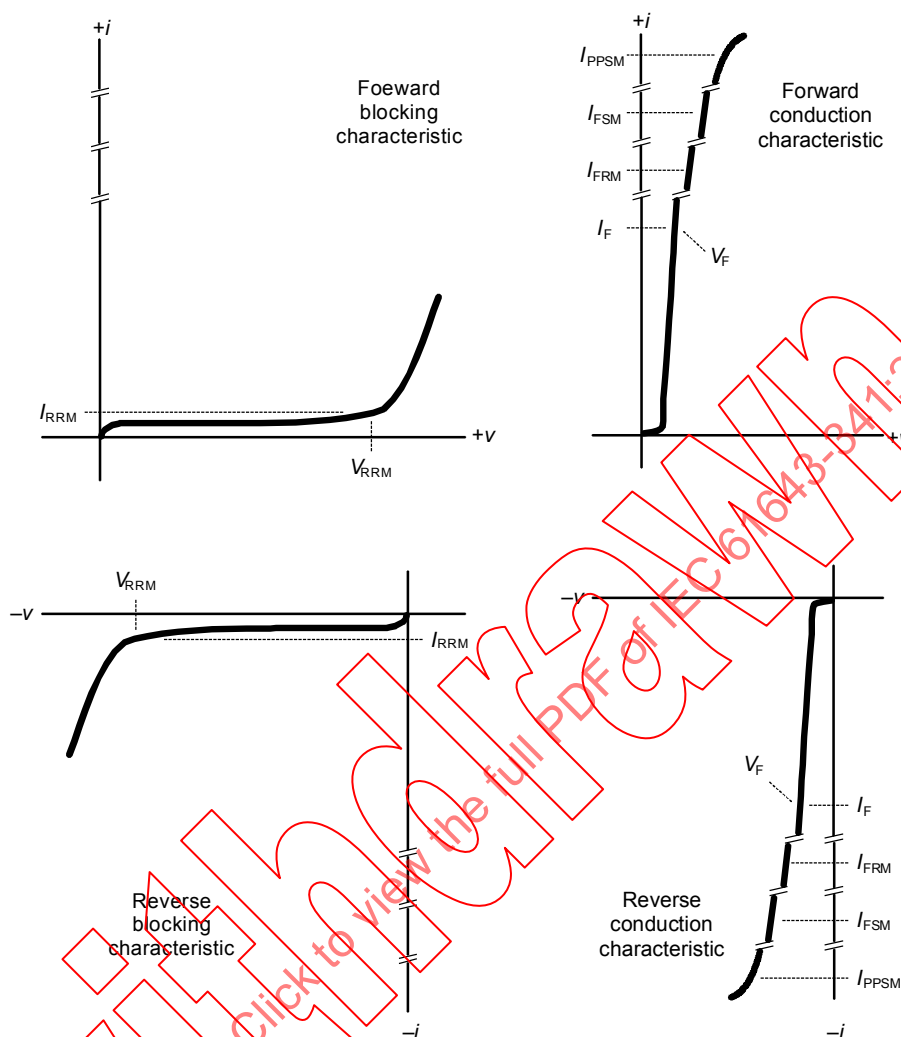


Figure 2 – Non-switching characteristics

IEC 1899/01

4.2 Basic device structure

Thyristor overvoltage protectors are manufactured by creating a series of N-type and P-type layers in a silicon chip. The basic thyristor structure has three PN junctions which requires four layers (PNPN), see figure 3a. As one layer can be the starting silicon itself (P-type or N-type silicon) a further three layers have to be made to produce a PNPN structure. Electrical contact to the P-type and N-type layers is made by metal electrodes (illustrated by the top and bottom hatched blocks in figure 3).

Figure 3 shows the simplified structure of three unidirectional thyristors. Once switched on, the basic thyristor remains in conduction to very low values of current. A TSS is required to switch off at much higher values of current. A higher value of switch-off current can be achieved by resistively shunting an electrode PN junction. Figure 3b shows a P-type material resistive shunt to the cathode electrode and figure 3c shows an N-type material resistive shunt to the anode electrode. The switching quadrant occurs when the top anode electrode is positive with respect to the bottom cathode contact.

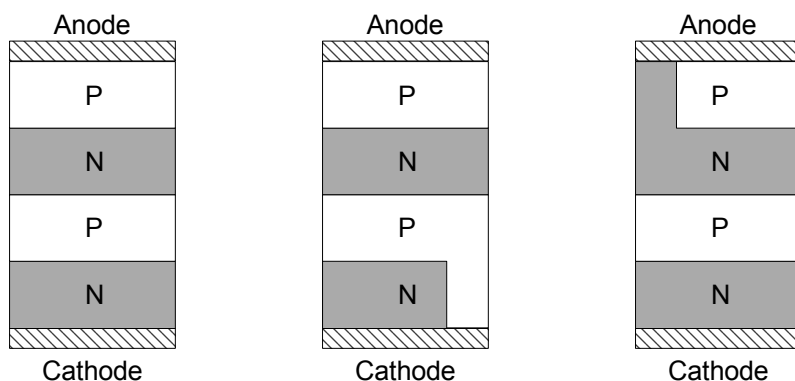


Figure 3 – Structures simplifiées de thyristors

4.3 Circuit équivalent

En se fondant sur les structures présentées à la figure 3, la figure 4 montre comment les circuits équivalents sont dérivés de PT shunt de type P et de type N. Seul le PT shunt de type P, à la figure 4a, sera considéré car la description du PT shunt de type N (à la figure 4b) est analogue.

Dans les schémas d'illustration, la structure simplifiée a été séparée en quatre blocs de silicium. Le premier bloc NPN, connecté à la cathode, constitue un transistor NPN TR1. Le second bloc NP constitue une diode à avalanche D1. Le troisième bloc PNP, connecté à l'anode, constitue un transistor PNP TR2. Enfin, le bloc P, connecté à la cathode, constitue un shunt résistif R1. Les liaisons entre blocs sont marquées par des lignes horizontales épaisses.

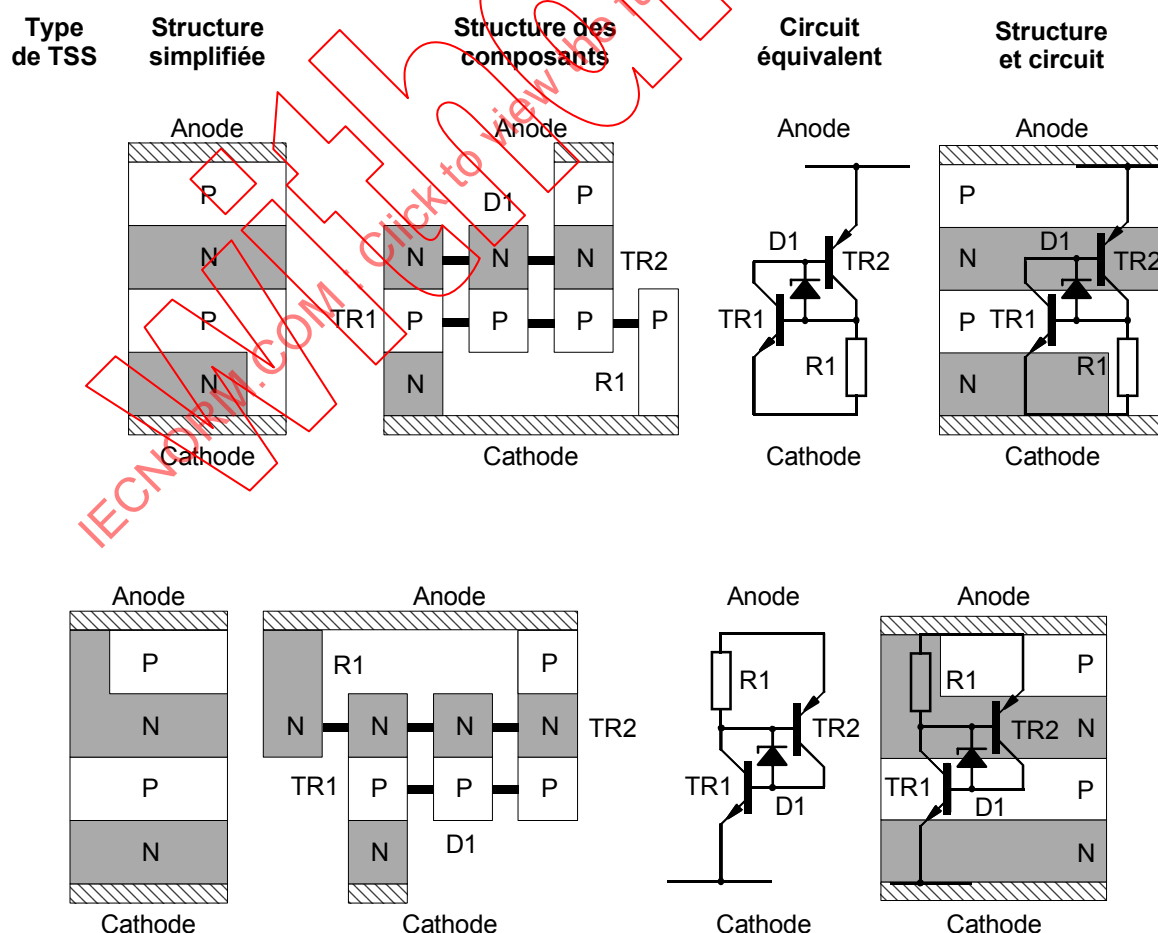


Figure 4 – Circuits équivalents à des structures de thyristors

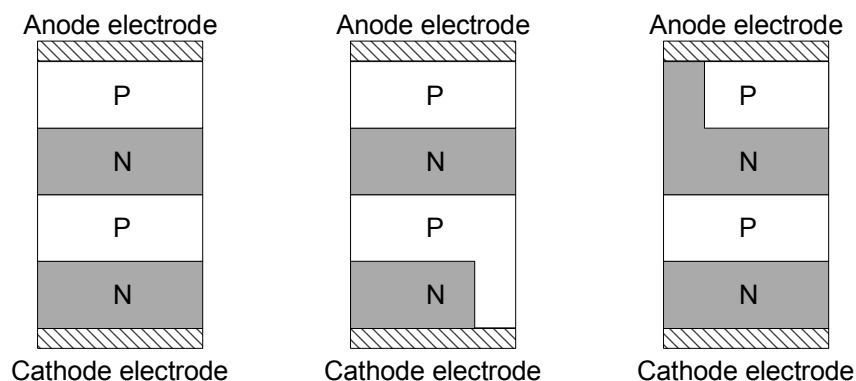


Figure 3 – Simplified thyristor structures

4.3 Device equivalent circuit

Based on the structures shown in figure 3, figure 4 shows how the equivalent circuits are derived for the P-type shunt TSS and N-type shunt TSS. Only the P-type shunt TSS, figure 4a, will be discussed as the description for the N-type shunt TSS, figure 4b, is similar.

In the structure component parts illustration, the simplified structure has been split up into four silicon blocks. The first NPN block, connected to the cathode electrode, forms an NPN transistor TR1. The second NP block forms a breakdown diode D1. The third PNP block, connected to the anode electrode, forms a PNP transistor TR2. Finally, the P block, connected to the cathode electrode, forms a resistive shunt R1. The block interconnections are shown by the thick horizontal lines.

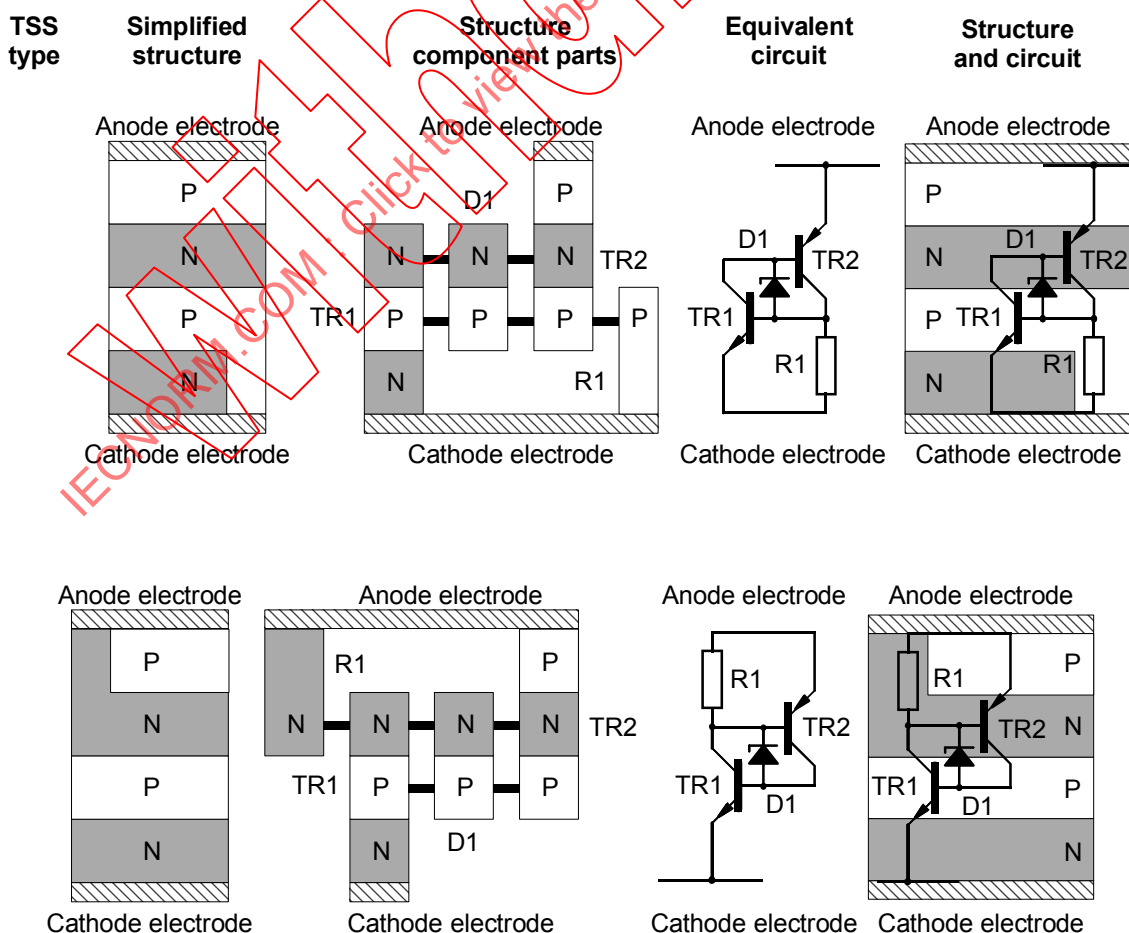


Figure 4 – Equivalent circuits of TSS structures

L'illustration du circuit équivalent est le schéma du circuit qui résulte des éléments du circuit définis dans l'illustration de la structure des composants. Les transistors TR1 et TR2 sont connectés en paire régénératrice. Dans des conditions de non-fonctionnement, ces transistors sont à l'état bloqué et présentent une impédance élevée. Si une tension suffisamment positive est appliquée, la diode D1 se débloquent et fournira du courant à la base du transistor. Au début, seul le transistor TR2 conduira car la résistance base-émetteur R1 shuntera le courant. Dans cette condition, la caractéristique du dispositif VI sera déterminée par celle de BV_{CEO} du transistor TR2. Lorsqu'un courant suffisant s'écoule dans la résistance shunt R1 permettant la conduction de TR1, la paire de transistors devient passante dans un état passant basse tension. La paire de transistors restera dans le même état jusqu'à ce que le courant devienne trop faible pour maintenir une tension suffisamment élevée dans la résistance shunt pour activer le transistor TR1. Le courant pour lequel la paire de transistors commence à conduire est appelé courant de maintien.

Le schéma de la structure et du circuit se superpose sur celui de la structure simplifiée avec les positions appropriées des éléments du circuit sur la structure.

4.4 Caractéristiques du quadrant de commutation

La caractéristique de commutation d'un parafoudre à thyristor comporte quatre zones: a) état bloqué, b) avalanche, c) résistance négative, d) état passant (voir figure 5)

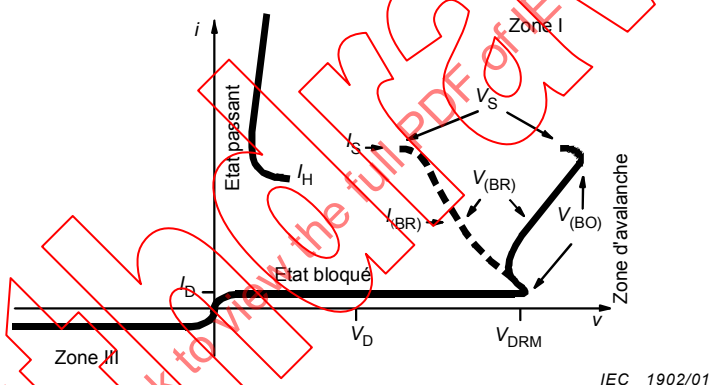


Figure 5 – Caractéristique de commutation du TSS

4.4.1 Zone de blocage

Cette zone de blocage est la partie de la caractéristique tension-courant à résistance élevée et courant faible. Cette zone s'étend depuis l'origine jusqu'au début de l'avalanche. Le courant de blocage est la somme du courant inverse de la jonction et des courants de fuite en surface. Deux mesures sont typiquement réalisées dans cette zone: courant de blocage (I_D), mesuré sous la tension continue de blocage (V_D) appliquée; et le courant de blocage de crête répétitif (I_{DRM}) mesuré sous la tension répétitive assignée de blocage (V_{DRM}) appliquée.

4.4.2 Zone d'avalanche

Cette zone d'avalanche est la partie de la caractéristique tension-courant à résistance faible et tension élevée. Cette zone s'étend depuis le changement de la partie courant faible de la caractéristique tension-courant d'une résistance dynamique élevée à une résistance plus faible avec augmentation du courant. Enfin, cette zone s'arrête lors de l'amorçage du thyristor en début de commutation. En fonction de la conception du thyristor et de la température, cette zone peut se terminer sous une tension plus faible ou plus élevée que celle du début. La caractéristique à faible résistance de cette zone est le résultat de l'avalanche de la jonction associée à l'action du transistor. La tension maximale apparaissant dans la zone d'avalanche est définie comme la tension de retournement ($V_{(BO)}$). Des mesures complémentaires peuvent être effectuées sous la tension d'avalanche ($V_{(BR)}$) à un courant d'avalanche ($I_{(BR)}$) (pour des TSS à pente positive) et avec la tension et le courant du point de commutation (V_S, I_S).

The equivalent circuit illustration is the circuit diagram that results from the circuit elements defined in the structure component parts illustration. Transistors TR1 and TR2 are connected as a regenerative pair. In an inactive condition these transistors will be in an off-state and present a high circuit impedance. If sufficient positive voltage is applied, diode D1 will break down and supply current to the transistor base regions. Initially only transistor TR2 will conduct as the base-emitter shunt resistance, R1, of transistor TR1 will bypass the current. In this condition, the device VI characteristic will be determined by the BV_{CEO} characteristic of transistor TR2. When sufficient current flows through the shunt resistance, R1, to initiate conduction of transistor TR1, the transistor pair will regenerate and switch (crowbar) to a low voltage on-state condition. The transistor pair will remain in this condition until the conducted current is too small to maintain sufficient voltage across the shunt resistance to activate transistor TR1. The current at which the transistor pair begins to switch off (delatch) is called the holding current.

The structure and circuit illustrations, superimpose the equivalent circuit over the simplified structure with the appropriate positions of circuit elements to the structure.

4.4 Switching quadrant characteristics

The switching characteristic of a TSS consists of four regions: a) off-state; b) breakdown; c) negative resistance and d) on-state (see figure 5).

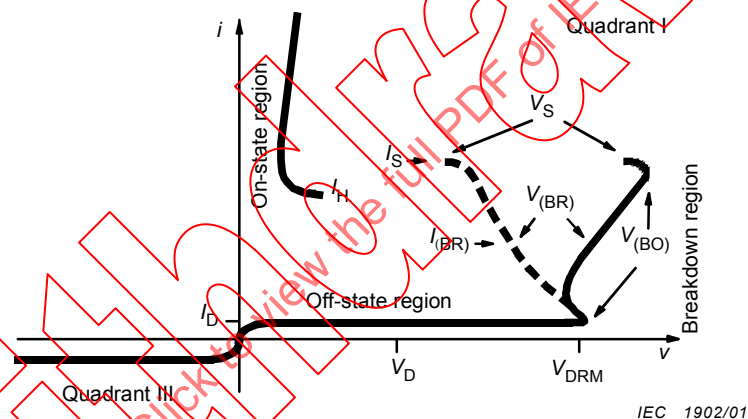


Figure 5 – TSS switching characteristic

4.4.1 Off-state region

The off-state region is the high-resistance, low-current portion of the voltage-current characteristic. This region extends from the origin to commencement of breakdown. The off-state current is the sum of junction reverse current and any surface leakage current. Two measurements are typically made in this region: off-state current (I_D), measured with the d.c. off-state voltage (V_D) applied and repetitive peak off-state current (I_{DRM}) measured with the rated repetitive peak off-state voltage (V_{DRM}) applied.

4.4.2 Breakdown region

The breakdown region is the low-resistance, high-voltage portion of the voltage-current characteristic. This region begins where the low-current portion of the voltage-current characteristic changes from a high dynamic resistance to a region of substantially lower dynamic resistance for an increasing magnitude of current. Finally, this region terminates when sufficient thyristor regeneration occurs to initiate switching. Depending on the thyristor design and temperature, the end of the breakdown region may be at a higher or lower voltage than the start. The low resistance characteristic of this region is the result of junction avalanche breakdown combined with transistor action. The maximum voltage that occurs in the breakdown region is defined as the breakover voltage ($V_{(BO)}$). Additional measurements may be made of the breakdown voltage ($V_{(BR)}$) at a given breakdown current ($I_{(BR)}$) (for positive slope TSS devices) and the voltage and current at the switching point (V_S, I_S).

4.4.3 Zone à résistance négative

Cette zone représente la trajectoire entre la zone d'avalanche et celle de l'état passant. Cette zone est sous condition dynamique avec amorçage du thyristor dans le temps et demande accrue de courant entraînant une chute de tension dans le thyristor jusqu'à son état passant.

4.4.4 Zone d'état passant

C'est la zone de la caractéristique tension-courant à faible résistance et courant élevé. A l'état passant, le thyristor est totalement amorcé et présente une chute de tension minimale pour le passage du courant. Le courant minimal qui maintient juste l'état passant est défini comme le courant de maintien (I_H). Un courant inférieur à cette valeur entraînera la commutation du thyristor.

4.5 Critère de performance d'un TSS

Le performance d'un TSS peut être classée en trois zones:

- a) la charge du système, en terme d'appel de courant, de maintien du courant et de capacité,
- b) la protection du matériel définie comme tension de crête de passage et de mode de défaut, et
- c) la tenue dans le temps selon les chocs et l'environnement.

4.5.1 Charge du système

Dans des conditions normales, il convient que le TSS soit transparent. Il est recommandé qu'il n'entraîne pas la charge par appel de courant excessif au repos ou dans des conditions maximales de signal, provoquant un défaut de retour au fonctionnement normal après un choc ou un déséquilibre dû à des différences de capacités.

La charge est due au courant de blocage (I_D). Pour la plupart des applications téléphoniques, une tension d'essai inverse V_D de -50 V est appropriée. Le courant de blocage augmente avec la température et ce paramètre doit être spécifié comme la valeur maximale présumée à la température ambiante.

La tension maximale sans écrêtage peut être définie par un ou deux paramètres. Pour garantir que le TSS reste bloqué sous une amplitude d'entrée la plus élevée, il faut que la tension assignée répétitive de crête de blocage, V_{DRM} , soit supérieure à cette tension. Dans de nombreux systèmes, quelques milliampères de courant d'écrêtage n'auront pas d'influence sur le fonctionnement. Dans ce cas, pour les TSS à pente d'avalanche positive, le courant faible d'avalanche ($I_{BR} \approx 1$ mA), la tension d'avalanche, V_{BR} , peuvent être définis comme les valeurs maximales d'entrée. La valeur de ces deux paramètres peut être réduite pour des températures plus faibles et il convient que les valeurs prescrites soient spécifiées pour une température ambiante présumée plus faible.

Lorsque les câbles de signaux sont protégés par le TSS mis à la terre, le déséquilibre d'une phase peut être dû à la différence de capacité de la protection. L'état bloqué d'un TSS se renforce avec l'augmentation de la température de la jonction T_J , et diminue avec une tension inverse croissante qui comprend la tension continue V_D , et la tension de signal alternative V_d . Si $V_D \gg V_d$, la valeur de la capacité est indépendante de V_d . Dans le domaine normal des fréquences des télécommunications, la capacité est principalement constante. Pour estimer exactement la différence de capacité entre les paires du TSS, les conditions d'essai doivent refléter celles de fonctionnement normal.

4.4.3 Negative resistance region

The negative resistance region represents the trajectory from the breakdown region switching point to the on-state condition. This region is a dynamic condition, where the thyristor regeneration increases with time causing an increased current demand which pulls down the voltage across the thyristor until the on-state condition is reached.

4.4.4 On-state region

The on-state region is the low-resistance, high-current portion of the voltage-current characteristic. In the on-state condition the thyristor is fully regenerated and develops the minimum voltage drop for the current flowing. The minimum current that will just maintain the on-state condition is defined as the holding current (I_H). Currents below this value will cause the thyristor to switch off.

4.5 Performance criteria of a TSS

The performance of a TSS can be categorized into three areas.

- a) system loading, in terms of current drawn, holding current and capacitance;
- b) equipment protection, defined as peak let-through voltage and failure mode;
- c) durability, assessed as surge and environmental life.

4.5.1 System loading

Under normal system operation, the TSS should be transparent. The TSS should not cause system loading by drawing excessive current under stand-by or maximum signal conditions, failing to restore normal operation after a surge or causing line unbalance due to capacitance differentials.

Stand-by loading is covered by the off-state current, I_D , parameter. For most telephone applications, a test bias voltage, V_D , of -50 V is appropriate. Off-state current increases with temperature and so this parameter needs to be specified as a maximum value at the highest expected system ambient temperature.

The maximum system voltage without major voltage clipping can be defined by one of two parameters. To guarantee that the TSS is still in the off-state at the highest signal amplitude, the rated repetitive peak off-state voltage, V_{DRM} , must be higher than this level. In many systems, a few milliamperes of clipping current will not interfere with the system operation. In these cases and for TSS devices with a positive breakdown slope, the low current ($I_{(BR)} \approx 1\text{ mA}$), breakdown voltage, $V_{(BR)}$, may be specified as equal to the highest signal amplitude. The voltage value of both these parameters will be reduced at low temperatures and so the required values should be specified at the lowest expected system ambient temperature.

When the signal wires are protected by the TSS to ground, line unbalance can be caused by the difference in protector capacitance. The off-state capacitance of a TSS increases with increasing junction temperature, T_J , and decreases with increasing bias voltage, which comprises the d.c. voltage, V_D , and the a.c. signal voltage, V_d . When $V_D \gg V_d$ the capacitance value is independent of the value of V_d . Over the range of normal telecommunication frequencies the capacitance is essentially constant. To accurately estimate the capacitance differential of the TSS pair, the test conditions shall reflect those of normal operation.

Après que le TSS a commuté à l'état passant et écoule un courant de foudre, il doit se bloquer pour ramener une opération normale en fin de choc. Le courant de maintien I_H détermine le courant de blocage. Une température de jonction et une impédance du circuit plus élevées diminueront la valeur du courant de maintien. Il convient que ce courant soit supérieur au courant maximal continu dans les conditions les plus défavorables, c'est-à-dire avec impédance maximale de source et température de jonction maximale. Généralement, la température maximale de la jonction apparaît après un long choc de foudre alternatif sous la température ambiante présumée la plus élevée.

4.5.2 Protection de l'équipement

Pour la protection, la tension crête de passage du TSS ne doit pas dépasser la tension de tenue aux chocs de l'équipement en condition de surtension. Pour certaines applications, le niveau maximal de choc est inconnu et le mode de défaut envisagé, résultant des conditions de chocs élevés, doit être spécifié.

Une surtension peut être due à un choc ou à un stress alternatif de durée relativement longue. Dans des conditions de chocs en courant alternatif, l'échauffement et la température résultante de la jonction augmentent la tension de retournement. Pour des courants faibles, l'échauffement est dû à des pertes dans la zone d'avalanche. Des courants élevés entraînent des pertes élevées dans l'état passant. La tension crête de passage de choc augmente avec la valeur des chocs.

Si un choc dépasse largement la capacité d'un TSS, son défaut est catastrophique. Dans le domaine des télécommunications, il existe deux classes de protection: primaire et secondaire. La protection primaire est applicable à l'emplacement où elle doit empêcher la propagation d'une grande part d'énergie au delà de l'interface prévu. La protection secondaire est applicable à la protection primaire et est soumise à des niveaux de contraintes plus faibles et mieux définis. Dans des conditions de chocs excessives, il peut être prévu que la protection primaire devienne un court-circuit pour empêcher la propagation du choc. Les protections primaires sont testées jusqu'à destruction afin de s'assurer que leur mode défaillance est sûr et efficace.

4.5.3 Tenue dans le temps

Le TSS doit présenter une durée de vie en service appropriée et une durée de vie prévue d'au plus 20 ans. La plus grande partie de cette période est dans des conditions normales de fonctionnement et le produit doit réussir des essais d'environnement défavorables pour vérifier sa durée de vie. Les conditions de chocs constituent une petite partie – mais toutefois significative – de sa tenue en service. Sa tenue dans le temps est typiquement estimée par des essais de chocs répétitifs sous des courants différents.

4.6 Structures complémentaires du TSS

4.6.1 TSS à gâchette

Ces dispositifs comportent une gâchette (G,g) commandant la commutation dans la zone caractéristique et deux bornes principales assurant la fonction de protection. Trois types de gâchettes existent car cette borne complémentaire peut être connectée à une couche P ou N du thyristor ou à une couche combinée PN. Certains TSS à gâchette sont conçus pour permettre aussi leur fonctionnement sans commande à gâchette. Sans la commande à gâchette, le fonctionnement et les caractéristiques sont les mêmes que pour les TSS à tension fixe.

After the TSS has switched into the on-state to divert a surge current, it shall switch off to restore normal operation after the surge has ended. The TSS holding current, I_H , determines the switch-off current. Increasing junction temperature and circuit impedance will lower the holding current value. The holding current should be greater than the maximum wire d.c. under the worst case conditions, i.e. maximum circuit source impedance and device junction temperature. Usually the maximum junction temperature will occur after a long a.c. power surge at the highest expected ambient temperature.

4.5.2 Equipment protection

For protection purposes, the TSS peak let-through voltage shall not exceed the equipment voltage rating under all overvoltage conditions. In some applications, the maximum surge level is unknown and the desirable failure mode, resulting from excessive surge levels, shall be specified.

An overvoltage can be due to an impulse or a relatively long a.c. stress. Under a.c. surge conditions, heating and the resultant junction temperature rise increases the breakover voltage. At low currents, heating is due to breakdown region losses. High currents cause the major loss to be in the on-state region. The peak impulse let-through voltage will increase as the impulse rate of rise increases.

When a surge greatly exceeds the capability of a TSS, it fails catastrophically. In telecommunication applications there are two classes of protector – primary and secondary. Primary protection is applied at the system location where it prevents most of the stressful energy from propagating beyond the designated interface. Secondary protection is applied subsequently to the primary protection and is subject to smaller and more defined stress levels. Under excessive surge conditions, it may be desirable that the primary protector fails by short-circuiting and so prevents the surge from propagating further. Primary protectors are normally destructively tested to ensure their failure mode is safe and effective.

4.5.3 Durability

The TSS shall have an adequate service life and a design life in excess of 20 years is typical. Most of this period is under normal operating conditions and the product shall pass a series of aggressive environmental tests to verify life expectancy. Surge conditions are a small, but significant, proportion of the service life. Surge durability is typically evaluated by repetitively surging the protector at various current levels.

4.6 Additional TSS structures

4.6.1 Gated TSS

These devices have a gate (G, g) terminal that controls the switching region characteristics and the two principal terminals provide the protective function. Three gate types are possible, as this additional terminal may be connected to either an intermediate P-type or N-type layer of the TSS or a combined NP region. Some gated TSS are designed to also allow operation without gate control. Without gate control, the device operation and characteristics are the same as the fixed voltage TSS.

Dans tous les TSS à gâchette, il existe deux transistors NPN et PNP équivalents connectés en paires régénératrices (voir les exemples de la figure 4). Au repos, la paire est à l'état bloqué et présente une impédance élevée. La couche de la gâchette et la couche principale adjacente constituent une jonction PN. Lorsqu'elle conduit, une charge est transférée dans la paire de transistors. Si un courant de gâchette suffisant s'écoule, la paire de transistors est passante et commute (crowbar) à l'état passant à basse tension. La paire de transistors reste dans cet état jusqu'à ce que le courant principal soit trop faible pour maintenir la conduction de la paire de transistors.

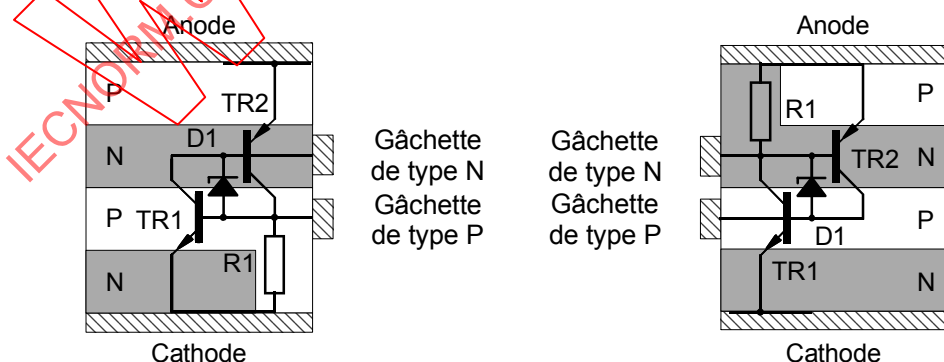
Il existe deux boucles de passage de courant de gâchette. La première boucle apparaît lorsque le circuit produisant le courant de gâchette est connecté à la gâchette et à sa borne principale adjacente. L'autre boucle apparaît lorsque ce circuit est connecté entre les deux bornes principales. Lorsque le TSS est à l'état bloqué, aucun courant significatif ne circule directement entre les deux bornes. Dans ce cas, la boucle de courant est complétée par le circuit reliant la gâchette et sa borne principale non adjacente. Le chemin du courant s'effectue par la borne principale adjacente, la borne de gâchette et entre le réseau de gâchette et la borne principale non adjacente (voir figure 41).

La configuration la plus commune pour ces dispositifs est la gâchette commune. En soumettant la gâchette à une tension inverse de référence extérieure, telle que la tension d'alimentation du circuit intégré protégé, la tension de protection sera égale à la tension de référence. Une gâchette de type P soumise à une tension négative par rapport à l'anode, procurera une tension de protection négative transitoire vis-à-vis de l'anode. De la même façon, une gâchette de type N soumise à une tension positive par rapport à la cathode, procure une tension de protection positive transitoire par rapport à la cathode.

Ces dispositifs peuvent aussi être commutés conventionnellement par commande de courant. Parfois, cela peut être réalisé en connectant la gâchette à une électrode en série avec les lignes protégées.

4.6.2 TSS à blocage unidirectionnel

Le quadrant de commutation de cette structure (figure 6) est traité en 4.4. La tension naturelle (fixée) de retournement peut être diminuée par commande de la gâchette, soit par l'utilisation d'une seule gâchette soit des deux gâchettes ensemble. Dans le quadrant de non-commutation, l'écoulement du courant est bloqué par la tension inverse de la jonction NP de l'anode pour le TSS shunt de type P et de la jonction PN de la cathode pour le TSS shunt de type N.



IEC 1903/01

Figure 6 – TSS à blocage unidirectionnel

In all gated TSS there will be the equivalent of a PNP transistor and an NPN transistor connected as a regenerative pair (see the examples in figure 4). In an inactive condition, this transistor pair will be in an off-state and present a high circuit impedance. The gate terminal layer and its adjacent principal terminal layer form a PN junction. When current is conducted by this PN junction, charge carriers are injected into the transistor pair. If sufficient gate current flows, the transistor pair will regenerate and switch (crowbar) to a low voltage on-state condition. The transistor pair will remain in this condition until the principal current is too low to maintain the conduction of the transistor pair.

There are two possible current loops for the gate current. One is when the circuit producing the gate current is connected to the gate and its adjacent principal terminal. The other is when the circuit providing the gate current is connected between the principal terminals. When the TSS is in the off-state, there is no substantial current flow directly between the principal terminals. In this condition, the current flow loop is completed by the circuit connected between the gate and its non-adjacent principal terminal. The current flow path consists of the adjacent principal terminal, the gate terminal, and through the gate network to the non-adjacent principal terminal (see figure 41).

The most common circuit use for these devices is in the common gate configuration. By biasing the gate with an external reference voltage, such as the protected IC supply voltage, the protection voltage will track the value of reference voltage. A P-gate device, with the gate biased negatively with respect to the anode, provides negative transient voltage protection with respect to the anode. Similarly, an N-gate device, with the gate biased positively with respect to the cathode, provides positive transient voltage protection with respect to the cathode.

These devices can also be current triggered in a conventional manner. In some cases, this is done by connecting the gate and adjacent electrode in series with the protected line wire.

4.6.2 Unidirectional blocking TSS

The switching quadrant performance of this structure (figure 6) is covered in 4.4. The inherent (fixed) voltage breakdown can be lowered by gate control; either by use of a single gate or both together. In the non-switching quadrant, current flow is blocked by the reverse biased NP anode junction for the P-type shunt TSS and the PN cathode junction for the N-type shunt TSS.

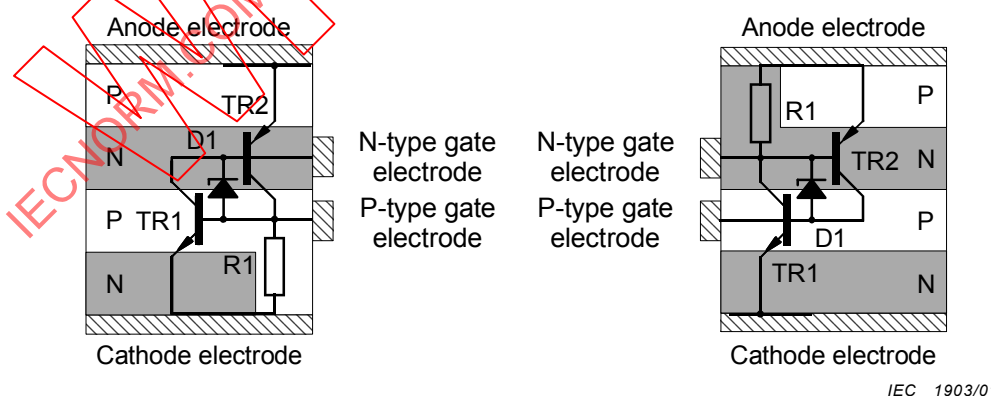


Figure 6 – Unidirectional blocking TSS

IEC 1903/01

4.6.3 TSS à conduction unidirectionnelle

Le quadrant de commutation de cette structure est traité en 4.4 (figure 7). La tension (fixée) naturelle de retournement peut être diminuée par commande de la gâchette, soit par l'utilisation d'une seule gâchette soit des deux gâchettes ensemble. Dans le troisième quadrant, l'écoulement du courant est conduit par la tension directe de la diode PN.

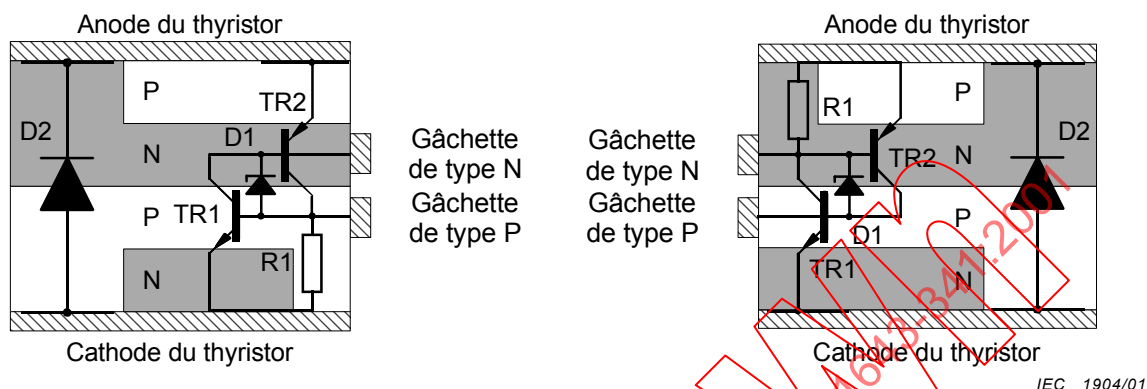


Figure 7 – TSS à conduction unidirectionnelle

4.6.4 TSS bidirectionnel

Ce TSS a deux éléments de blocage unidirectionnel connectés en antiparallèle avec les quadrants I et III (voir figure 8). La tension (fixée) naturelle de retournement dans chaque quadrant peut être diminuée par la commande de la ou des gâchettes appropriées.

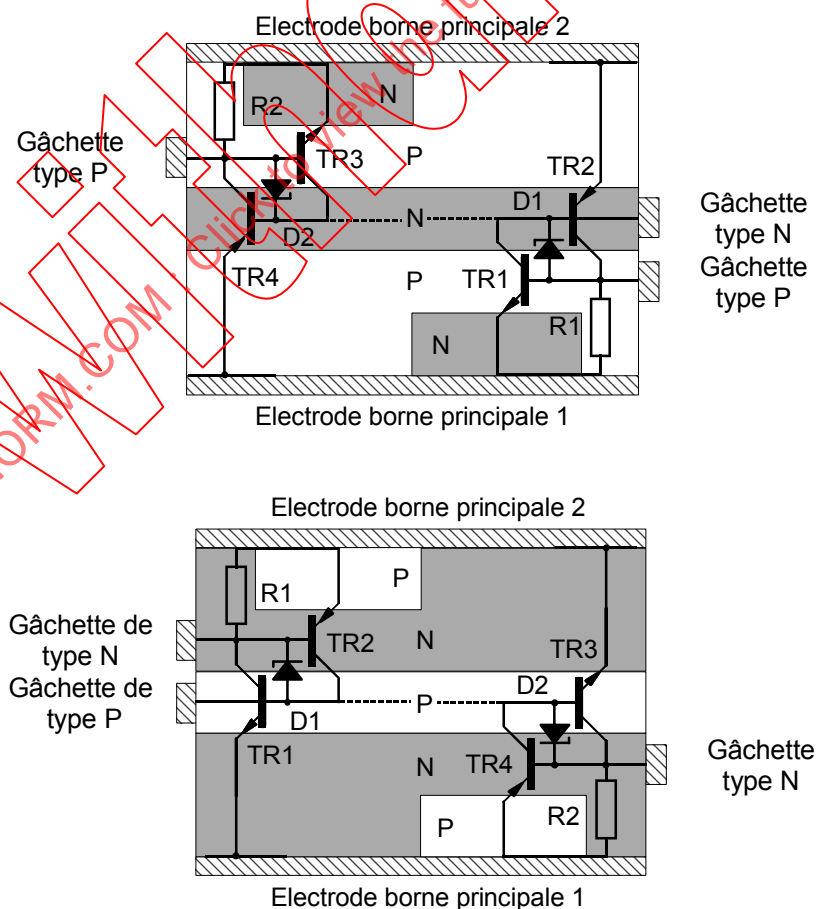


Figure 8 – TSS bidirectionnel

4.6.3 Unidirectional conducting TSS

The switching quadrant performance of this structure (figure 7) is covered in 4.4. The inherent (fixed) voltage breakdown can be lowered by gate control; either by use of a single gate or both together. In the non-switching quadrant, current is conducted by the forward biased PN diode.

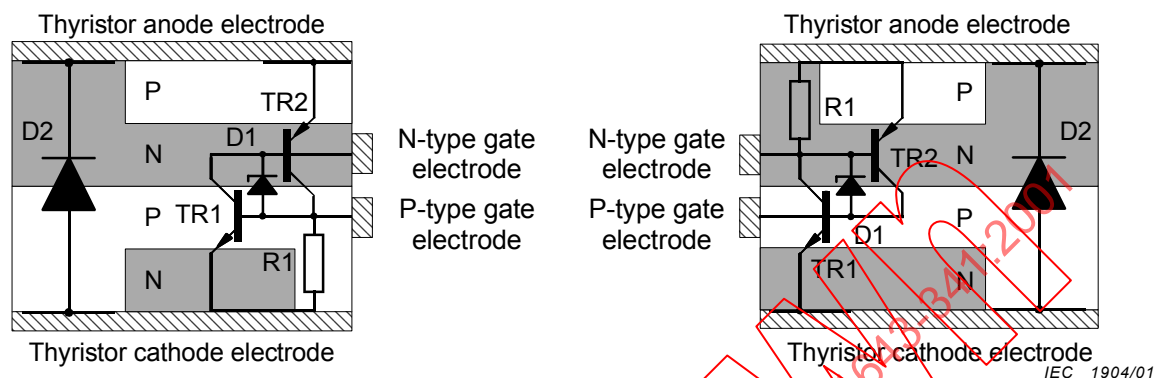


Figure 7 – Unidirectional conducting TSS

4.6.4 Bidirectional TSS

This TSS has two unidirectional blocking sections connected in anti-parallel to switching in first and third quadrants (see figure 8). The inherent (fixed) voltage breakdown in each quadrant can be lowered by controlling the appropriate gate or gates.

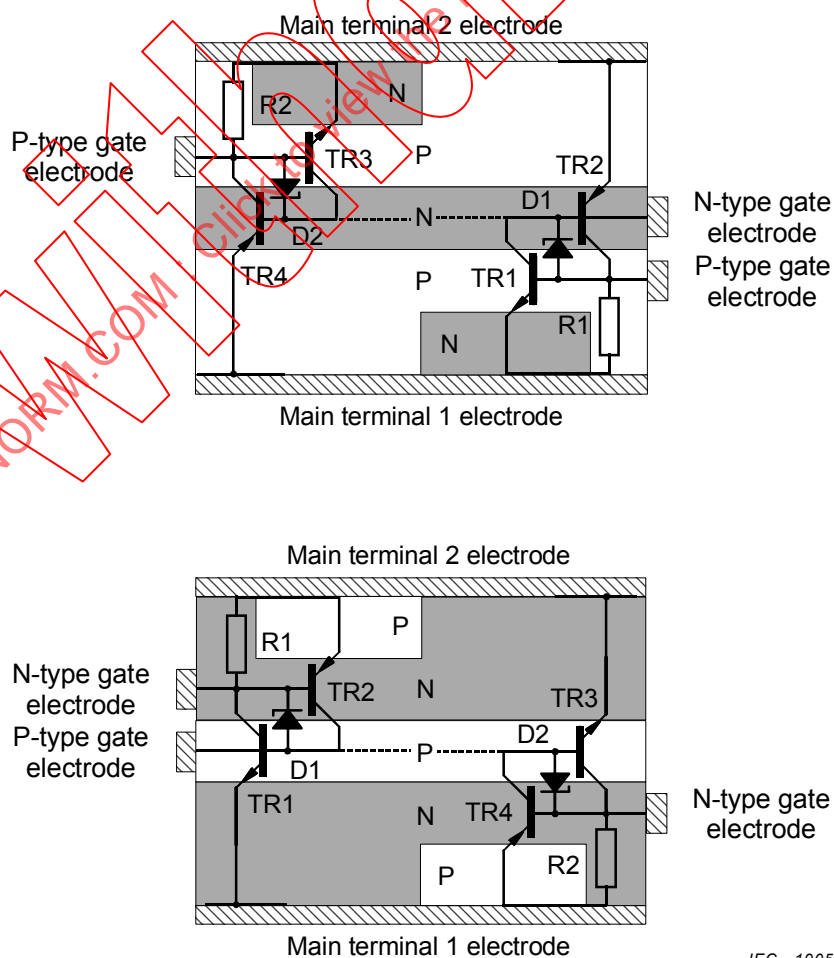


Figure 8 – Bidirectional TSS

4.6.5 TSS bidirectionnel à triac

Ce TSS bidirectionnel présente une structure de gâchette particulière (voir figure 9) permettant la commande dans les deux quadrants par la même gâchette. C'est la structure normale du TRIAC (triode pour commande en c.a.). Le circuit équivalent pour cette structure est incomplet. Il montre seulement les éléments du circuit appropriés à la commande de la gâchette quand le commutateur de gâchette a la même polarité que la borne principale 2, MT2.

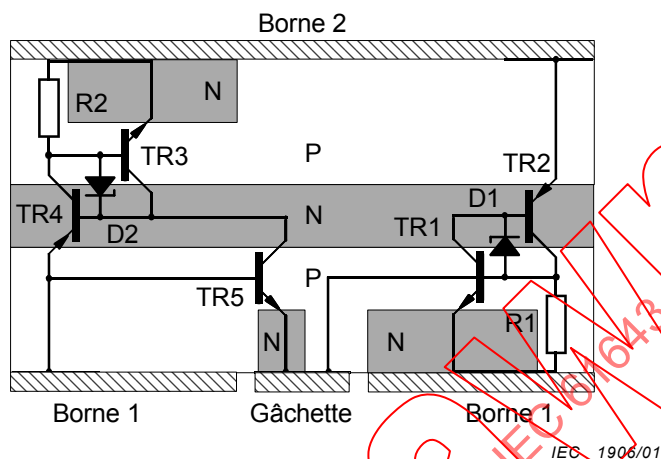


Figure 9 – TSS bidirectionnel à triac

5 Méthodes d'essais normalisés

5.1 Conditions d'essais

Les valeurs et essais caractéristiques doivent être effectués sur le TSS soit selon les prescriptions de l'application, soit selon les spécifications du dispositif. Le TSS doit être essayé dans des conditions spécifiques d'environnement, telles que domaine de températures ou configurations de montage.

5.1.1 Conditions atmosphériques normales

Toutes les mesures électriques à température du local, ainsi que le retour à l'équilibre après les mesures, doivent être effectuées dans les conditions définies dans l'article 4 du chapitre 1 de la CEI 60749:

- température: $25\text{ °C} \pm 5\text{ °C}$;
- humidité relative: 45 % à 75 %, s'il y a lieu;
- pression de l'air: 86 kPa à 106 kPa (860 mbar à 1 060 mbar).

Les essais d'arbitrage doivent être effectués dans des conditions atmosphériques normales (voir article 4 du chapitre 1 de la CEI 60749):

- température: $25\text{ °C} \pm 1\text{ °C}$;
- humidité relative: 48 % à 52 %;
- pression de l'air: 86 kPa à 106 kPa (860 mbar à 1 060 mbar).

Si les paramètres des TSS sont essayés dans un domaine de températures, il convient que les valeurs soient choisies dans la liste recommandée de l'article 5 du chapitre VI de la CEI 60747-1. En plus de ces valeurs, -40 °C et 35 °C sont maintenant les valeurs préférentielles.

4.6.5 Bidirectional TRIAC TSS

This bidirectional TSS has a special gate structure (see figure 9) which permits control in both quadrants with a single gate terminal. This is the standard TRIAC (triode for a.c. control) structure. The equivalent circuit for this structure is incomplete. It only shows the circuit elements appropriate for gate triggering when the gate trigger has the same polarity as the main terminal 2, MT2.

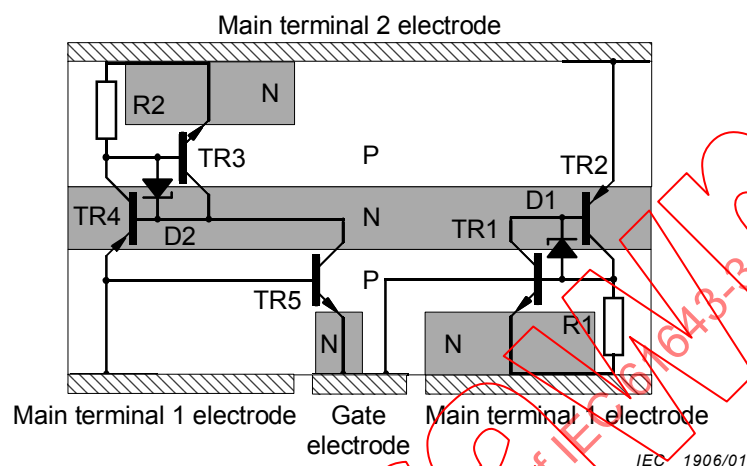


Figure 9 – Bidirectional TRIAC TSS

5 Standard test methods

5.1 Test conditions

The rating and characteristic tests shall be performed on the TSS either as required by the application or as detailed in the device specification. The TSS shall be tested with the specified environmental conditions, such as temperature range and mounting configuration.

5.1.1 Standard atmospheric conditions

All room temperature electrical measurements, as well as recoveries followed by measurements, shall be carried out under the following conditions as recommended in clause 4, chapter 1 of IEC 60749:

- temperature: $25\text{ °C} \pm 5\text{ °C}$;
- relative humidity: 45 % to 75 %, where appropriate;
- air pressure: 86 kPa to 106 kPa (860 mbar to 1 060 mbar).

Referee tests shall be carried out under the following standard atmospheric conditions (see clause 4, chapter 1 of IEC 60749):

- temperature: $25\text{ °C} \pm 1\text{ °C}$;
- relative humidity: 48 % to 52 %;
- air pressure: 86 kPa to 106 kPa (860 mbar to 1 060 mbar).

Where the TSS parameters are tested over a temperature range, suitable values should be chosen from the list of recommended temperature values in clause 5, chapter VI of IEC 60747-1. In addition to these values, -40 °C and 35 °C are now preferred temperature values.

En l'absence de prescription, il est recommandé de choisir l'une des gammes de températures suivantes:

- normale: 0 °C à 70 °C;
- étendue: –40 °C à 85 °C.

5.1.2 Erreurs de mesure

Les erreurs de mesure peuvent être dues à des boucles de terre, des impédances communes, l'induction magnétique, l'induction électrique et le rayonnement électromagnétique. L'erreur sur la tension due à un courant circulant dans une boucle de terre peut être réduite en augmentant l'impédance de la boucle. Cela peut être normalement réalisé en armant les câbles d'essai. Les impédances communes peuvent être évitées en utilisant des contacts Kelvin pour les alimentations de puissance et les détecteurs. Les inductions magnétiques et les effets inductifs peuvent être réduits en raccourcissant les liaisons et en minimisant les boucles, si possible par utilisation de paires torsadées. L'induction électrique (effet capacitif) peut être évitée en interposant un écran de Faraday relié à une terre sans signal. L'induction électromagnétique peut être réduite par des écrans et des techniques utilisées pour l'induction magnétique.

5.1.3 Précision de la mesure

Les oscilloscopes analogiques doivent avoir des temps de montée cinq fois plus rapides que ceux du signal. Cela garantit une erreur inférieure à 2 % lors du temps de montée. Les oscilloscopes numériques (se référer à la CEI 61083-1) doivent avoir des temps d'échantillonnage d'au moins $30/T_x$ échantillons, où T_x est l'intervalle de temps à mesurer. Une résolution assignée de 0,4 % de la déviation à pleine échelle (2^{-8} de la déviation à pleine échelle) ou meilleure est recommandée pour un essai où seuls les paramètres de choc sont calculés. Pour des essais d'arbitrage qui nécessitent une comparaison des enregistrements, une résolution assignée de 0,2 % de la pleine échelle de déviation (2^{-9} de la déviation à pleine échelle) ou meilleure doit être utilisée.

5.1.4 Forme et valeurs de choc spécifiées

La forme d'onde d'un choc est spécifiée par la combinaison de deux chiffres. Le premier représente le temps de montée virtuel (T_1) et le second le temps jusqu'à mi-onde (T_2). Elle est désignée comme T_1/T_2 , tous deux en microsecondes; le signe «/» n'a pas de signification mathématique (voir 2.15 de la CEI 60099-4).

Les courants assignés cités du TSS sont les valeurs d'essai de court-circuit du générateur. Lors des essais, le courant du dispositif sera différent en raison de l'interaction du générateur avec la caractéristique du dispositif.

5.1.5 TSS multiples

Si des TSS multiples sont groupés et actifs lors d'une application et si un TSS individuel est affecté de manière significative par le fonctionnement des autres TSS, l'essai doit prendre en compte ce fonctionnement et celui d'un seul TSS.

5.1.6 Essai des TSS à gâchette

Tous les essais des TSS à tension fixe doivent être effectués sur des TSS à gâchette pour vérifier et déterminer la protection des bornes. Les TSS à gâchette doivent être essayés avec une valeur appropriée V_{GG} et du réseau. Sauf spécifications contraires, les tensions de gâchette utilisées sont les valeurs minimales et maximales de l'application. Pour tout essai où le TSS à gâchette limite la tension, l'alimentation de la gâchette doit être à faible impédance (découplée) et un TSS sans gâchette interne doit avoir une diode de blocage appropriée connectée avec la gâchette. Si un TSS à gâchette a été conçu pour la commande par gâchette et une tension de protection fixe, les essais à tension constante doivent aussi être réalisés avec le circuit de gâchette ouvert (par exemple $I_G = 0$).

In the absence of special requirements, one of the following preferred semiconductor ambient temperature ranges should be used:

- normal 0 °C to 70 °C;
- extended –40 °C to 85 °C.

5.1.2 Measurement errors

Measurement errors can be caused by ground loops, common impedances, magnetic induction, electric induction and electromagnetic radiation. The voltage error caused by a circulating ground-loop current can be reduced by increasing the loop impedance. Normally this is done by clipping ferrite cores on to the probe cables. Common impedances can be avoided by using Kelvin contacts to the DUT for power and sense connections. Magnetic induction and inductive effects can be reduced by short lead lengths and minimizing the wiring loop area, possibly by using twisted wires. Electric induction (capacitive pick-up) can be removed by interposing a Faraday shield connected to a non-signal ground. Electromagnetic pick-up can be reduced by shielding and the techniques used for magnetic induction.

5.1.3 Measurement accuracy

Analogue oscilloscopes shall have rise times five times faster than the signal rise time. This ensures less than 2 % error in the displayed rise time. Digital oscilloscopes (refer to IEC 61083-1) shall have sample times at least $30/T_x$ where T_x is the time interval to be measured. A rated resolution of 0,4 % of full-scale deviation (2^{-8} full-scale deviation) or better is recommended for tests where only the impulse parameters are to be evaluated. For referee tests which require comparison of records, a rated resolution of 0,2 % of full-scale deviation (2^{-9} full-scale deviation) or better shall be used.

5.1.4 Designated impulse shape and values

The waveshape of an impulse is designated by a combination of two numbers. The first, representing the virtual front time (T_1) and the second the virtual time to half value on tail (T_2). It is written as T_1/T_2 , both in microseconds, the sign “/” having no mathematical meaning. (see 2.15 of IEC 60099-4).

The quoted TSS current ratings are the short-circuit test generator values. Under test conditions, the actual device current will be different, due to the interaction of the generator with the device characteristic.

5.1.5 Multiple TSS

Where multiple TSS are packaged together, the application may simultaneously operate them. If the individual TSS parameters are significantly affected by the operation of the other TSS, then the testing shall emulate this condition as well as the single TSS operation.

5.1.6 Gated TSS testing

All fixed voltage TSS tests shall be performed on a gated TSS to verify and determine the protection terminal performance. Gated TSS shall be tested with the appropriate values of gate bias voltage, V_{GG} , and of the network. Unless otherwise specified, the gate bias voltages used for testing shall be the maximum and minimum values of the intended application. For any tests where the gated TSS limits the voltage, the gate supply shall be low impedance (decoupled) and a TSS without internal gate blocking shall have an appropriately poled blocking diode connected directly in series with the gate terminal. When a gated TSS has been designed to give gate controlled and fixed voltage protection, the fixed voltage TSS tests shall also be performed with the gate open-circuited (i.e. $I_G = 0$).

5.2 Conditions de fonctionnement

5.2.1 Conditions normales de fonctionnement

Le TSS est normalement monté dans un équipement ou un module, créant ainsi des conditions de microclimat (voir la CEI 60721-3-9). Les TSS conformes à cette norme doivent être appropriés à un usage fixe protégé contre les intempéries (voir la CEI 60721-3-3). En l'absence de prescriptions particulières, les TSS conformes à cette norme doivent être appropriés aux conditions normales suivantes et à une ou plusieurs conditions des deux microclimats:

a) microclimat normal:

- 1) température de l'air ambiant dans la gamme de 0 °C à 70 °C;
- 2) pression de l'air dans la gamme de 86 kPa à 106 kPa;
- 3) humidité relative dans la gamme de 20 % à 75 %;

b) microclimat étendu:

- 1) température de l'air ambiant dans la gamme de –40 °C à 85 °C;
- 2) pression de l'air dans la gamme de 70 kPa à 106 kPa;
- 3) humidité relative dans la gamme de 10 % à 95 %;

c) conditions de service normal:

- 1) niveaux de signal maximal inférieurs ou égaux à la tension assignée du TSS;
- 2) menace maximale prévisible inférieure ou égale au courant assigné du TSS;
- 3) fonctionnement du TSS coordonné avec la protection des composants contre les surtensions et les surintensités;
- 4) avant la mise en œuvre, le TSS a été manipulé, assemblé et monté selon les recommandations du fabricant.

5.2.2 Conditions anormales

Les TSS soumis à des conditions autres que les conditions de fonctionnement et d'application normales peuvent nécessiter une attention particulière lors de la conception, de la fabrication et de l'application. L'utilisation de cette norme dans ces conditions est soumise à accord entre le fabricant et l'utilisateur. Une liste de conditions anormales présumées est donnée à l'annexe A.

5.3 Modes de défaillance et d'avarie

La défaillance d'un dispositif est un événement qui termine la capacité de ce dispositif à réaliser une fonction prescrite. Après défaillance, le dispositif est en avarie. Un mode de panne est l'un des états possibles du dispositif en avarie, pour une fonction prescrite (voir VEI 191-05-22).

Sauf spécifications contraires, les critères suivants sont suggérés. Les essais de détermination de défaut doivent être effectués après que les dispositifs ont retrouvé une température de 25 °C ± 5°C.

5.3.1 Défaut de dégradation

Dans ce mode, un TSS présumé bon présente un défaut à la fois graduel et partiel. Le TSS présente une variation définie de quelques caractéristiques. Le dispositif peut encore fonctionner de manière satisfaisante dans le circuit d'application. Un défaut graduel (aussi appelé «défaut dérivé») est dû à une modification graduelle dans le temps des caractéristiques données du dispositif. Un défaut partiel est dû à l'incapacité d'un dispositif à réaliser quelques fonctions prescrites, mais pas toutes.

5.2 Service conditions

5.2.1 Normal service conditions

The TSS is normally mounted inside an equipment or module which results in a micro-climate class condition (see IEC 60721-3-9). TSS which conform to this standard shall be suitable for stationary use at weather-protected locations (see IEC 60721-3-3). In the absence of specific requirements, the TSS shall be suitable for operation under the following common service conditions and one or both of the two microclimates:

a) Normal microclimate

- 1) ambient air temperature within the range of 0 °C to 70 °C;
- 2) air pressure within the range of 86 kPa to 106 kPa;
- 3) relative humidity within the range of 20 % to 75 %.

b) Extended microclimate

- 1) ambient air temperature within the range of –40 °C to 85 °C;
- 2) air pressure within the range of 70 kPa to 106 kPa;
- 3) relative humidity 10 % to 95 %.

c) Common service conditions

- 1) maximum system signal levels at or below the TSS rated voltage;
- 2) maximum expected threat at or below the TSS rated current;
- 3) TSS operation coordinated with other overcurrent and overvoltage protection components
- 4) prior to service the TSS has been handled, assembled and mounted in accordance with the manufacturers recommendations.

5.2.2 Abnormal service conditions

TSS subject to other than normal application or service conditions may require special consideration in design, manufacture or application. The use of this standard in case of abnormal service conditions is subject to agreement between the manufacturer and the purchaser. A list of possible abnormal service condition features is given in annex A.

5.3 Failures and fault modes

Device failure is the event which terminates the ability of the device to perform a required function. After failure the device has a fault. A fault mode is one of the possible states of the faulty device, for a given required function (see IEC 191-05-22).

In the absence of special requirements, the following criteria are suggested. Tests for determining fault states shall be performed after the device temperature has returned to 25 °C ±5 °C.

5.3.1 Degradation failure

In this event, a previously acceptable TSS has a failure which is both gradual and partial. The TSS exhibits a defined change in some characteristic. The device may still function satisfactorily in the application circuit. A gradual failure (also referred to as drift failure) is due to a gradual change with time of given characteristics of the device. A partial failure results in the inability of a device to perform some, but not all, required functions.

NOTE Un tel défaut ne fait pas cesser toutes les fonctions, mais en compromet une. Avec le temps, ce défaut peut devenir catastrophique. Les caractéristiques les plus vulnérables à la dégradation sont les courants de blocage inverse et d'état bloqué. Un défaut graduel peut être anticipé par examen et surveillance et peut parfois être évité par une maintenance préventive.

5.3.2 Défaut à courant élevé de blocage

Dans ce mode, le TSS présente un courant à l'état bloqué supérieur à la valeur assignée.

NOTE Sauf spécifications particulières à l'application, il est recommandé que le courant à l'état bloqué soit mesuré sous la tension de crête répétitive à l'état bloqué.

5.3.3 Défaut à courant inverse élevé

Dans ce mode, le TSS présente un courant de crête inverse répétitif supérieur à la valeur spécifiée.

5.3.4 Défaut à tension de retournement élevée

Dans ce mode, le TSS présente une tension de retournement supérieure à celle spécifiée.

5.3.5 Défaut à courant de maintien faible

Dans ce mode, le TSS présente un courant de maintien plus faible que la valeur spécifiée.

5.3.6 Défaut catastrophique (cataleptique)

Dans ce mode, le TSS présente une variation soudaine et totale de sa caractéristique, le rendant inopérant. Un tel défaut total entraîne la cessation de toutes les fonctions essentielles du dispositif. Une défaillance soudaine est un événement qui ne peut être anticipé par surveillance ou examen. Un défaut catastrophique entraîne la cessation de toutes les fonctions essentielles du TSS.

NOTE Ce défaut crée généralement un court-circuit entre bornes maîtresses. Toutefois, si ce courant de court-circuit est assez élevé, des parties internes peuvent fondre et mettre le dispositif en circuit ouvert.

5.3.7 Défaut en court-circuit

Dans ce mode, le TSS devient un court-circuit permanent.

NOTE Sauf spécifications particulières pour des applications spéciales, la valeur maximale de l'impédance de court-circuit est déterminée comme la valeur limite empêchant le matériel protégé de fonctionner normalement.

5.3.8 Défaut en circuit ouvert

Dans ce mode, le TSS devient un circuit ouvert permanent.

NOTE Sauf spécifications particulières à l'application, il est suggéré que, dans ce mode, le dispositif en avarie ne conduise pas un courant supérieur à celui de crête de blocage répétitif soumis à 150 % de la tension de retournement appliquée.

5.3.9 Défaut critique

Il s'agit d'un défaut susceptible d'entraîner des blessures pour les personnes, des dommages significatifs pour les matériels et d'autres conséquences inacceptables.

NOTE Un défaut non critique est un défaut non susceptible d'entraîner des blessures pour les personnes, des dommages significatifs pour les matériels et d'autres conséquences inacceptables.

NOTE Such a failure does not cease all functions, but compromises a function. In time, such a failure may become catastrophic. Characteristics most vulnerable to degradation are reverse blocking and off-state current. A gradual failure may be anticipated by prior examination or monitoring and can sometimes be avoided by preventative maintenance.

5.3.2 High off-state current fault mode

In this mode, the TSS has an off-state current greater than the specified value.

NOTE In the absence of requirements relating to special applications, the off-state current should be measured with the peak repetitive off-state voltage value applied.

5.3.3 High reverse current fault mode

In this mode, the TSS has a repetitive peak reverse current greater than the specified value.

5.3.4 High breakover voltage fault mode

In this mode, the TSS has a breakover voltage greater than the specified value.

5.3.5 Low holding current fault mode

In this mode, the TSS has a holding current lower than the specified value.

5.3.6 Catastrophic (cataleptic) failure

In this event, the TSS has both a sudden and complete failure. A complete failure results in a complete inability to perform all required functions of the device. A sudden failure is an event that cannot be anticipated by prior examination or monitoring. Catastrophic failure causes the cessation of all fundamental functions of the TSS.

NOTE This failure generally results in an electrical short between the main terminals. However, if the resulting short-circuit current is high enough, device internal parts may melt and thus render the device open-circuited.

5.3.7 Short-circuit fault mode

In this mode, the TSS becomes permanently short-circuited.

NOTE In the absence of requirements relating to special applications, the maximum value of impedance for a short circuit is determined as that value which will just prevent the protected equipment from functioning normally.

5.3.8 Open-circuit fault mode

In this mode, the TSS becomes permanently open-circuited.

NOTE In the absence of requirements relating to special applications, it is suggested, that in this mode, a failed device should not conduct more than the peak repetitive off-state current value when 150 % of the maximum breakover voltage value is applied.

5.3.9 Critical failure

This is a failure which is assessed as likely to result in injury to persons, significant material damage or other unacceptable consequences.

NOTE Non-critical failure is assessed as not likely to result in injury to persons, significant material damage or other unacceptable consequences.

5.3.10 Fonctionnement «sûr»

Propriété de conception d'un élément empêchant une défaillance résultant de défauts critiques. L'utilisation de «sûr» pour définir un mode de défaillance et d'avarie de TSS est déconseillé pour les raisons suivantes. Une défaillance peut survenir dans un des modes décrits ci-dessus. Des utilisateurs peuvent considérer que la défaillance souhaitable est de maintenir la fonction de protection: par exemple défaut de court-circuit. Toutefois, d'autres utilisateurs peuvent exiger un défaut en circuit ouvert afin que le système puisse continuer de fonctionner.

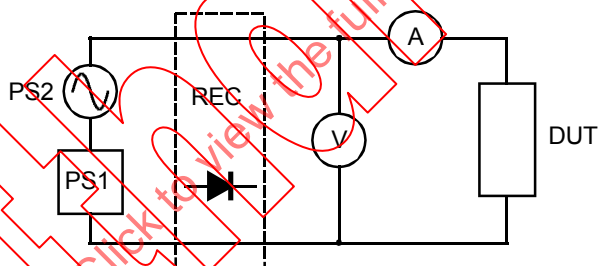
Ainsi, une défaillance en mode court-circuit peut être considérée comme sûre par des utilisateurs et non par d'autres. C'est pourquoi il est recommandé de définir la défaillance selon les modes ci-dessus.

5.4 Procédures d'essais des caractéristiques

Les niveaux d'essai en surtension et en surintensité utilisés doivent provenir d'au moins une des normes CEI et UIT-T citées à l'article 2 de cette norme. Ils peuvent être modifiés pour le niveau final en incluant dans le circuit d'essai certains des composants de chocs coordonnés de l'équipement.

5.4.1 Tension de pointe répétitive à l'état bloqué, V_{DRM}

Le but de cet essai est de vérifier que le TSS garde une impédance élevée à l'état bloqué lorsqu'il est continuellement soumis à une tension de pointe répétitive à l'état bloqué assignée V_{DRM} . Cette valeur doit être appliquée sur le dispositif et le courant I_{DRM} , mesuré lors de l'essai, doit circuler dans un circuit équivalent à la figure 10.



IEC 1907/01

Composants

DUT	dispositif à l'essai
A	ampèremètre, avec lecture de crête
V	voltmètre, valeur moyenne, crête et alternative
PS1	alimentation continue réglée pour la composante continue de V_{DRM}
PS2	alimentation alternative réglée pour la composante alternative de V_{DRM}
REC	circuit redresseur d'onde ou de demi-onde, utilisé pour l'essai unidirectionnel si la composante alternative de V_{DRM} s'inverse

Figure 10 – Circuit d'essai pour la vérification de la tension de crête répétitive à l'état bloqué, V_{DRM}

Le courant mesuré ne doit pas dépasser la valeur maximale spécifiée I_{DRM} . Après cet essai, le dispositif ne doit présenter aucun défaut en fonctionnement normal. La durée de l'essai doit être suffisamment longue afin de s'assurer de la fiabilité de ce dispositif. Chaque quadrant de commutation du TSS doit être essayé séparément et mesuré. (Des variations élevées avant et après les essais sont des indications possibles de dégradation). Les défaillances lors des essais doivent être classées selon les critères de 5.3.

5.3.10 Fail-safe

This is a design property of an item which prevents its failures resulting in critical faults. The use of “fail-safe” to describe a failure event and fault mode for a TSS is discouraged for the following reason. Failure of a device can be produced in any of the modes described above. Some users may consider that the most desirable fault mode for the device is to maintain the protective function; for example, failure in the short-circuit fault mode. However, system objectives of other users can require that a particular device should fail in an open-circuit fault mode in order to achieve the desired performance of the system.

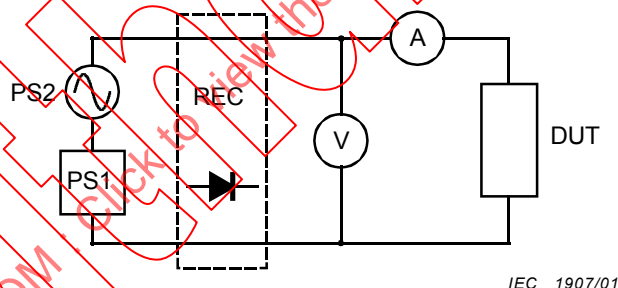
Thus, failure in the short-circuit fault mode, while considered “fail-safe” by many users, may in fact be considered just the opposite by other users. Therefore, the recommended practice is to describe the failure by one of the modes defined above.

5.4 Rating test procedures

The overvoltage and overcurrent test levels used shall be from one or more of the IEC and ITU-U references cited in clause 2. These test levels may be modified to the final equipment level by including in the test circuit any of the surge coordinating components from the equipment.

5.4.1 Repetitive peak off-state voltage – V_{DRM}

The purpose of this test is to verify that the TSS maintains a high impedance off-state condition when continuously subjected to the rated repetitive peak off-state voltage. The rated value of repetitive peak off-state voltage, V_{DRM} , shall be applied across the device and the value of repetitive peak off-state current, I_{DRM} , measured during the test, conducted with a circuit functionally equivalent to figure 10.



Components

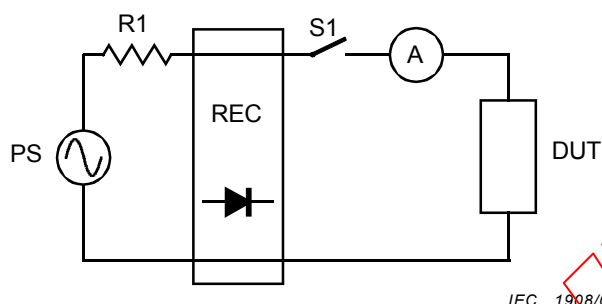
DUT	device under test
A	ammeter, peak reading current monitor
V	voltmeter, mean, peak and a.c. reading
PS1	DC power supply set to the d.c. component of V_{DRM}
PS2	AC power supply set to the a.c. component of V_{DRM}
REC	full or half-wave rectifier circuit, used for unidirectional testing when the a.c. component of V_{DRM} reverses the polarity

Figure 10 – Test circuit for verifying repetitive peak off-state voltage (V_{DRM})

The measured current shall not exceed the maximum specified value of I_{DRM} . After the V_{DRM} test the device shall not fail any of its specified characteristics. The test duration shall be long enough to establish the desired confidence in device reliability. Each switching quadrant of the TSS shall be separately tested and measured. (Large changes between pre- and post-test characteristics are a possible indication of device degradation.) Test failures shall be classified according to the criteria of 5.3.

5.4.2 Courant de crête répétitif à l'état passant, I_{TRM}

Le but de cet essai est de vérifier que le TSS peut conduire son courant de pointe répétitif (quasi sinusoïdal) à l'état passant sans défaillance ou sans dépasser la température maximale de jonction, voir figure 12. Le circuit d'essai utilisé doit être fonctionnellement équivalent à la figure 11.



Composants

DUT	dispositif à l'essai
A	ampèremètre, avec lecture de crête
PS	alimentation alternative, réglée à une tension spécifiée
R1	résistance définissant le courant de crête de court-circuit
S1	interrupteur, fermé pour l'essai
REC	circuit redresseur d'onde ou de demi-onde, utilisé pour l'essai unidirectionnel

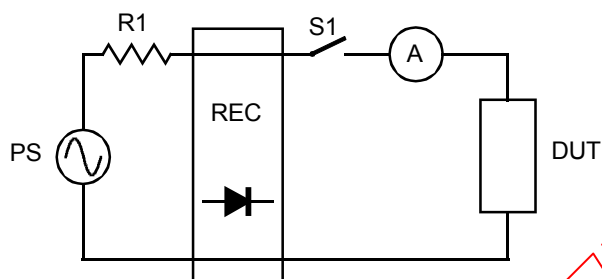
Figure 11 – Circuit d'essai pour la vérification du courant de crête répétitif à l'état passant, I_{TRM}

Le générateur d'essai en courant alternatif doit être spécifié pour des valeurs de courant en circuit ouvert et en court-circuit, ou similaires, de forme d'onde et de valeur de crête. La capacité du générateur doit garantir que le TSS sera toujours à l'état passant. Les TSS unidirectionnels non prévus pour un fonctionnement bidirectionnel nécessitent un pont ou un redresseur demi-onde à ajouter à la source de courant alternatif pour les essais en onde complète ou en demi-onde. Lors de l'essai I_{TRM} , un paramètre sensible à la température, comme I_H , peut être surveillé par un oscilloscope dont les sondes de courant et de tension sont connectées à l'appareil à l'essai comme cela est indiqué à la figure 15.

La température moyenne de fonctionnement de la jonction peut être calculée à partir de paramètres mesurés, coefficient de température et de température initiale du dispositif à l'essai. Après l'essai I_{TRM} , le dispositif ne doit pas présenter de défaut de caractéristiques. La durée de l'essai doit être suffisamment longue pour garantir la fiabilité du dispositif. (De grandes variations des caractéristiques avant et après l'essai peuvent être une indication de dégradation). Les défaillances lors des essais doivent être classées selon les critères de 5.3.

5.4.2 Repetitive peak on-state current, I_{TRM}

The purpose of this test is to verify that the TSS can continuously conduct its rated repetitive peak (quasi-sinusoidal) on-state current without failure or exceeding the maximum rated junction temperature (see figure 12). The test circuit used shall be functionally equivalent to figure 11.



IEC 1908/01

Components

DUT	device under test
A	ammeter, peak reading current monitor
PS	AC power supply, set at specified voltage
R1	resistor, defines peak short-circuit current
S1	switch, closed to perform test
REC	full or half-wave rectifier circuit, connected for unidirectional testing

Figure 11 – Test circuit for verifying repetitive peak on-state current, I_{TRM}

The a.c. test generator shall be specified for the open-circuit voltage and short-circuit current values, or equivalents, of waveshape and waveshape peak value. The capability of the generator shall ensure that the TSS will always switch into the on-state. Unidirectional TSS which are not rated for bidirectional current operation will require a bridge or half-wave rectifier to be added to the a.c. voltage source for full or half wave testing. During the I_{TRM} test, a temperature-sensitive device parameter, such as I_H , can be monitored by means of an oscilloscope whose current and voltage probes are connected to the DUT in the manner shown in figure 15.

The average working junction temperature can be calculated from the measured parameter values, the parameter temperature coefficient and the DUT initial temperature. After the I_{TRM} test, the device shall not fail any of its specified characteristics. The test duration shall be long enough to establish the desired confidence in device reliability. (Large changes between pre- and post-test characteristics are a possible indication of device degradation.) Test failures shall be classified according to the criteria set out in 5.3.

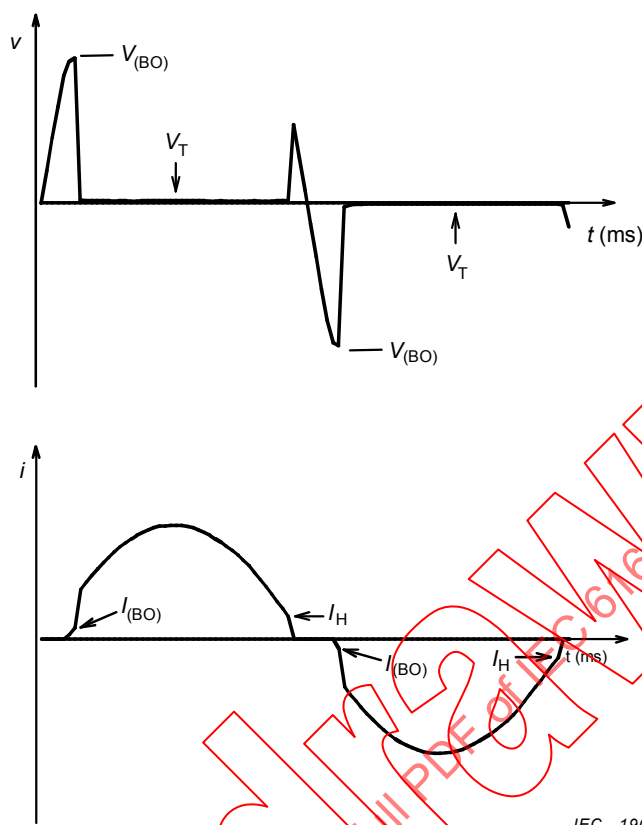
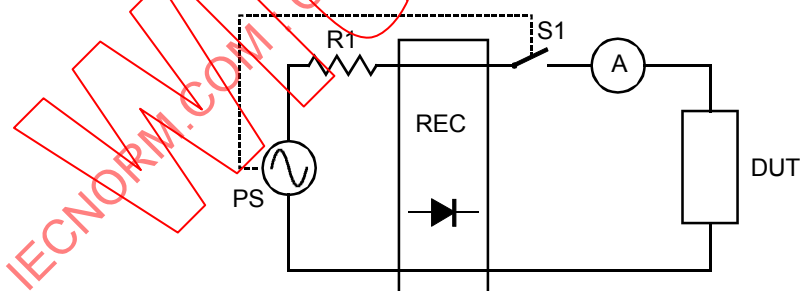


Figure 12 – Formes d'ondes du courant de crête répétitif à l'état passant

5.4.3 Courant de crête non répétitif à l'état passant, I_{TSM}

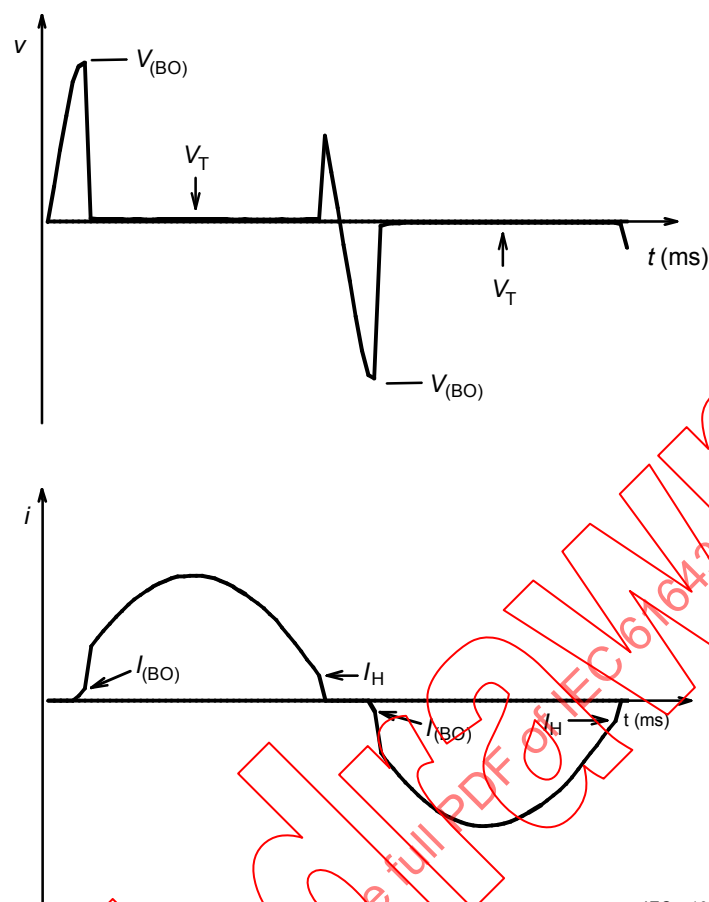
Le but de cet essai est de vérifier que le TSS peut supporter une durée déterminée d'un courant (quasi sinusoïdal) alternatif de choc sans défaillance. Le circuit d'essai utilisé doit être fonctionnellement équivalent à la figure 13.



Composants

- DUT dispositif à l'essai
- A ampèremètre, avec lecture de crête
- PS alimentation alternative, réglée à une tension spécifiée
- R1 résistance définissant le courant de crête de court-circuit
- S1 interrupteur, fermé pour une durée spécifiée de l'essai, fonctionnement synchronisé avec les passages à zéro de la tension alternative
- REC circuit redresseur d'onde ou de demi-onde, utilisé pour l'essai unidirectionnel

Figure 13 – Circuit d'essai pour la vérification du courant de crête non répétitif à l'état passant, I_{TSM}

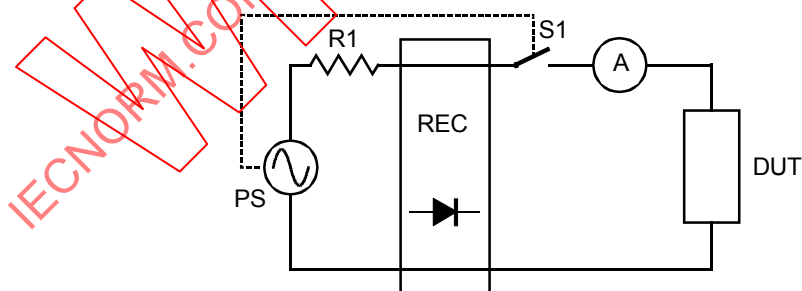


IEC 1909/01

Figure 12 – Repetitive peak on-state current waveforms

5.4.3 Non-repetitive peak on-state current, I_{TSM}

The purpose of this test is to verify that the TSS can survive a specified duration of (quasi-sinusoidal) a.c. surge current without failure. The test circuit used shall be functionally equivalent to figure 13.



IEC 1910/01

Components

DUT	device under test
A	ammeter, peak reading current monitor
PS	AC power supply, set at specified voltage
R1	resistor, defines peak short-circuit current
S1	switch, closes for specified duration, operation synchronised to a.c. voltage zero crossings
REC	full or half-wave rectifier circuit, connected for unidirectional testing

Figure 13 – Test circuit for verifying non-repetitive peak on-state current, I_{TSM}

L'interrupteur S1 ne s'ouvre et ne se ferme que lors du passage de la tension alternative à zéro. Cela garantit que le dispositif sera testé à pleine ou à demi-onde alternative. Le générateur d'essai en courant alternatif doit être spécifié pour une tension en circuit ouvert et un courant de court-circuit, ou analogues, de forme d'onde, de valeur de crête et de durée de fermeture de l'interrupteur S1. La capacité du générateur doit garantir que le TSS commutera toujours à l'état passant. Les TSS unidirectionnels non prévus pour un fonctionnement bidirectionnel nécessitent un pont ou un redresseur demi-onde à ajouter à la source alternative pour l'essai à pleine ou demi-onde. Après fonctionnement de l'interrupteur S1 pour la durée spécifiée de l'essai, et retour du dispositif à l'équilibre thermique, il ne doit pas présenter de défaut de ses caractéristiques spécifiées (des grandes variations entre les caractéristiques pré-essais et post-essais sont une indication possible de la dégradation du dispositif). Les défaillances lors des essais doivent être classées conformément aux critères de 5.3.

La durée de l'essai peut être spécifiée en durée ou en nombre de cycles en courant alternatif pour une fréquence spécifiée. Un essai de courant assigné non répétitif ne doit pas être renouvelé tant que le dispositif n'est pas revenu à l'équilibre thermique. Sauf spécification contraire, il est recommandé que le dispositif supporte 100 essais sans défaillance durant sa durée de vie. La valeur de I_{TSM} variera lors de l'essai de durée de vie et plusieurs valeurs peuvent être nécessaires pour couvrir les besoins d'une application; les durées recommandées sont un cycle de 0,1 s, 1 s et 10 s.

5.4.4 Courant de crête de choc non répétitif, I_{PPSM}

Le but de cet essai est de vérifier que le TSS peut supporter un choc déterminé de forme d'onde d'amplitude de courant de court-circuit I_{PPSM} sans défaillance. Le circuit d'essai de choc utilisé doit être fonctionnellement équivalent à la figure 14. Le générateur d'essai en courant alternatif doit être spécifié pour une tension en circuit ouvert et un courant de court-circuit, ou analogues, de forme d'onde et de valeur de crête. La capacité du générateur doit garantir que le TSS commutera toujours à l'état passant. Après le choc, et après que le dispositif est revenu à l'équilibre thermique, le dispositif ne doit pas présenter de défaut de ses caractéristiques spécifiées (de grandes variations peuvent être une indication de dégradation). Les défaillances lors des essais doivent être classées selon les critères de 5.3.

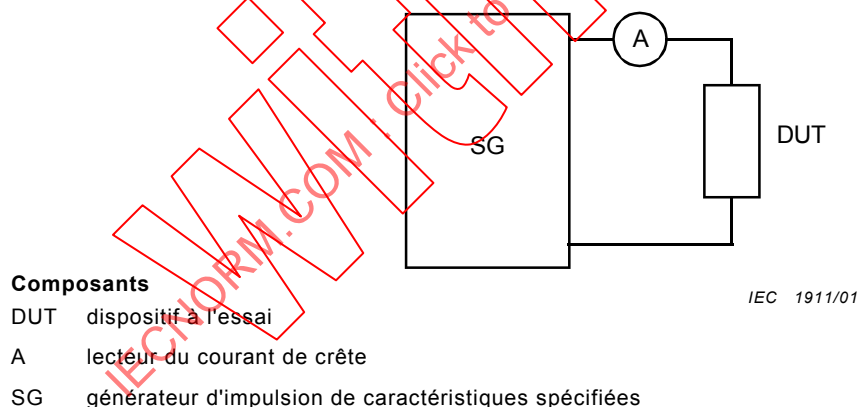


Figure 14 – Circuit d'essai pour la vérification du courant de choc de crête non répétitif, I_{PPSM}

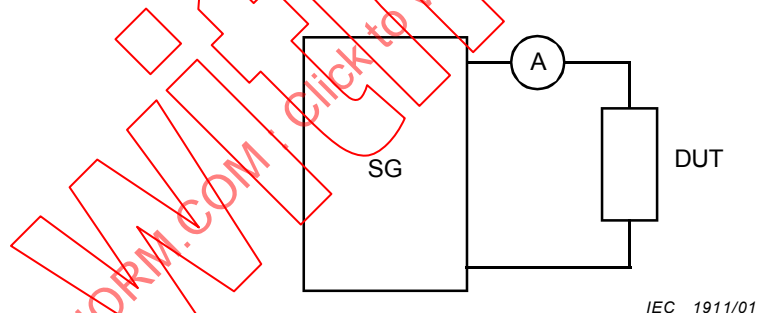
Chaque quadrant de commutation du TSS doit être essayé et mesuré séparément. Un essai de courant assigné non répétitif ne doit pas être renouvelé tant que le dispositif n'est pas revenu à l'équilibre thermique. Sauf spécification contraire, il est recommandé que le dispositif supporte 100 essais sans défaillance pendant sa durée de vie. Pour des besoins de vérification, de plus faibles valeurs peuvent être préférées. La valeur de I_{PPSM} variera avec les formes d'ondes et plusieurs valeurs de forme d'ondes peuvent être nécessaires pour répondre aux besoins de l'application. Les tableaux 2 et 3 montrent des formes d'ondes communément utilisées pour l'essai de TSS pour des applications de télécommunication.

Switch S1 only opens or closes at the zero voltage crossings of the a.c. voltage source. This ensures that the device will be tested with half or full a.c. cycles. The a.c. test generator shall be specified for the open-circuit voltage and short-circuit current values, or equivalent, of waveshape, waveshape peak value, and duration for which the switch S1 closes. The capability of the generator shall ensure that the TSS will always switch to the on-state. Unidirectional TSS which are not rated for bidirectional current operation, will require a bridge or half-wave rectifier to be added to the a.c. voltage source for full or half-wave testing. After switch S1 has operated for the specified test duration and the device has returned to thermal equilibrium conditions, the device shall not fail any of its specified characteristics. (Large changes between pre- and post-test characteristics are a possible indication of device degradation.) Test failures shall be classified according to the criteria set out in 5.3.

The test duration may be specified as a time or number of a.c. cycles at a specified power frequency. A non-repetitive current rating test shall not be repeated until the device has returned to thermal equilibrium conditions. In the absence of special requirements, it is recommended that the device be capable of withstanding up to 100 such tests without failure during its lifetime. The I_{TSM} rating will vary with test duration time and several values may be needed to fulfil an application need; recommended time durations are one cycle at 0,1 s, 1 s and 10 s.

5.4.4 Non-repetitive peak pulse current, I_{PPSM}

The purpose of this test is to verify that a TSS can survive a specified impulse waveshape of short-circuit current amplitude I_{PPSM} without failure. The test circuit used shall be functionally equivalent to figure 14. The impulse test generator shall be specified for the open-circuit voltage and short-circuit current values, or equivalent, of waveshape and waveshape peak value. The capability of the generator shall ensure that the TSS will always switch to the on-state. After the impulse and after the device has returned to thermal equilibrium conditions, the device shall not fail any of its specified characteristics. (Large changes between pre- and post-test characteristics are a possible indication of device degradation.) Test failures shall be classified according to the criteria set out in 5.3.



IEC 1911/01

Components

DUT	device under test
A	peak reading current monitor
SG	impulse generator with specified characteristics

Figure 14 – Test circuit for verifying non-repetitive peak pulse current, I_{PPSM}

Each switching quadrant of the TSS shall be separately tested and measured. A non-repetitive current rating test shall not be repeated until the device has returned to thermal equilibrium conditions. In the absence of special requirements, it is recommended that the device be capable of withstanding up to 100 such tests without failure during its lifetime. For the purpose of verification a smaller number of tests may be preferred. The I_{PPSM} rating will vary with waveshape and several waveshape values may be needed to fulfil an application need. Tables 2 and 3 show some waveshapes commonly used to test the TSS in telecommunication applications.

Tableau 2 – Formes d'ondes de choc de tension communes pour les télécommunications

Forme d'onde	Temps de montée μs	Temps d'affaiblissement μs	Documents de référence
2/10	2 (maximum)	10 (minimum)	GR-1089-CORE [voir B.1]
1,2/50 Onde combinée	1,2 ($\pm 30\%$)	50 ($\pm 20\%$)	CEI 61000-4-5
10/160	10 (maximum)	160 (minimum)	FCC, 47 CFR Partie 68 [voir B.2]
10/560	10 (maximum)	560 (minimum)	FCC, 47 CFR Partie 68 [voir B.2]
10/700	10 ($\pm 30\%$)	700 ($\pm 20\%$)	CEI 61000-4-5
	9 ($\pm 30\%$)	720 ($\pm 20\%$)	FCC, 47 CFR Partie 68 [voir B.2]
10/1 000	10 $^{+0}_{-5}$	1 000 $^{+1000}_{-0}$	IEEE Std C62.45 [voir B.3]

Tableau 3 – Formes d'ondes de choc de courant communes pour les télécommunications

Forme d'onde	Temps de montée μs	Temps d'affaiblissement μs	Documents de référence
2/10	2 (maximum)	10 (minimum)	GR-1089-CORE [voir B.1]
8/20 Onde combinée	8 ($\pm 20\%$)	20 ($\pm 20\%$)	CEI 61000-4-5
10/160	10 (maximum)	160 (minimum)	FCC, 47 CFR Partie 68 [voir B.2]
10/560	10 (maximum)	560 (minimum)	FCC, 47 CFR Partie 68 [voir B.2]
5/320	5 ($\pm 30\%$)	320 ($\pm 20\%$)	FCC, 47 CFR Partie 68 [voir B.2]
10/1 000	10 $^{+0}_{-5}$	1 000 (± 200)	IEEE Std C62.45 [voir B.3]
NOTE Pour un générateur d'onde combiné 1,2/50, 8/20, la CEI 61000-4-5 spécifie l'utilisation d'une résistance extérieure en série d'au moins 40 Ω lors des essais de lignes de télécommunication. La forme d'onde résultante du courant de court-circuit ne sera plus 8/20 mais plutôt 1,2/50.			

5.4.5 Tension de crête inverse répétitive, V_{RRM}

Le but de cet essai est de vérifier que le TSS maintient une impédance élevée à l'état bloqué lorsqu'il est soumis en permanence à la tension de crête inverse répétitive. Cette tension V_{RRM} doit être appliquée en inverse et la valeur de I_{RRM} , est mesurée lors de l'essai dans le circuit fonctionnellement équivalent à la figure 10. Le courant mesuré ne doit pas dépasser la valeur maximale spécifiée pour I_{RRM} . Après l'essai V_{RRM} , le dispositif ne doit pas présenter de défaut sur les caractéristiques spécifiées. La durée de l'essai doit être suffisamment longue pour garantir la fiabilité du dispositif (de grandes variations des caractéristiques avant et après essai peuvent être une indication de défaillance). Les défaillances lors des essais doivent être classées selon les critères de 5.3.

5.4.6 Courant de crête direct non répétitif, I_{FSM}

Le but de cet essai est de vérifier que la partie diode d'un TSS conduisant en direct ou en inverse peut supporter une durée spécifiée de courant de choc alternatif sans défaillance. La méthode d'essai pour le courant de crête direct non répétitif, I_{TSM} (voir 5.4.3 et figure 13), doit être utilisée pour la vérification du courant de crête direct non répétitif, I_{FSM} . Si la période de conduction est un cycle complet ou plus long, alors I_{TSM} (voir 5.4.3) est plus approprié que I_{FSM} (I_{TSM} inclut la conduction de la diode et du thyristor). Après l'essai I_{FSM} et après que le dispositif est revenu à l'équilibre thermique, le dispositif ne doit pas présenter de défaut sur les caractéristiques spécifiées (de grandes variations peuvent être une indication de dégradation). Les défaillances lors des essais doivent être classées selon les critères de 5.3.

Table 2 – Common telecommunication voltage impulse waveshapes

Waveshape	Front time μs	Decay time μs	Reference document
2/10	2 (maximum)	10 (minimum)	GR-1089-CORE [B.1]
1,2/50 Combination wave	1, 2 ($\pm 30\%$)	50 ($\pm 20\%$)	IEC 61000-4-5
10/160	10 (maximum)	160 (minimum)	FCC, 47 CFR Part 68 [B.2]
10/560	10 (maximum)	560 (minimum)	FCC, 47 CFR Part 68 [B.2]
10/700	10 ($\pm 30\%$) 9 ($\pm 30\%$)	700 ($\pm 20\%$) 720 ($\pm 20\%$)	IEC 61000-4-5 FCC, 47 CFR Part 68 [B.2]
10/1 000	10^{+0}_{-5}	$1\,000^{+1000}_{-0}$	IEEE Std C62.45 [B.3]

Table 3 – Common telecommunication current impulse waveshapes

Waveshape	Front time μs	Decay time μs	Reference document
2/10	2 (maximum)	10 (minimum)	GR-1089-CORE [B.1]
8/20 Combination wave	8 ($\pm 20\%$)	20 ($\pm 20\%$)	IEC 61000-4-5
10/160	10 (maximum)	160 (minimum)	FCC, 47 CFR Part 68 [B.2]
10/560	10 (maximum)	560 (minimum)	FCC, 47 CFR Part 68 [B.2]
5/320	5 ($\pm 30\%$)	320 ($\pm 20\%$)	FCC, 47 CFR Part 68 [B.2]
10/1 000	10^{+0}_{-5}	$1\,000 (\pm 200)$	IEEE Std C62.45 [B.3]
NOTE For the 1,2/50, 8/20 combination wave generator, IEC 61000-4-5 specifies the use of an external series resistance of $40\,\Omega$ minimum, when testing telecommunication lines. The available short-circuit current waveshape will then not be 8/20, but more like the 1,2/50 voltage waveshape.			

5.4.5 Repetitive peak reverse voltage, V_{RRM}

The purpose of this test is to verify that the TSS maintains a high impedance blocking state condition when continuously subjected to the rated repetitive peak reverse voltage. The rated value of repetitive peak reverse voltage, V_{RRM} , shall be applied across the device in its blocking direction and the value of repetitive peak reverse current, I_{RRM} , measured during the test using a circuit functionally equivalent to figure 10. The measured current shall not exceed the maximum specified value of I_{RRM} . After the V_{RRM} test the device shall not fail any of its specified characteristics. The test duration shall be long enough to establish the desired confidence in device reliability. (Large changes between pre- and post-test characteristics are a possible indication of device degradation.) Test failures shall be classified according to the criteria set out in 5.3.

5.4.6 Non-repetitive peak forward current, I_{FSM}

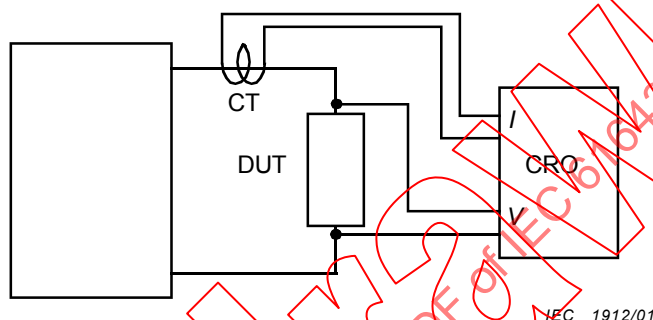
The purpose of this test is to verify that the diode section of a forward or reverse conducting TSS can survive a specified duration of a.c. surge current without failure. The test method for non-repetitive peak on-state current, I_{TSM} (see 5.4.3 and figure 13), shall be used for verifying the non-repetitive peak forward current, I_{FSM} . If the conduction period used is one full cycle or longer, then I_{TSM} (see 5.4.3) rather than I_{FSM} , is applicable. (I_{TSM} includes both diode and thyristor conduction) After the I_{FSM} test and after the device has returned to thermal equilibrium conditions, the device shall not fail any of its specified characteristics. (Large changes between pre- and post-test characteristics are a possible indication of device degradation.) Test failures shall be classified according to the criteria set out in 5.3.

5.4.7 Courant de crête direct répétitif, I_{FRM}

Le but de cet essai est de vérifier que la partie diode d'un TSS à conduction directe ou inverse peut supporter en permanence le courant de crête direct répétitif assigné sans défaillance et sans échauffement excessif de la jonction. La méthode d'essai pour le courant de crête répétitif à l'état passant, I_{TRM} (voir 5.4.2 et figure 11), doit être utilisée pour la vérification du courant de crête direct répétitif, I_{FRM} . Sauf spécification contraire, il est recommandé de spécifier I_{TRM} plutôt que I_{FRM} , car I_{TRM} inclut la conduction de la diode et du thyristor.

5.4.8 Taux de montée critique du courant à l'état passant, di/dt

Le but de cet essai est de vérifier que le TSS peut supporter une montée rapide du courant, telle que celle se produisant lors d'un choc. Le circuit d'essai doit être équivalent à celui de la figure 15.



Composants

- DUT dispositif à l'essai
- CT transformateur de courant ou équivalent
- RG générateur de rampe de di/dt spécifiée
- CRO oscilloscope à deux voies ou équivalent

Figure 15 – Circuit d'essai pour la vérification du taux de montée critique du courant à l'état passant (di/dt)

Les contrôleurs de tension V et du courant I (oscilloscope numérique ou à mémoire avec sondes de tension et de courant) sont utilisés pour enregistrer les conditions du circuit. Après l'essai di/dt , et après que le dispositif est revenu à l'équilibre thermique, le dispositif ne doit pas présenter de défaut sur les caractéristiques spécifiées (de grandes variations peuvent être une indication de dégradation). Les défaillances lors des essais doivent être classées selon les critères de 5.3.

Le générateur di/dt doit être spécifié pour la forme d'onde di/dt , le courant de crête et la forme d'onde (normalement relativement courte). Il est essentiel que la forme d'onde appropriée soit utilisée pour l'essai et que le fabricant soit contacté pour la définition des paramètres. Sauf spécification contraire, il est recommandé qu'un générateur se référant au di/dt normalisé du thyristor soit utilisé. Le circuit de base et ses formes d'ondes sont indiqués à la figure 16.

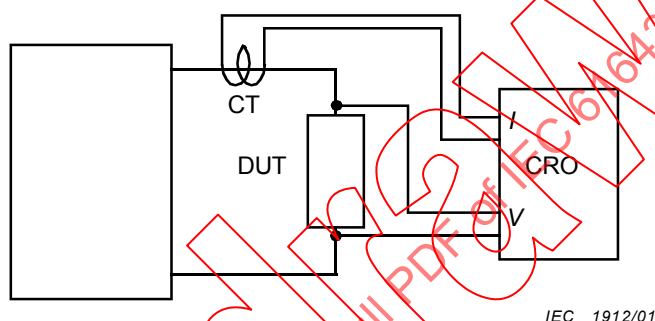
Chaque quadrant de commutation du TSS doit être essayé et mesuré séparément. Un essai de courant assigné non répétitif ne doit pas être renouvelé tant que le dispositif n'est pas revenu à l'équilibre thermique. Sauf spécification contraire, il est recommandé que le dispositif supporte 100 essais, à chaque polarité, sans défaillance, durant sa durée de vie. Pour la vérification, un nombre inférieur d'essais peut être préféré.

5.4.7 Repetitive peak forward current, I_{FRM}

The purpose of this test is to verify that the diode section of a forward or reverse conducting TSS device can continuously conduct the rated repetitive peak forward current without failure or exceeding the maximum rated junction temperature. The test method for repetitive peak on-state current, I_{TRM} (see 5.4.2 and figure 11), shall be used for verifying the repetitive peak forward current, I_{FRM} . In the absence of special requirements, it is recommended that I_{TRM} shall be specified instead of I_{FRM} , where I_{TRM} includes both diode and thyristor conduction.

5.4.8 Critical rate of rise of on-state current, di/dt

The purpose of this test is to verify that a TSS device can survive a fast rising current, as may occur on the wavefront of an impulse. The test circuit used shall be functionally equivalent to figure 15.



IEC 1912/01

Components

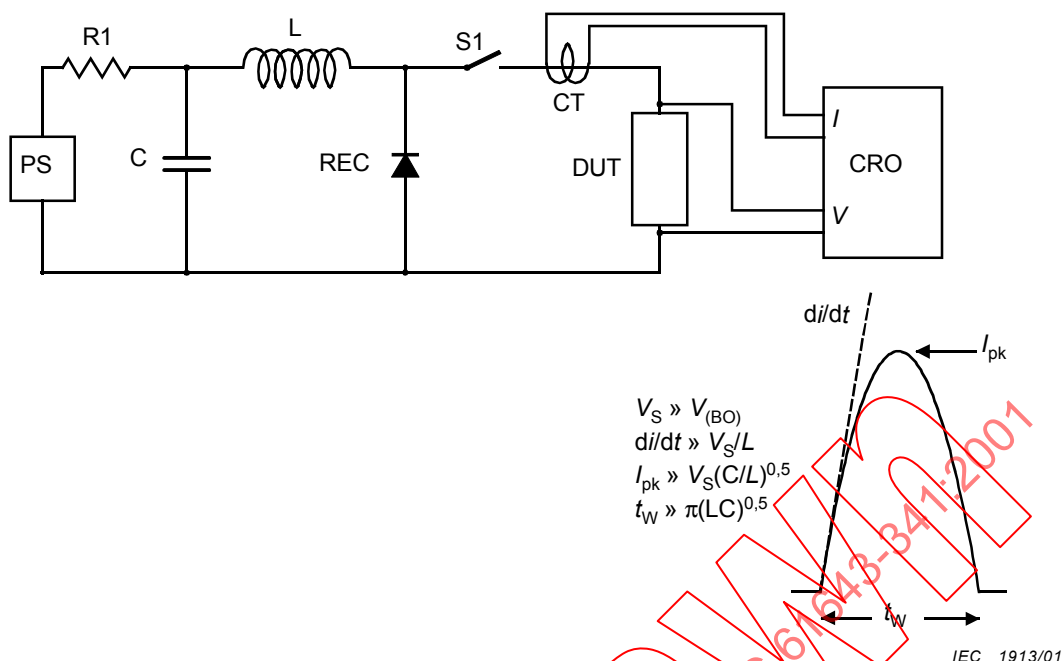
DUT	device under test
CT	current transformer or equivalent
RG	ramp generator with specified di/dt
CRO	dual-channel oscilloscope or equivalent

Figure 15 – Test circuit for verifying critical rate of rise of on-state current (di/dt)

Voltage, V , and current, I , monitors (typically a digital or storage oscilloscope with voltage and current probes) are used to record the circuit conditions. After applying the di/dt impulse to the device, and when it has returned to thermal equilibrium conditions, the device shall not fail any of its specified characteristics. (Large changes between pre- and post-test characteristics are a possible indication of device degradation.) Test failures shall be classified according to the criteria of 5.3.

The di/dt test generator shall be specified for wavefront di/dt and peak (crest) current and waveshape (normally the wave tail will be relatively short). It is essential that the correct waveform is used for this test and the device manufacturer should be contacted for the test circuit and waveform details. In the absence of special requirements, it is recommended that a generator based on the standard thyristor di/dt test circuit be used. The basic circuit diagram and its waveforms are shown in figure 16.

Each switching quadrant of the TSS shall be separately tested and measured. A non-repetitive current rating test shall not be repeated until the device has returned to thermal equilibrium conditions. In the absence of special requirements, it is recommended that the device shall be capable of withstanding up to 100 such tests, in each test polarity, without failure, during its lifetime. For the purpose of verification a smaller number of tests may be preferred.



Composants

DUT	dispositif à l'essai
CT	transformateur de courant ou équivalent
PS	alimentation continue, réglée à V_S
R1	résistance limitant le courant de charge
S1	interrupteur, se ferme pour commencer l'essai et s'ouvre au passage à zéro du courant
REC	circuit redresseur, conduisant le courant négatif
C	condensateur, stockage d'énergie et temporisateur
L	inductance, règle di/dt
CRO	oscilloscope à deux voies ou équivalent

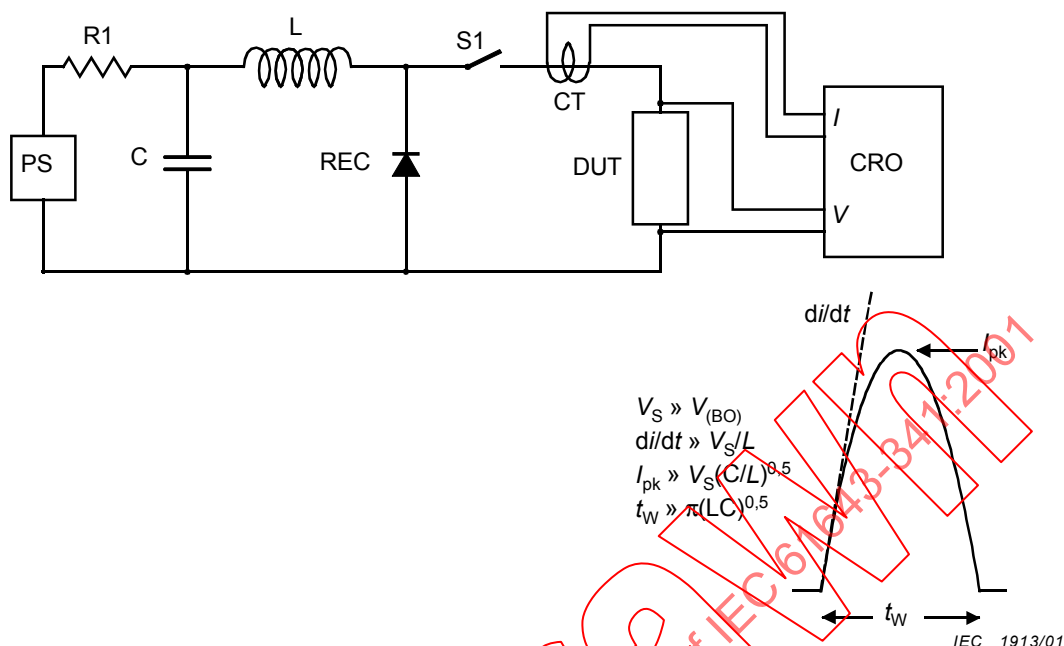
Figure 16 – Circuit d'essai demi-onde di/dt

5.5 Procédures d'essais des caractéristiques

Les niveaux de surtension et de surintensité utilisés pour la protection doivent être au moins un de ceux indiqués dans les normes CEI et UIT-T. Ces niveaux d'essais peuvent être modifiés pour le niveau final de l'équipement en incluant dans le circuit d'essai les composants de coordination de choc de l'équipement.

5.5.1 Courant à l'état bloqué, I_D

Le but de cet essai est de déterminer le courant à l'état bloqué d'un TSS soumis à une tension de blocage spécifiée. Le circuit d'essai doit être équivalent à celui de la figure 17. La tension de sortie de l'alimentation continue doit monter de la valeur zéro à la tension continue de blocage spécifiée V_D avec un taux inférieur au taux critique de montée de la tension de blocage. La tension continue est appliquée jusqu'à ce que I_D se stabilise. La valeur finale de I_D doit être mesurée. Sauf spécification contraire, chaque quadrant de commutation doit être essayé et mesuré séparément.



Components

DUT	device under test
CT	current transformer or equivalent
PS	DC power supply, set to V_S
R1	resistor, limits charging current
S1	switch, closes to start test; opens at current zero crossing
REC	rectifier circuit, conducts negative current
C	capacitor, energy storage and timing
L	inductor, sets di/dt
CRO	dual-channel oscilloscope or equivalent

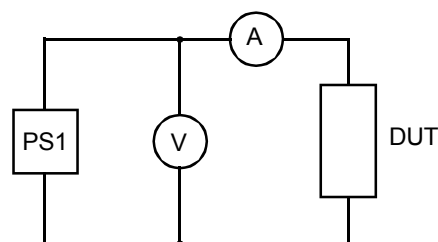
Figure 16 – Half sine-wave di/dt test circuit

5.5 Characteristic test procedures

The overvoltage and overcurrent test levels used to establish the protection voltage shall be from one or more of the IEC and ITU-T references. These test levels may be modified to the final equipment level by including in the test circuit any of the surge coordinating components from the equipment.

5.5.1 Off-state current, I_D

The purpose of this test is to determine the off-state current of a TSS when biased at a specified d.c. off-state voltage. The test circuit used shall be functionally equivalent to figure 17. The voltage output of the d.c. supply shall be ramped from zero to the specified value of d.c. off-state voltage, V_D , at a rate below the minimum value of the critical rate of rise of off-state voltage. The d.c. voltage is applied until the value of off-state current, I_D , stabilises. The final value of I_D shall be measured. Unless specified otherwise, each switching quadrant of the TSS shall be separately tested and measured.



IEC 1914/01

Composants

DUT	dispositif à l'essai
A	micro-ampèremètre
V	voltmètre continu
PS1	alimentation continue de zéro à V_D

Figure 17 – Circuit d'essai pour la mesure du courant à l'état bloqué (I_D sous V_D)

5.5.2 Courant de crête à l'état bloqué répétitif, I_{DRM}

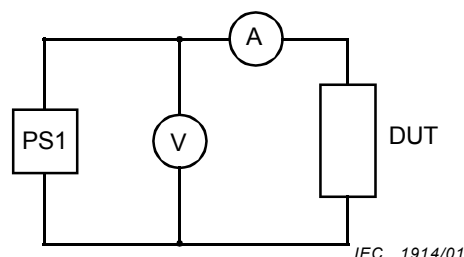
Le but de cet essai est de déterminer le courant de crête à l'état bloqué répétitif d'un TSS alimenté sous sa tension répétitive de crête à l'état bloqué spécifique. La valeur assignée de la tension répétitive de crête à l'état bloqué V_{DRM} doit être appliquée sur le dispositif parcouru par I_{DRM} , mesuré lors de l'essai dans un circuit équivalent à la figure 10. Sauf spécification contraire, chaque quadrant de commutation doit être essayé et mesuré séparément.

5.5.3 Courant de crête inverse répétitif, I_{RRM}

Le but de cet essai est de déterminer le courant de crête inverse répétitif d'un TSS alimenté sous sa tension de crête inverse répétitive spécifique. La valeur de la tension de crête inverse répétitive V_{RRM} doit être appliquée sur le dispositif dans son quadrant de blocage et le courant de crête inverse répétitif I_{RRM} est mesuré lors de l'essai dans un circuit équivalent à la figure 10.

5.5.4 Tension (V_{BO}) et courant (I_{BO}) de retournement

Le but de cet essai est de déterminer le retournement d'un TSS sous un gradient donné. Le circuit d'essai doit être équivalent à celui de la figure 18. Le générateur d'essai doit être spécifié pour la tension en circuit ouvert et le courant en court-circuit, ou équivalents, avec taux de montée, forme d'onde, valeur crête et pour l'essai en courant alternatif, en durée. En variante, le schéma du circuit du générateur d'essai doit être fourni. La tension de crête V_{BO} apparaissant dans le dispositif évoluant de l'état bloqué à l'état passant doit être mesurée (voir figures 19 à 24). Pour des essais multiples en courant alternatif, la valeur mesurée doit être la plus élevée des essais individuels V_{BO} . Le courant instantané correspondant dans le dispositif (I_{BO} sous V_{BO}) doit aussi être mesuré pour une montée normale en tension (voir figures 20, 22 et 24).



Components

DUT	device under test
A	microammeter
V	DC voltmeter
PS1	DC power supply ramped to V_D

Figure 17 – Test circuit for off-state current, I_D at V_D

5.5.2 Repetitive peak off-state current, I_{DRM}

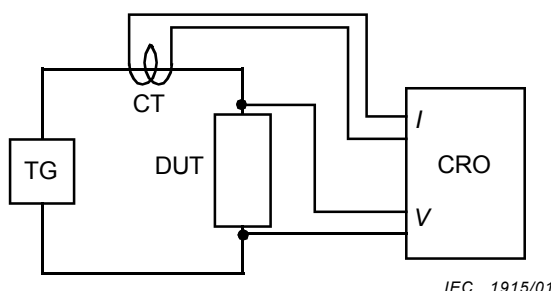
The purpose of this test is to determine the peak off-state current of a TSS when biased at the specified repetitive peak off-state voltage. The rated value of the repetitive peak off-state voltage, V_{DRM} , shall be impressed across the device and the value of device repetitive peak off-state current, I_{DRM} , measured during the test using a circuit functionally equivalent to figure 10. Unless specified otherwise, each switching quadrant of the TSS shall be separately tested and measured.

5.5.3 Repetitive peak reverse current, I_{RRM}

The purpose of this test is to determine the peak reverse current of a reverse blocking TSS when biased at the specified repetitive peak reverse voltage. The rated value of repetitive peak reverse voltage, V_{RRM} , shall be applied across the device in its blocking quadrant and the peak value of device repetitive peak reverse current, I_{RRM} , measured during a test using a circuit functionally equivalent to figure 10.

5.5.4 Breakover voltage, $V_{(BO)}$ and current, $I_{(BO)}$

The purpose of this test is to determine the breakover of a TSS at a specified ramp rate. The test circuit used shall be functionally equivalent to figure 18. The test generator shall be specified for the open-circuit voltage and short-circuit current values, or equivalent, of rate of rise, waveshape, waveshape peak value, and, for a.c. testing, duration. Alternatively, the test generator circuit diagram shall be given. The peak voltage, $V_{(BO)}$, that occurs across the DUT in switching from the off-state to the on-state shall be measured (see figures 19 to 24). For multiple cycle a.c. testing, the measured value shall be the highest value of all individual cycle $V_{(BO)}$ values. The corresponding instantaneous device current, $I_{(BO)}$, at $V_{(BO)}$ shall also be measured for a power frequency voltage ramp rate (see figures 20, 22 and 24).



IEC 1915/01

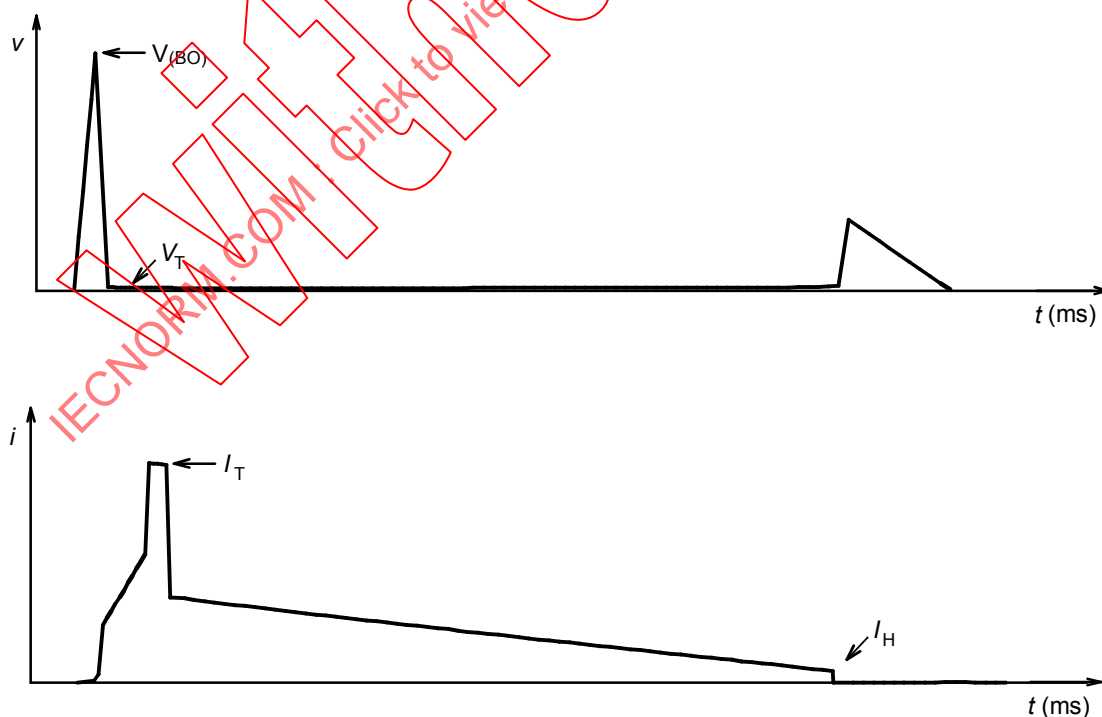
Composants

- DUT dispositif à l'essai
- CT sonde de courant continu ou équivalent
- TG générateur d'essai avec caractéristiques de commutation spécifiées
- CRO oscilloscope à deux voies ou équivalent

EXEMPLE Le générateur d'essai, TG, utilisé pour obtenir les figures 19 à 24, consiste en une source de courant et une résistance shunt de 300 Ω . A partir de zéro, la source de courant augmente jusqu'à 3 A sous 3,33 A/ms (1 000 V/ms en circuit ouvert); puis le courant monte à 5 A pendant 200 μ s avant de retomber à 2 A, puis descend à zéro sous 0,2 A/ms. Ces essais séquentiels sont effectués autour de la caractéristique du dispositif, permettant la mesure des valeurs appropriées de $V_{(BO)}$, $I_{(BO)}$, V_S , I_S , V_T et I_H , du dispositif.

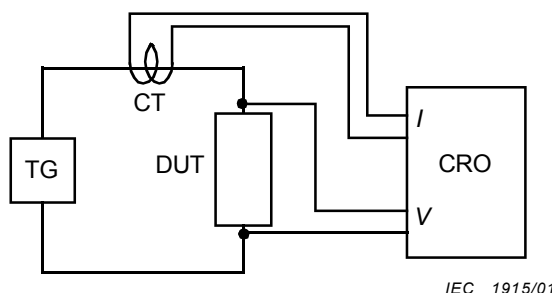
Figure 18 – Circuit d'essai pour le retournement ($V_{(BO)}$ et $I_{(BO)}$) et l'état passant (V_T)

Dans les figures 19 à 24 sont indiquées pour la tension de commutation du quadrant les formes d'ondes de courant des trois types de TSS; la pente des tensions de retournement positives et négatives de TSS à gâchette, des détails de la tension résiduelle à l'état bloqué et passant. (La figure 1 montre les trois caractéristiques types tension-courant). Les formes d'ondes indiquées illustrent le type générique du dispositif qu'il est recommandé de ne pas utiliser comme valeurs typiques.



IEC 1916/01

Figure 19 – Formes d'ondes de commutation et d'état passant pour une pente positive du TSS



IEC 1915/01

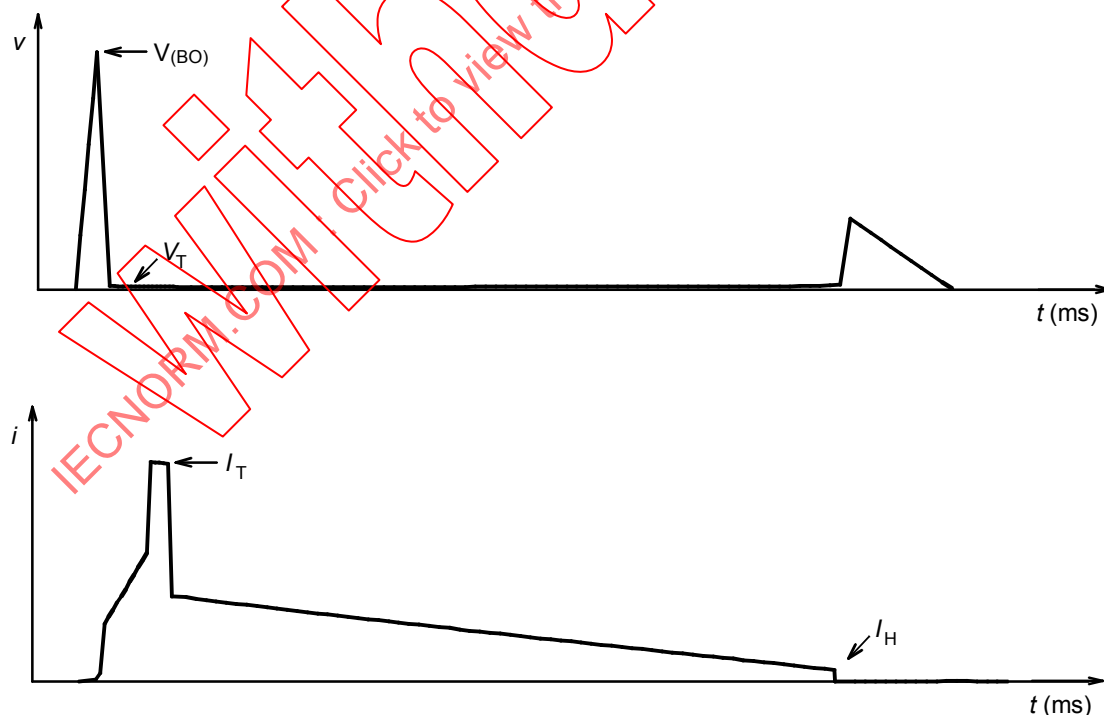
Components

- DUT Device under test
 CT DC current probe or equivalent
 TG test generator with specified characteristics switching DUT from off-state to on-state
 CRO dual channel oscilloscope or equivalent

EXAMPLE The test generator, TG, used to obtain figures 19 to 24 consists of a current source and a shunt $300\ \Omega$ resistor. Starting from zero, the current source ramped to 3 A at 3, 33 A/ms (1 000 V/ms open-circuit voltage); the current then stepped to 5 A for 200 μ s before dropping down to 2 A, after which the current ramped to zero at a rate of 0,2 A/ms. This "sequence" test exercises the device around its characteristic, enabling measurement of $V_{(BO)}$, $I_{(BO)}$, V_S , I_S , V_T and I_H values, as appropriate, for the device.

Figure 18 – Test circuit for breaker, $V_{(BO)}$ and $I_{(BO)}$ and on-state voltage, V_T

Figures 19 to 24 show the switching quadrant voltage and current waveforms of the three TSS types: positive breakdown slope, negative breakdown slope and gated. Expanded sections of the overall wave form detail the clamping, on-state and switch-off conditions. (Figure 1 shows the three device types in terms of the principal voltage-current characteristic) The waveforms shown illustrate the device type generic waveshapes and these should not be taken as typical values.



IEC 1916/01

Figure 19 – Switching and on-state waveforms for a positive breakdown slope TSS

Chaque quadrant de commutation doit être mesuré et essayé séparément. Les essais sur plusieurs cycles en courant alternatif de TSS unidirectionnels doivent être effectués avec soit une onde complète ou une demi-onde redressée, selon l'application. Les valeurs $V_{(BO)}$ et $I_{(BO)}$ varieront avec le taux de montée et diverses rampes peuvent être nécessaires pour satisfaire à l'application. Sauf spécification contraire, il est recommandé de prendre, pour l'essai, les taux indiqués dans le tableau 4.

Tableau 4 – Valeurs d'essai de rampes de retournement

Application	dv/dt (circuit ouvert)	Résistance de source R	di/dt (court-circuit)
Rampe faible	4 V/ms	500 Ω (pente positive) 4 000 Ω (pente négative)	8 mA/ms 1 mA/ms
CA	250 V/ms	250 Ω	1 A/ms
Choc à front lent	100 V/ μ s	100 Ω	1 A/ μ s
Choc à front rapide	1000 V/ μ s	100 Ω	10 A/ μ s

5.5.5 Tension à l'état passant, V_T

Le but de cet essai est de déterminer la tension à l'état passant d'un TSS sous un courant spécifié; cette tension est utilisée pour calculer les pertes à l'état passant. Le circuit d'essai utilisé est équivalent à celui de la figure 18. Le générateur d'essai doit être spécifié pour une tension en circuit ouvert et un courant de court-circuit, ou équivalent, avec forme d'onde et valeur de crête. En variante, le schéma du circuit du générateur d'essai doit être fourni.

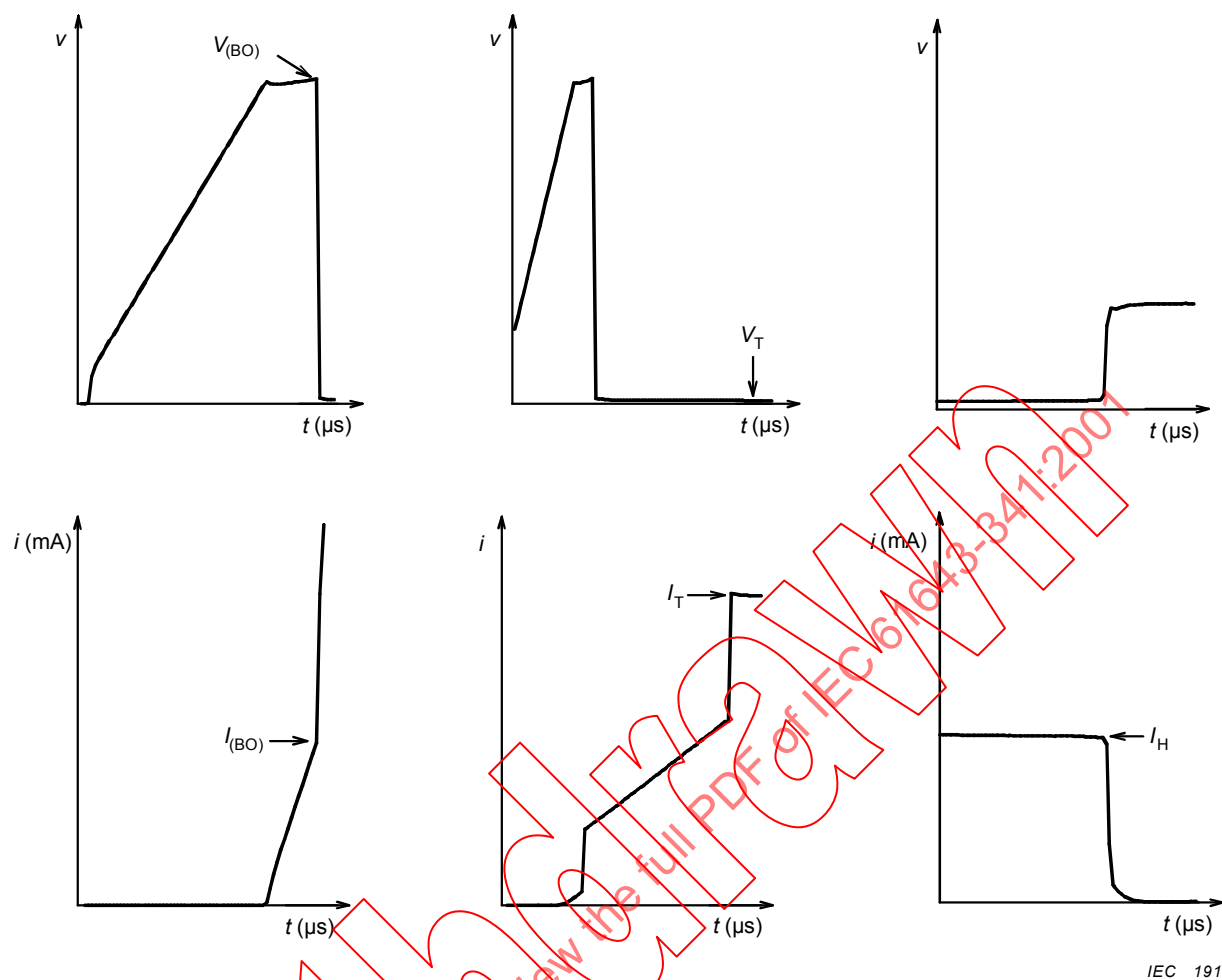
Each switching quadrant of the TSS shall be separately tested and measured. Multiple cycle a.c. testing of unidirectional TSS shall be carried out with either full wave or half wave rectified a.c., as required by the application. The $V_{(BO)}$ and $I_{(BO)}$ values will vary with rate of rise and several ramp rates may be needed to fulfil an application need. In the absence of special requirements, it is recommended that one or more of the rates of rise shown in table 4 be used for testing.

Table 4 – Breakover ramp rate test values

Application	dv/dt (open-circuit)	Source resistance R	di/dt (short-circuit)
Slow ramp	4 V/ms	500 Ω (positive slope) 4 000 Ω (negative slope)	8 mA/ms 1 mA/ms
AC	250 V/ms	250 Ω	1 A/ms
Slow wavefront impulse	100 V/ μ s	100 Ω	1 A/ μ s
Fast wavefront impulse	1 000 V/ μ s	100 Ω	10 A/ μ s

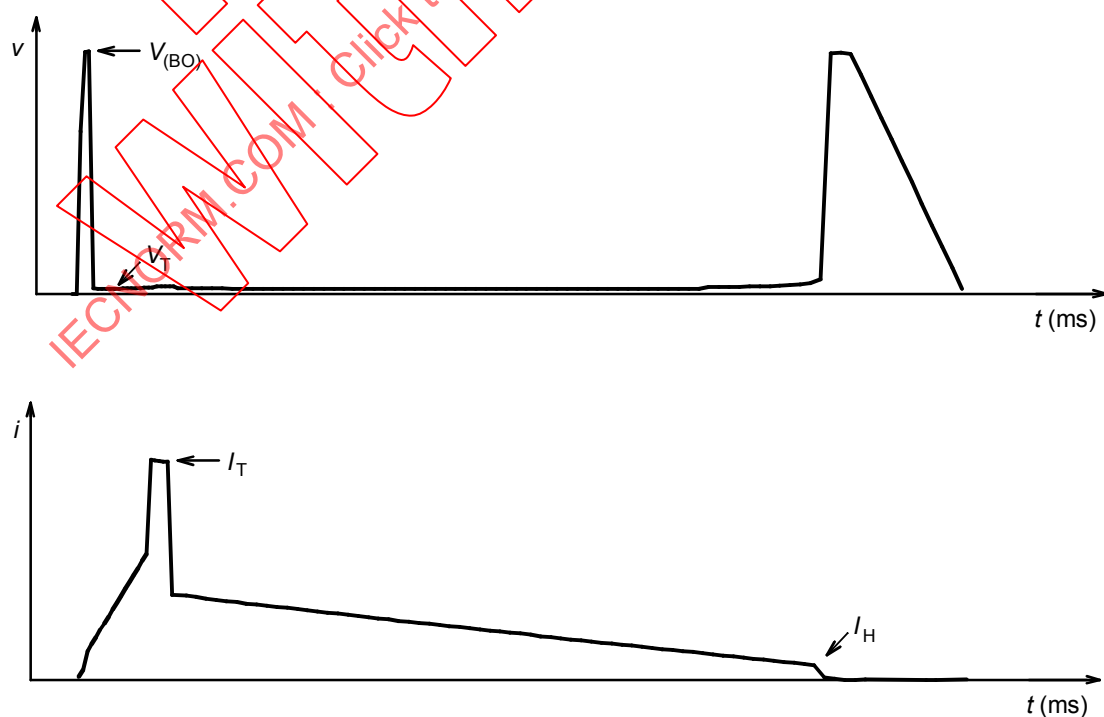
5.5.5 On-state voltage, V_T

The purpose of this test is to determine the on-state voltage of a TSS at a specified current; this voltage value is used to calculate the on-state power loss. The test circuit used shall be functionally equivalent to figure 18. The test generator shall be specified for the open-circuit voltage and short-circuit current values, or equivalent, of waveshape and waveshape peak value. Alternatively, the test generator circuit diagram shall be given.



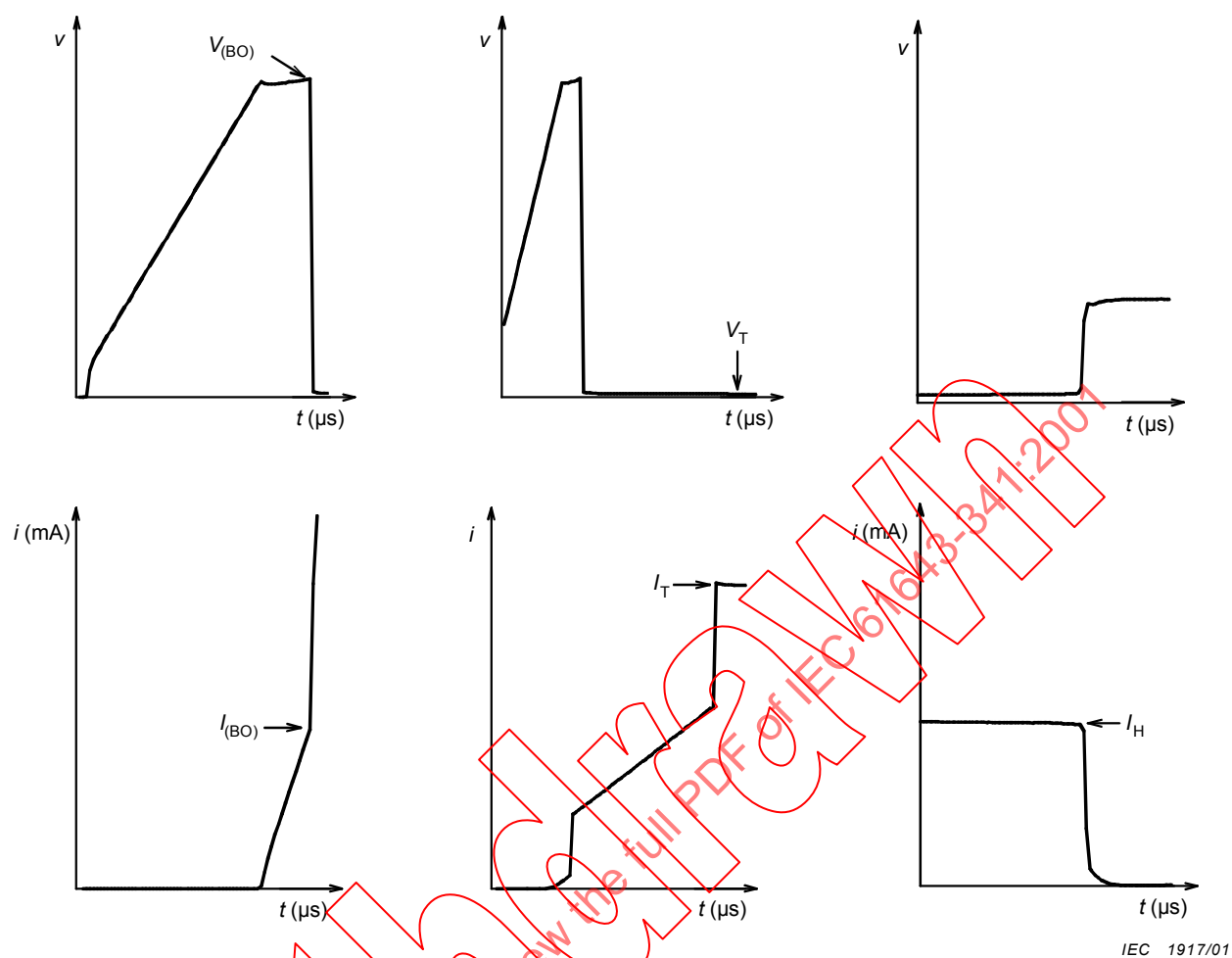
IEC 1917/01

Figure 20 – Extensions de formes d'ondes de la figure 19



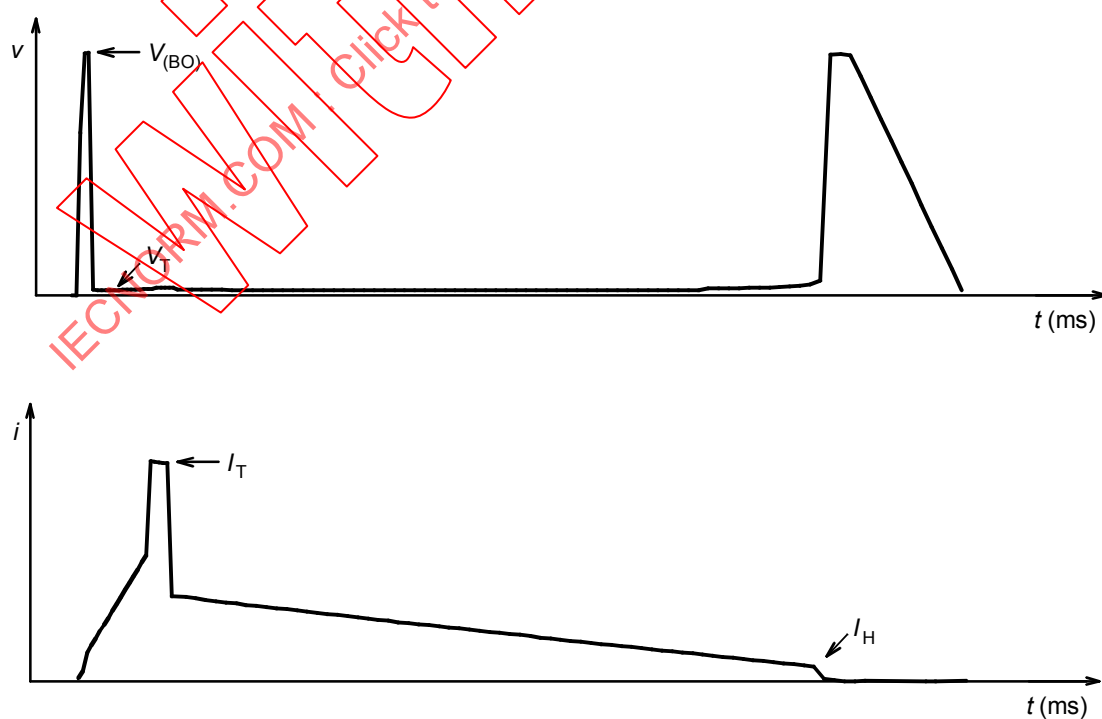
IEC 1918/01

Figure 21 – Formes d'ondes de commutation et d'état passant de TSS à gâchette



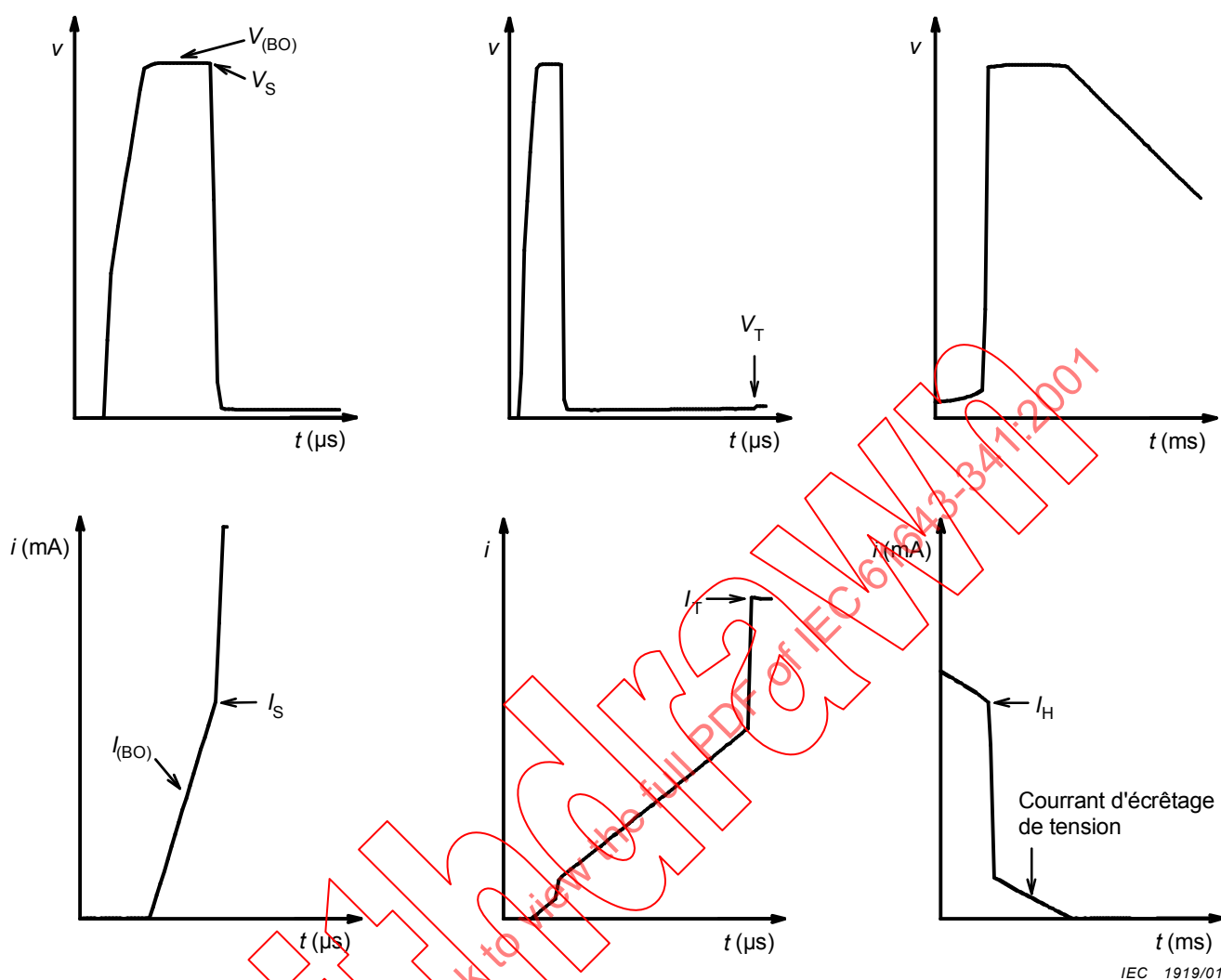
IEC 1917/01

Figure 20 – Waveform expansions of figure 19



IEC 1918/01

Figure 21 – Switching and on-state waveforms for a gated TSS



IEC 1919/01

Figure 22 – Extensions de formes d'ondes de la figure 21

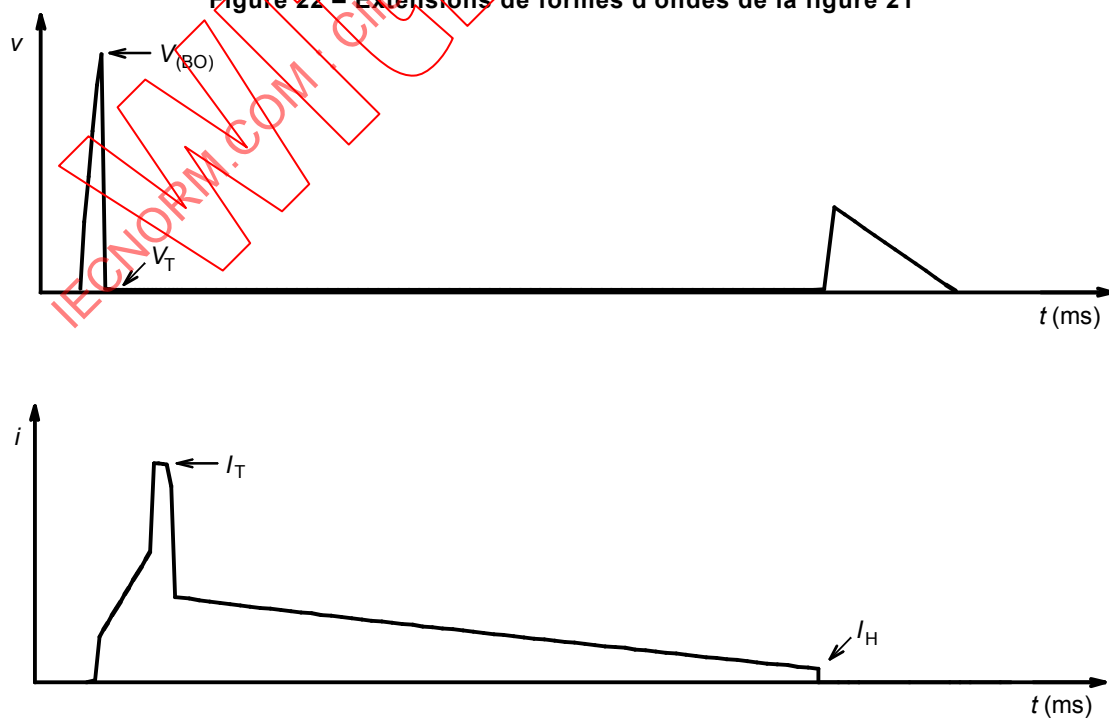


Figure 23 – Formes d'ondes de commutation et d'état passant de TSS à pente de retournement négative

IEC 1920/01

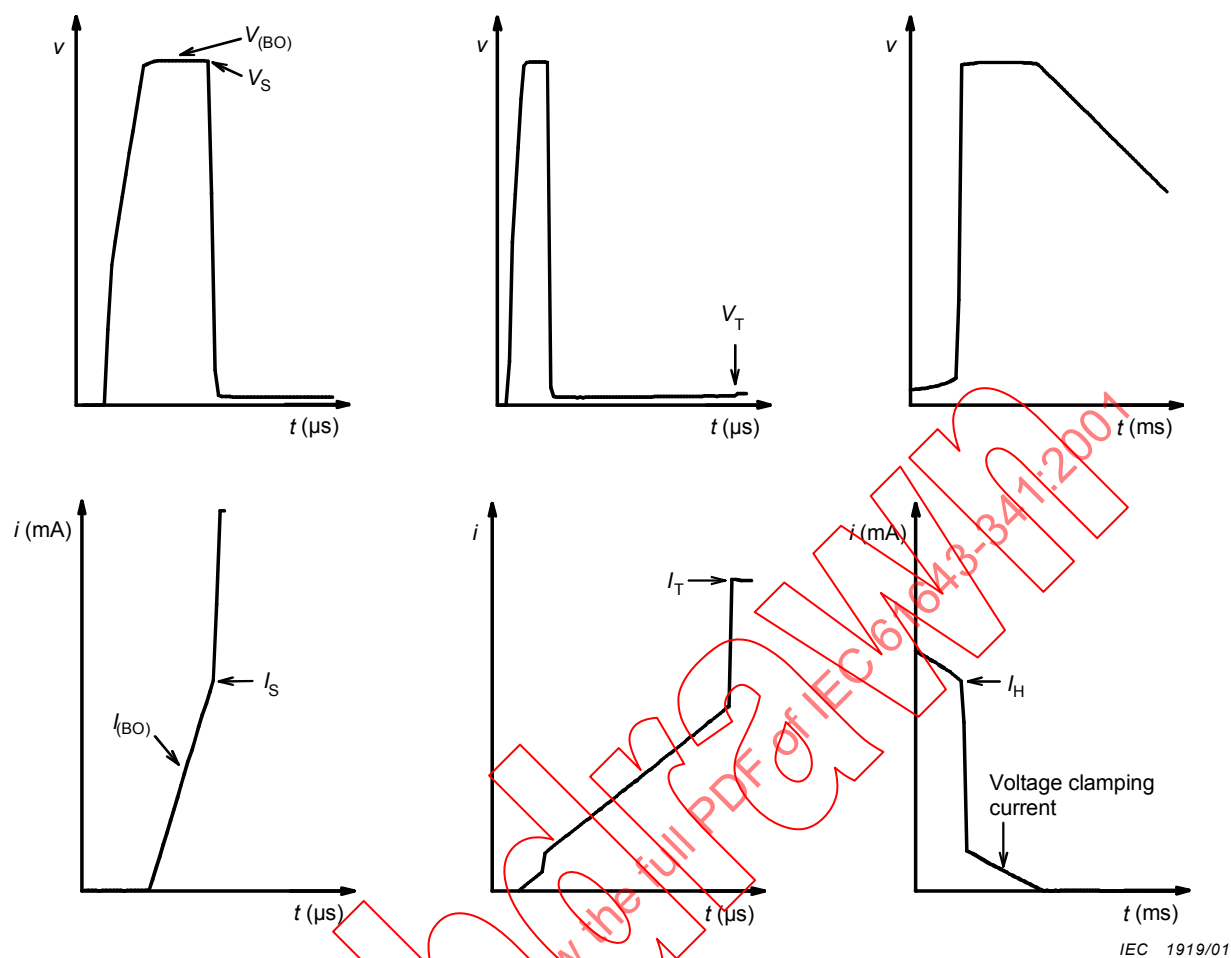


Figure 22 – Waveform expansions of figure 21

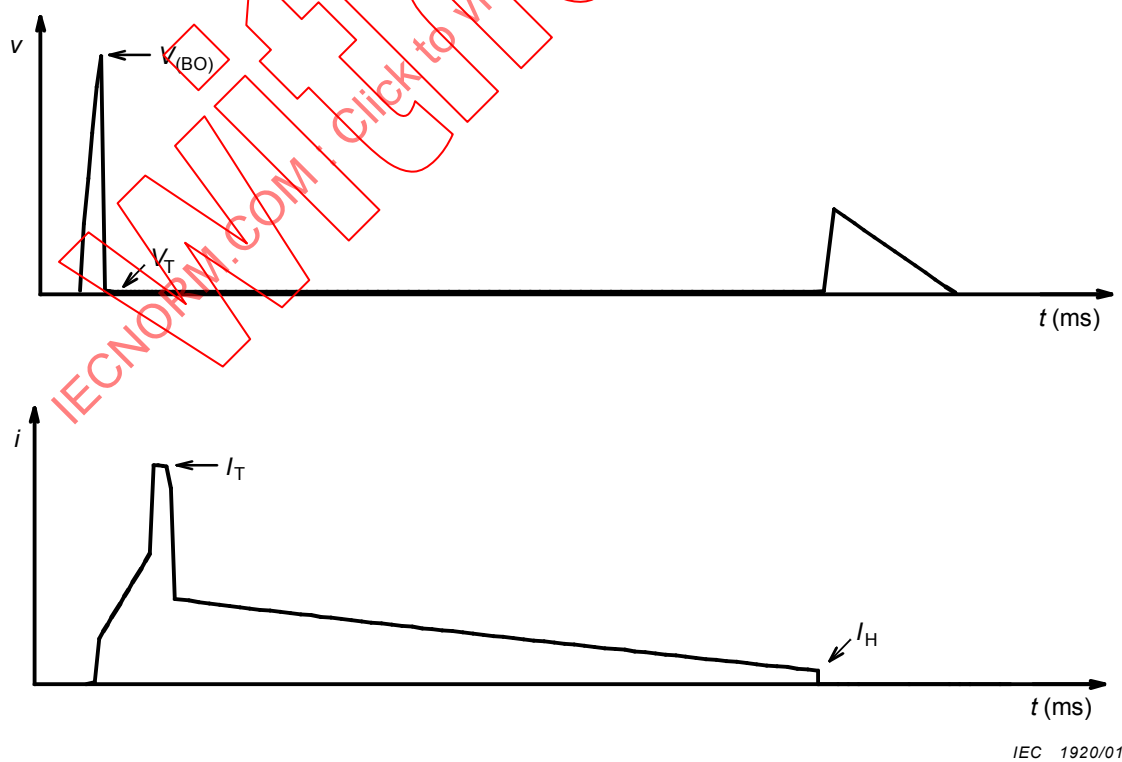


Figure 23 – Switching and on-state waveforms for a negative breakdown slope TSS

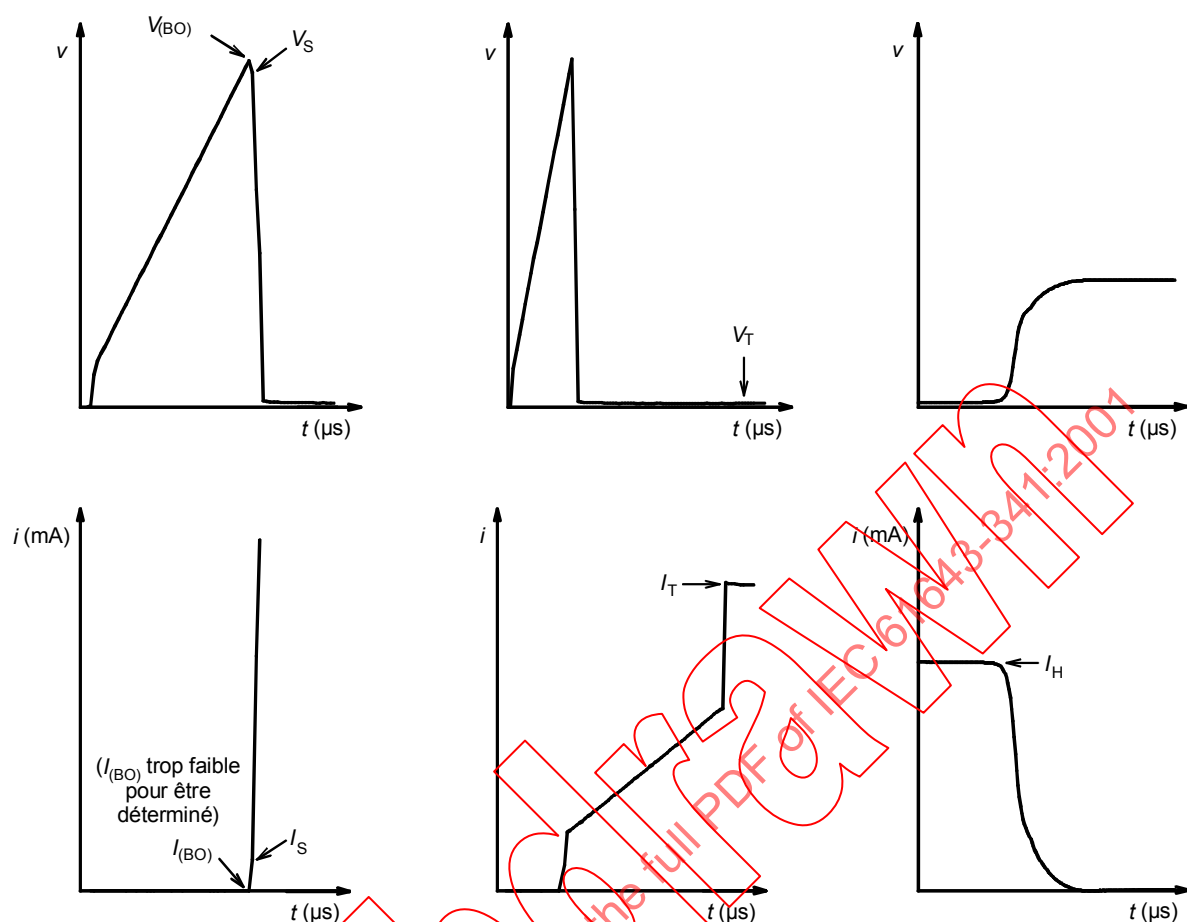
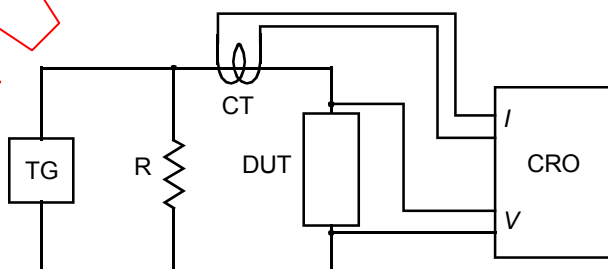


Figure 24 – Extensions de formes d'ondes de la figure 23

IEC 1921/01

Le générateur doit entraîner l'état passant du dispositif, et la valeur de la tension à l'état passant V_T doit être mesurée à un temps spécifié pour une valeur de courant à l'état passant I_T (voir formes d'ondes V_T des figures 20, 22 et 24).

Chaque polarité de commutation du TSS doit être essayée et mesurée séparément. La valeur de V_T variera avec I_T et le temps. Une valeur haute et basse de V_T peut être nécessaire pour traiter le fonctionnement sous choc alternatif.

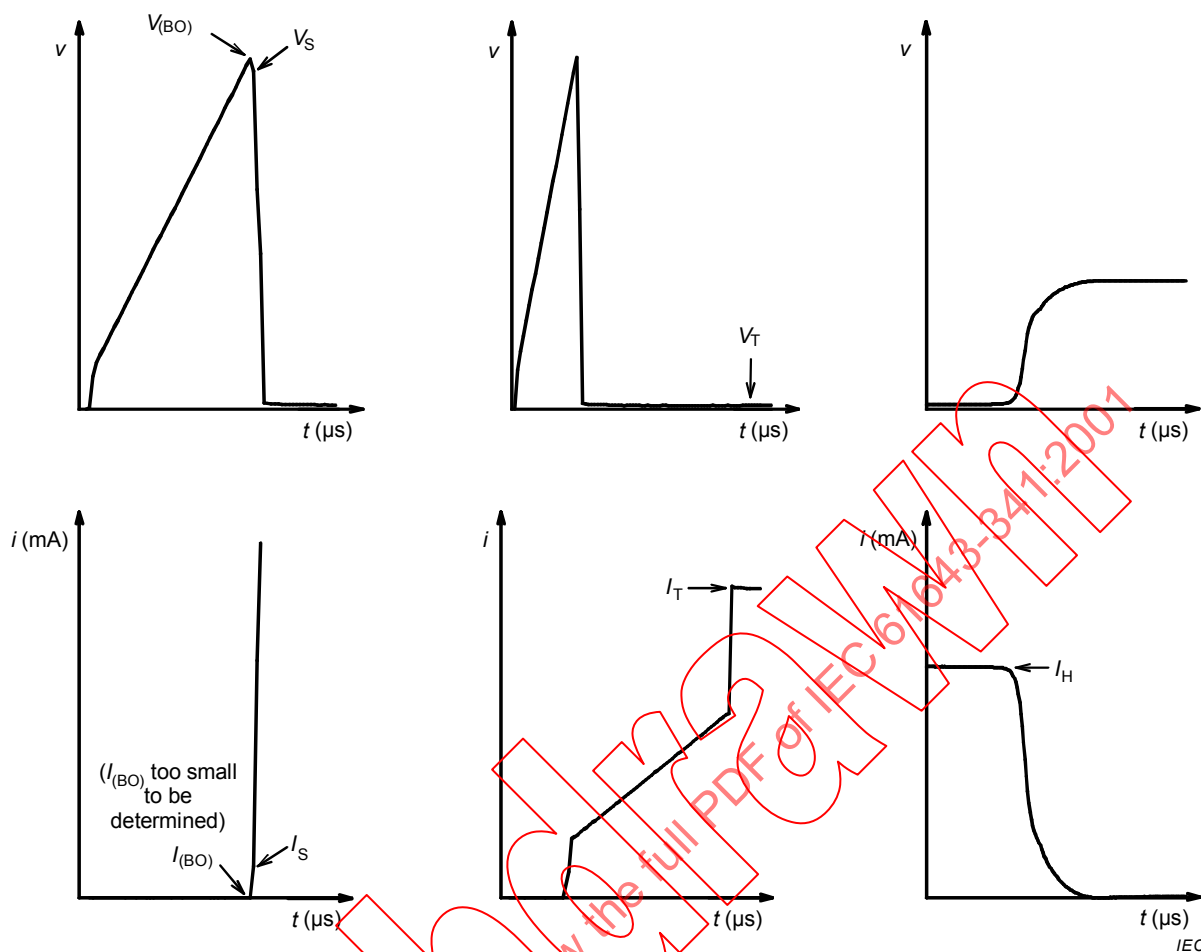


IEC 1922/01

Composants

- DUT dispositif à l'essai
- CT sonde de courant continu ou équivalent
- TG générateur d'essai avec caractéristiques de commutation du DUT spécifiées pour le courant d'état passant I_T , et ensuite avec réduction du courant di/dt pour coupure
- R résistance définissant la résistance de source (si nécessaire)
- CRO oscilloscope à deux voies ou équivalent

Figure 25 – Circuit d'essai pour le courant de maintien, I_H

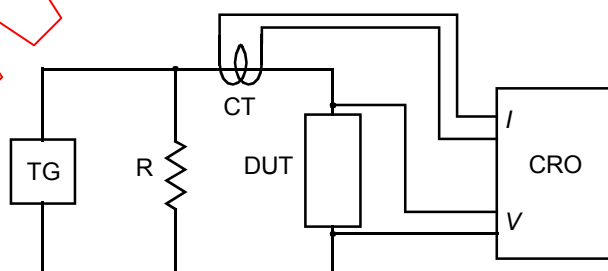


IEC 1921/01

Figure 24 – Waveform expansions of figure 23

The generator shall switch the DUT into the on-state condition and the value of on-state voltage, V_T , shall be measured at a specified time and value of on-state current, I_T (see V_T waveforms of figures 20, 22 and 24).

Each switching polarity of the TSS shall be separately tested and measured. The value of V_T will vary with the value of I_T and time. A low and high current value of V_T may be required to cover a.c. and impulse operation.



IEC 1922/01

Components

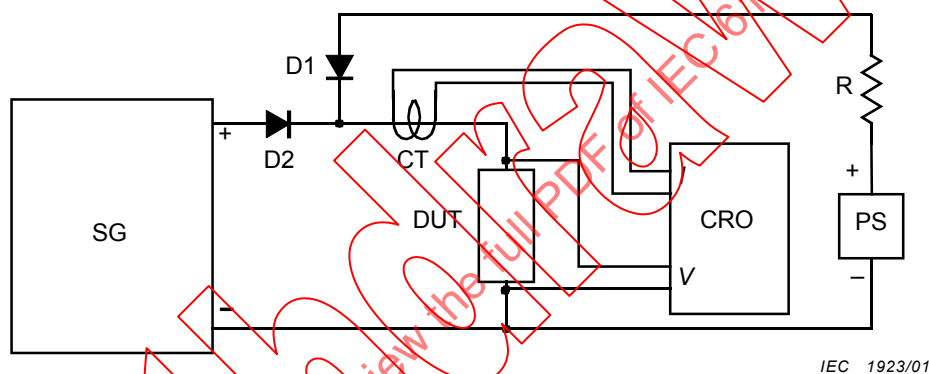
DUT	device under test
CT	d.c. current probe or equivalent
TG	test generator with specified characteristics switching DUT to a specified on-state current, I_T , and then reducing the current at a specified di/dt to cause switch-off
R	resistor to define source resistance (if required)
CRO	dual channel oscilloscope or equivalent

Figure 25 – Test circuit for holding current, I_H

5.5.6 Courant de maintien, I_H

Le but de cet essai est de déterminer le courant de maintien d'un TSS. Le circuit d'essai doit être fonctionnellement équivalent à celui de la figure 25. Le générateur d'essai doit être spécifié pour une tension en circuit ouvert et un courant de court-circuit, ou équivalent, avec forme d'onde et valeur de crête. Le générateur doit mettre le dispositif à l'état passant et diminuer le courant jusqu'au blocage du dispositif (voir les formes d'onde I_H des figures 20, 22 et 24). Le blocage est défini quand la tension dépasse un seuil spécifié. Lorsque cela se produit, la valeur instantanée de la rampe extrapolée, est mesurée comme courant de maintien. Cela donne des mesures approchées du courant de passage à l'état bloqué du dispositif plutôt que le courant de maintien à l'état passant. Dans la plupart des applications, le besoin est davantage le courant de blocage que celui de maintien.

Si un générateur de choc est utilisé comme générateur d'essai, sa tension de sortie peut être trop faible pour le courant de maintien et une sélectivité appropriée du point de blocage. Afin d'augmenter la tension de blocage, il convient que le générateur et un courant (inférieur au minimum spécifié pour I_H) d'une alimentation continue (inférieure à V_{DRM}) soient une diode ORed sur le dispositif à l'essai (voir figure 26). Chaque quadrant de commutation du TSS doit être essayé et mesuré séparément.



Composants

DUT	dispositif à l'essai
CT	sonde de courant continu ou équivalent
SG	générateur de choc de caractéristiques spécifiées
PS	alimentation continue réglée à une tension spécifique
R	résistance définissant la résistance de source continue
D1	diode d'isolement pour PS
D2	diode d'isolement pour SG
CRO	oscilloscope à deux voies ou équivalent

Figure 26 – Circuit d'essai pour le courant de maintien avec source continue

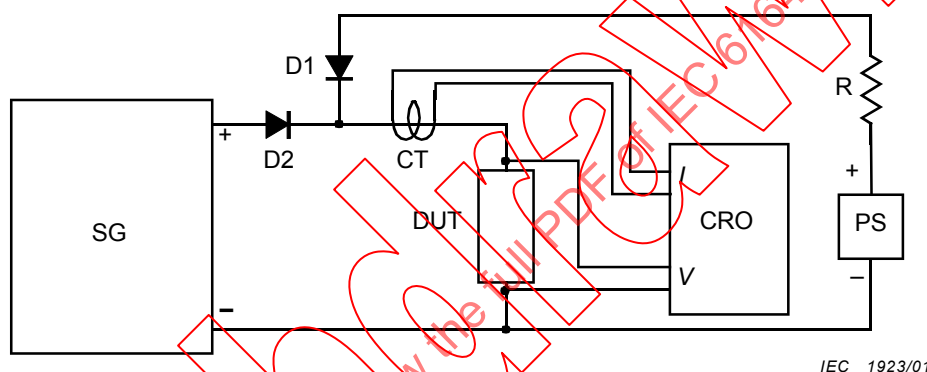
5.5.7 Capacité à l'état bloqué, C_o

Le but de cet essai est de déterminer la capacité à l'état bloqué d'un TSS dans des conditions données. Le circuit d'essai doit être fonctionnellement équivalent à celui de la figure 27. La capacité à l'état bloqué C_o du DUT doit être mesurée en continu sous V_D et en alternatif sous V_d et f . Sauf spécification contraire, il est recommandé de choisir $V_d = 0,1 V_{eff}$ à une fréquence $100 \text{ kHz} < f < 1 \text{ MHz}$. Il convient que la tension continue soit de 0 V ou tout autre niveau défini pour l'application.

5.5.6 Holding current, I_H

The purpose of this test is to determine the holding current of a TSS. The test circuit used shall be functionally equivalent to figure 25. The test generator shall be specified for the open-circuit voltage and short-circuit current values, or equivalent, of waveshape, and waveshape peak value. The generator shall switch the DUT into a specified on-state condition and then ramp down the on-state current until the device switches off (see I_H waveforms of figures 20, 22 and 24). Switch-off is determined when the device voltage value exceeds a specified threshold level. The instantaneous value of the extrapolated ramp when this occurs is measured as the holding current. This established approach measures the current at which the device switches off, rather than the current at which the device just maintains its on-state. In most applications, the need is for a switching value rather than a holding value.

When an impulse generator is used as the test generator, its output voltage may be too low at the holding current level for adequate discrimination of the switch-off point. To increase the switch-off voltage level, the generator and a current (less than the minimum specified value of I_H) from a d.c. voltage supply ($< V_{DRM}$) should be a diode ORed onto the DUT (see figure 26). Each switching quadrant of the TSS shall be separately tested and measured.



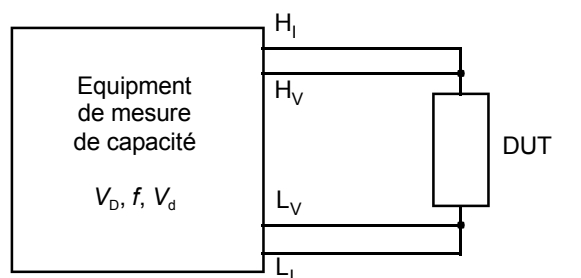
Components

DUT	device under test
CT	DC probe or equivalent
SG	impulse generator with specified characteristics
PS	DC voltage power supply, set to specified voltage
R	resistor to define d.c. source resistance
D1	isolating diode for PS
D2	isolating diode for SG
CRO	dual channel oscilloscope or equivalent

Figure 26 – Test circuit for holding current with additional d.c. bias

5.5.7 Off-state capacitance, C_o

The purpose of this test is to determine the off-state capacitance of a TSS under specified conditions. The test circuit used shall be functionally equivalent to figure 27. The DUT off-state capacitance, C_o , shall be measured at specified d.c. (V_D) and a.c. (V_d and f) bias levels. In the absence of special requirements, it is recommended that an a.c. bias level of $V_d = 0,1 V_{rms}$ at a frequency of $100 \text{ kHz} < f < 1 \text{ MHz}$ be used. The d.c. bias level should be 0 V and any other levels that are representative of the intended application.



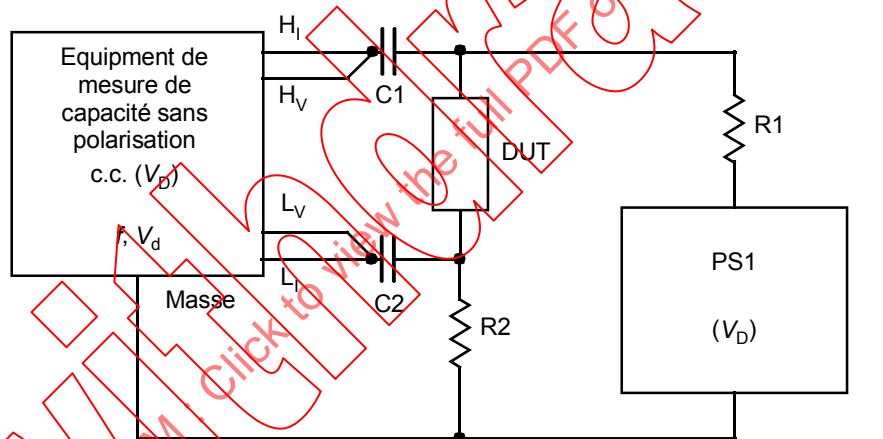
IEC 1924/01

Composants

DUT	dispositif à l'essai
H_V	détecteur de tension H_i
H_I	arrivée courant H_i
L_V	détecteur de tension L_o
L_I	retour courant L_o

Figure 27 – Circuit d'essai de mesure de capacité

Si le dispositif de mesure de la capacité ne peut fournir la tension de polarisation demandée, le dispositif de la figure 28 peut être utilisé.



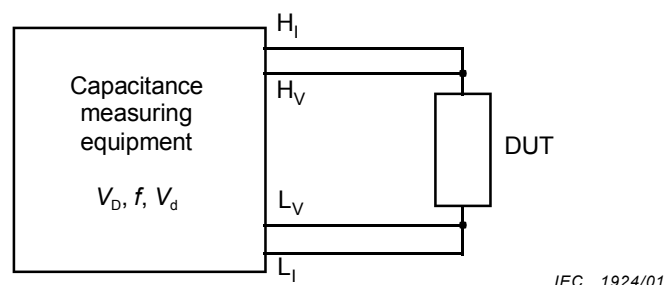
IEC 1925/01

Composants

DUT	dispositif à l'essai
C1, C2	condensateurs de blocage c.c., $C1 = C2 \gg C_o$
R1, R2	résistances d'alimentation c.c., $R1 = R2 \ll V_D/I_D$
PS1	alimentation en tension continue variable réglée à V_D
H_V	détecteur de tension H_i
H_I	alimentation en courant H_i
L_V	détection de tension L_o
L_I	retour du courant L_o
Masse	borne de mise à la terre (composants neutralisés connectés à la borne de mesure)

Figure 28 – Circuit d'essai pour la mesure de capacité avec polarisation externe continue

Si le TSS a trois bornes, la borne non mesurée ne doit pas être prise en compte et la tension continue de polarisation doit être appropriée aux niveaux représentatifs de l'application voulue (figure 29). La même technique de mesure peut être utilisée pour des TSS multiples associés et ayant au moins quatre bornes si les éléments neutralisés sont directement entre les bornes mesurées et neutralisées (voir figure 29). Cette technique de mesure ne fonctionnera pas si plus d'un élément neutralisé est connecté à un nœud interne (non terminal) de la paire mesurée.

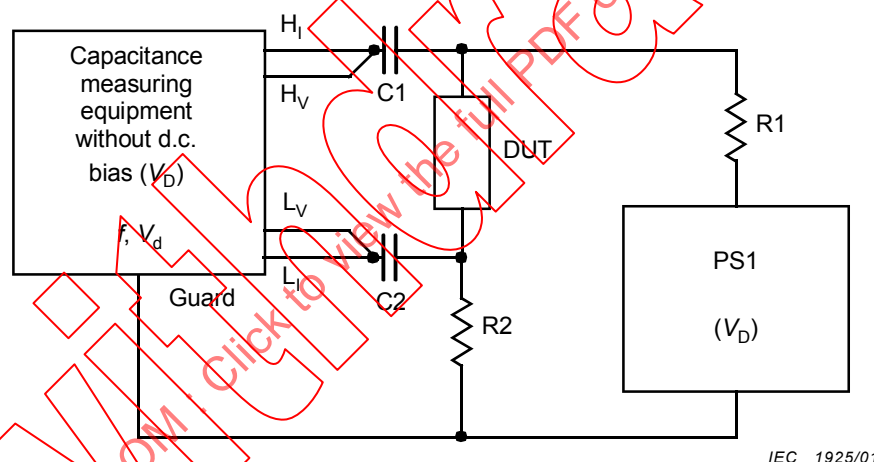


Components

DUT	device under test
H_V	H_I , voltage sens
H_I	H_I , current feed
L_V	L_O , voltage sense
L_I	L_O , current return

Figure 27 – Test circuit for capacitance measurement

If the capacitance measuring equipment cannot supply the required d.c. bias voltage, the circuit arrangement shown in figure 28 can be used.

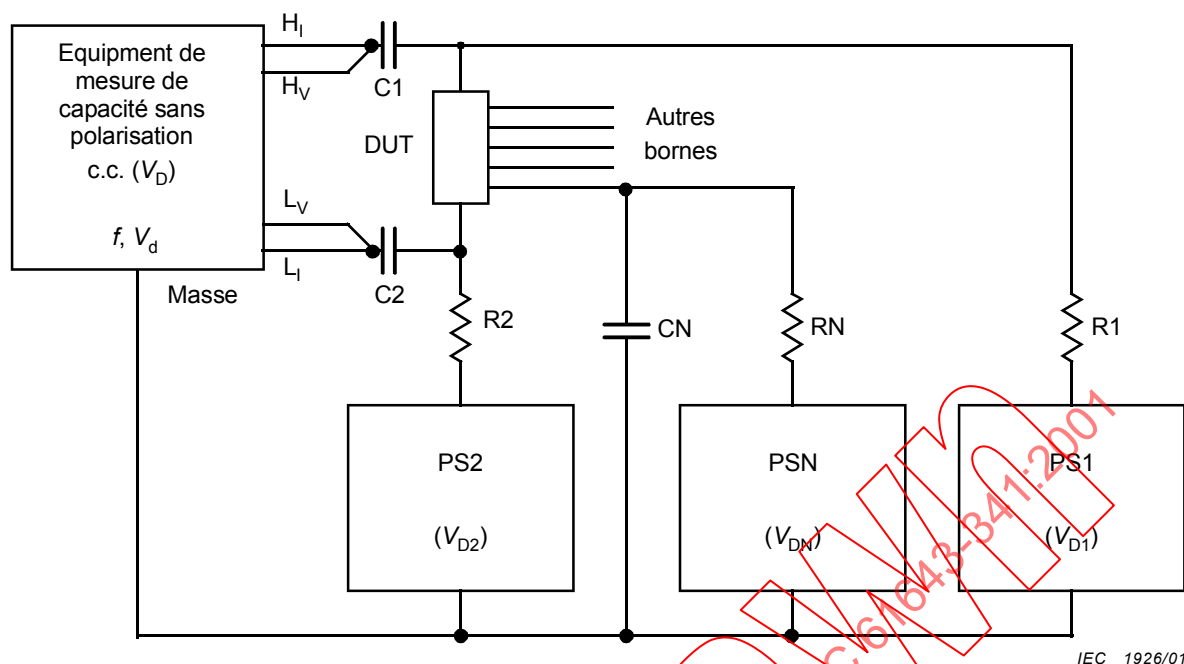


Components

DUT	device under test
$C1, C2$	DC blocking capacitors, $C1 = C2 \gg C_O$
$R1, R2$	DC feed resistors, $R1 = R2 \ll V_D / I_D$
$PS1$	variable voltage d.c. power supply set to V_D
H_V	H_I , voltage sense
H_{II}	H_I , current feed
L_V	L_O , voltage sense
L_I	L_O , current return
Guard	Guard ground terminal (nulls components connected to the terminal from the measurement)

Figure 28 – Test circuit for capacitance measurement with external d.c. bias

Where a TSS has three terminals, the unmeasured terminal shall be nulled from the capacitance measurement and d.c. biased at levels that are representative of the intended application (see figure 29). The same measurement technique may be used for multiple TSS, which are packaged together and have four or more terminals, provided the nulled elements are directly between the measured and nulled terminals (see figure 29). This measurement technique will not work if more than one of the nulled elements connect to an internal (non-terminal) node of the measured terminal pair.



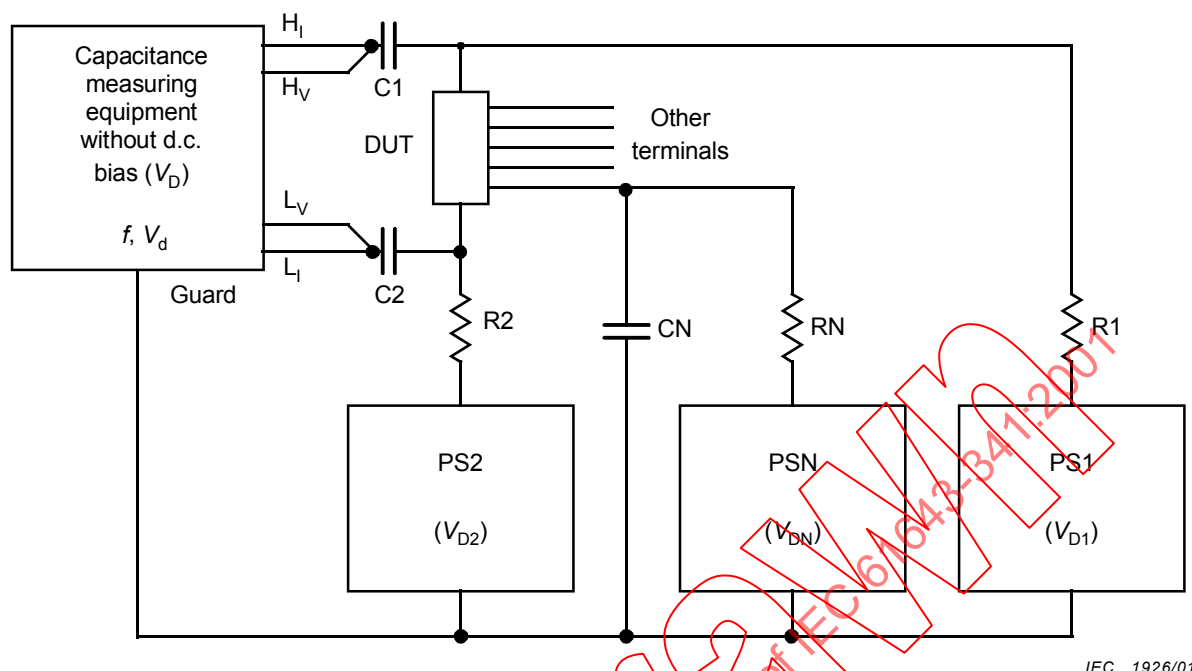
Composants

DUT	dispositif à l'essai
C1, C2...C _N	condensateurs de blocage c.c., $C1 = C2 = \dots = C_N \gg C_0$
R1, R2...R _N	résistances d'alimentation continue, $R1 = R2 = \dots = R_N \ll V_D / I_D$
PS1, PS2...PS _N	alimentation en tension continue variable réglée à $V_{D1}, V_{D2}, \dots, V_{DN}$
H _V	détecteur de tension H _I
H _I	alimentation en courant H _I
L _V	détection de tension L _O
L _I	retour du courant L _O
Masse	borne de mise à la terre (composants neutralisés connectés à la borne de mesure)

Figure 29 – Circuit d'essai pour la mesure de capacité de TSS multiples

5.5.8 Tension de claquage, $V_{(BR)}$

Le but de cet essai est de déterminer la tension de claquage d'un TSS de niveau spécifié en courant. Une impulsion de courant de claquage, $I_{(BR)}$, de largeur et d'amplitude spécifiées est appliquée au DUT, et une tension de claquage, $V_{(BR)}$, est mesurée en fin d'impulsion dans un circuit d'essai fonctionnellement équivalent à celui de la figure 30. Sauf spécification contraire, il est recommandé que l'impulsion ait une largeur inférieure à 400 ms avec un courant d'essai $I_{(BR)}$ de 1 mA. Chaque polarité de commutation du TSS doit être essayée et mesurée séparément. La valeur de $V_{(BR)}$ dépend de la température de la jonction (initiale et d'essai) et du courant d'essai.



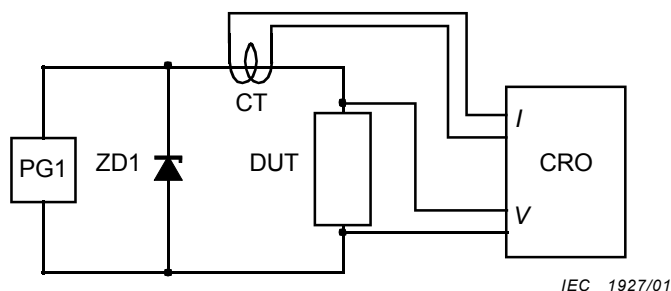
IEC 1926/01

Components

DUT	device under test
C1, C2...CN	DC blocking capacitors, $C1 = C2...=CN \gg C_0$
R1, R2...RN	DC feed resistors, $R1 = R2...=RN \ll V_D / I_D$
PS1, PS2...PSN	variable voltage d.c. power supply set for V_{D1} , V_{D2} , ... V_{DN}
H_V	H_I , voltage sense
H_I	H_I , current feed
L_V	L_O , voltage sense
L_I	L_O , current return
Guard	guard ground terminal (nulls components connected to the terminal from the measurement)

Figure 29 – Test circuit for capacitance measurement of multi-terminal TSS**5.5.8 Breakdown voltage, $V_{(BR)}$**

The purpose of this test is to determine the breakdown voltage of a TSS at a specified current level. A pulse of specified width and breakdown current, $I_{(BR)}$, amplitude shall be applied to the DUT and the stabilized value of breakdown voltage, $V_{(BR)}$, measured near the pulse end using a circuit functionally equivalent to figure 30. In the absence of special requirements, it is recommended that the pulse width be less than 400 ms with a test current, $I_{(BR)}$, of 1 mA. Each switching polarity of the TSS shall be separately tested and measured. The value of $V_{(BR)}$ is junction temperature (initial and that due to testing) and test current dependent.



IEC 1927/01

Composants

DUT	dispositif à l'essai
CT	détecteur de courant continu, ou analogue
PG1	générateur à courant d'impulsion constant, $I_{(BR)}$
ZD1	tension résiduelle $> V_{(BO)}$
CRO	oscilloscope à deux voies, ou équivalent

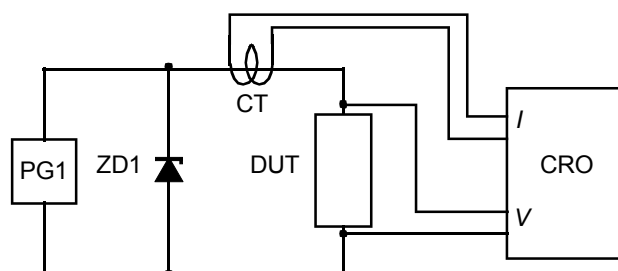
Figure 30 – Circuit d'essai pour la tension de claquage ($V_{(BR)}$) à $I_{(BR)}$

Une pente de claquage positive du TSS – voir figure 1 – peut présenter une partie à faible courant de claquage si la tension de claquage décroît avec l'accroissement du courant. En augmentant le courant de zéro au courant d'essai $I_{(BR)}$ spécifié et en mesurant la tension du DUT avec un lecteur de crête, la tension de crête de claquage $V_{(BR)M}$ peut être utilisée pour déterminer la valeur assignée de 0 à $I_{(BR)}$. La valeur $V_{(BR)M}$ peut être utilisée pour déterminer la caractéristique V_{DRM} si $I_{(BR)}$ est réglé à I_{DRM} . Pour une pente de claquage négative du TSS (voir figure 1), cette mesure approchée peut être utilisée pour déterminer $V_{(BO)}$.

5.5.9 Tension et courant de commutation, V_S et I_S

Le but de cet essai est de déterminer le point de commutation d'un TSS pour une rampe spécifiée. Le circuit d'essai utilisé doit être fonctionnellement équivalent à celui de la figure 18. Le générateur d'essai doit être spécifié pour des valeurs de tension en circuit ouvert et courant de court-circuit, ou équivalent, selon taux de montée, forme d'onde et valeur de crête. L'impédance réelle de source doit être supérieure à la résistance maximale de commutation du dispositif, R_s . La tension et la forme d'onde de courant de commutation quand le DUT commute doivent être enregistrées (voir figures 20, 22 et 24). Une caractéristique tension-courant peut être établie en reportant ces valeurs. A partir de cette courbe, une estimation visuelle du point de commutation peut être faite. Mathématiquement, le point de commutation apparaît lorsque la pente de l'impédance correspond à la valeur négative de l'impédance de source. Des valeurs finies d'impédance de source, les effets d'échauffement et de commutation produisent des erreurs pour la détermination du point de commutation et il convient que les valeurs de tension et de courant de commutation soient prises avec soin. Pour les TSS à gâchette, la tension de commutation V_S peut être calculée approximativement avec la tension d'alimentation de la gâchette V_{GG} .

Chaque polarité de commutation du TSS doit être essayée et mesurée séparément.



IEC 1927/01

Components

DUT	device under test
CT	DC current probe or equivalent
PG1	constant current pulse generator, $I_{(BR)}$
ZD1	voltage clamp $> V_{(BO)}$
CRO	dual channel oscilloscope or equivalent

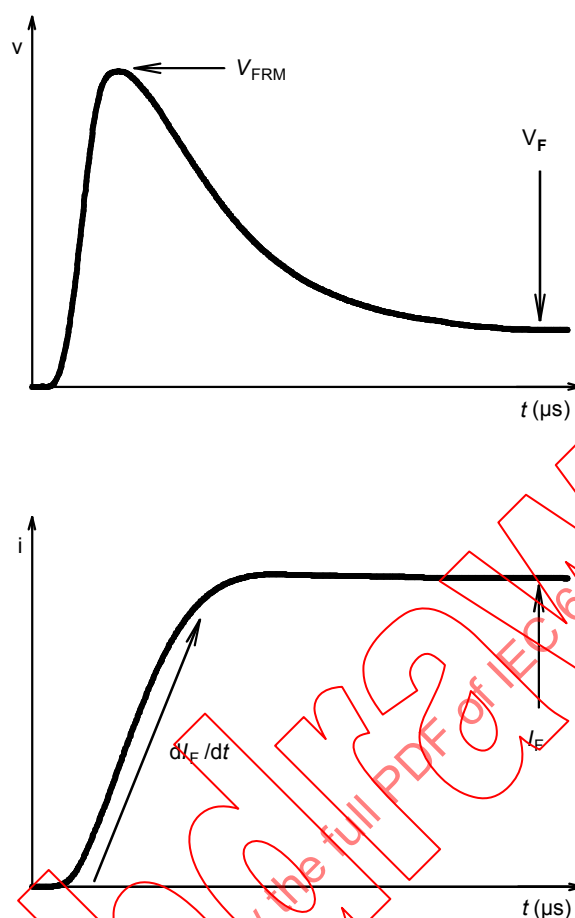
Figure 30 – Test circuit for breakdown voltage, $V_{(BR)}$ at $I_{(BR)}$

A positive breakdown slope TSS (see figure 1) may have a low current portion of the breakdown characteristic where the breakdown voltage decreases for increasing current. By ramping the current from zero to the specified test current, $I_{(BR)}$, and measuring the DUT voltage with a peak-reading meter, the peak value of breakdown voltage, $V_{(BR)M}$, can be determined for the current range of zero to $I_{(BR)}$. The $V_{(BR)M}$ value can be used to determine the V_{DRM} rating if $I_{(BR)}$ is set to I_{DRM} . For a negative breakdown slope TSS (see Figure 1), this measurement approach can be used to determine $V_{(BO)}$.

5.5.9 Switching voltage, V_S and current, I_S

The purpose of this test is to determine the switching point of a TSS at a specified ramp rate. The test circuit used shall be functionally equivalent to figure 18. The test generator shall be specified for the open-circuit voltage and short-circuit current values, or equivalent, of rate of rise, waveshape, and waveshape peak value. The effective source impedance shall be greater than the maximum device switching resistance, R_S . The voltage and current waveforms as the DUT switches from off-state to on-state shall be recorded (see figures 20, 22 and 24). A voltage-current characteristic can be produced by plotting the recorded current against the recorded voltage. From this characteristic a visual estimate can be made of the switching point. Mathematically a switching point occurs when the characteristic incremental slope impedance is the negative value of the source impedance. Finite source impedance values, heating and switching time effects produce errors in determining the switching point, and switching voltage and current values should be used with caution. For gated TSS, the switching voltage, V_S , may be approximated to the value of gate supply voltage, V_{GG} .

Each switching polarity of the TSS shall be separately tested and measured.



IEC 1928/01

Figure 31 – Formes d'ondes crêtes directes de recouvrement de diodes

5.5.10 Tension directe, V_F

Le but de cet essai est de déterminer la tension directe d'un TSS à l'état passant pour un courant spécifié; cette tension est utilisée pour calculer la perte de puissance directe. Le circuit d'essai et les formes d'ondes doivent être compatibles avec ceux de la mesure de la tension à l'état passant V_T (voir figure 18). Le générateur doit commuter le DUT à l'état passant et la valeur de la tension directe, V_F , doit être mesurée à un temps spécifié ou pour une valeur de I_F . Les formes d'onde de courant montant rapidement peuvent entraîner une tension de recouvrement supplémentaire. Il convient que cela ne soit pas inclus dans la mesure de V_F (voir figure 31).

Des valeurs hautes et basses du courant V_F peuvent être nécessaires pour le fonctionnement en impulsion et alternatif.

5.5.11 Tension de crête directe de recouvrement, V_{FRM}

Le but de cet essai est de déterminer cette tension d'un TSS à l'état passant avec taux de croissance élevé du courant; cette tension correspond à la contrainte maximale sur le circuit protégé. Le circuit d'essai et les niveaux utilisés doivent être compatibles avec ceux utilisés pour la mesure de la tension de choc rapide de retournement $V_{(BO)}$ (voir figure 18). Le générateur doit commuter la partie diode pour un taux spécifié de croissance du courant dI_F/dt , et la valeur crête de la tension directe de recouvrement V_{FRM} doit être mesurée (voir figure 31). Sauf spécification contraire, il est recommandé d'utiliser les impulsions rapides du tableau 4 et une onde 1 000 V/ μs et 10 A/ μs doit être utilisée pour cet essai.



IEC 1928/01

Figure 31 – Diode peak forward recovery waveforms

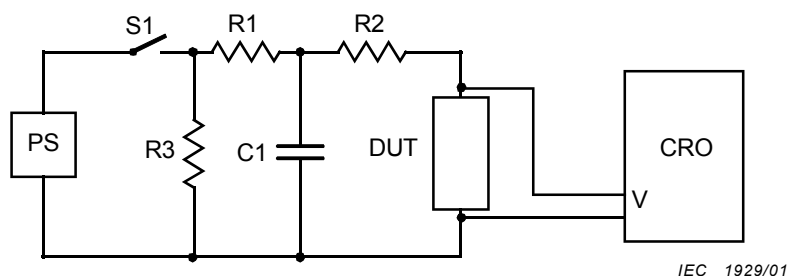
5.5.10 Forward voltage, V_{F}

The purpose of this test is to determine the forward voltage of a forward conducting TSS at a specified current; this voltage value is used to calculate the forward power loss. The test circuit and waveforms used shall be consistent with those used for the determination of on-state voltage, V_{T} (figure 18). The generator shall switch the DUT into forward conduction and the value of forward voltage, V_{F} , shall be measured at a specified time or value of forward current, I_{F} . Rapidly rising current waveforms may generate an additional forward recovery voltage; this should not be included in the V_{F} measurement (see figure 31).

A low and high current value of V_{F} may be required to cover a.c. and impulse operation.

5.5.11 Peak forward recovery voltage, V_{FRM}

The purpose of this test is to determine the peak forward voltage of a forward conducting TSS under the condition of a fast rising current wavefront; this voltage value is the maximum stress on the protected circuitry. The test circuit and levels used shall be consistent with those used for the determination of fast impulse breakover voltage, $V_{(\text{BO})}$ (see figure 18). The generator shall switch the diode section on at a specified rate of forward current rise, dI_{F}/dt , and the value of peak forward recovery voltage, V_{FRM} , shall be measured (see figure 31). In the absence of special requirements, it is recommended that the fast impulse rate of rise shown in table 4, 1 000 V/ μs and 10 A/ μs , shall be used for testing.



IEC 1929/01

Composants

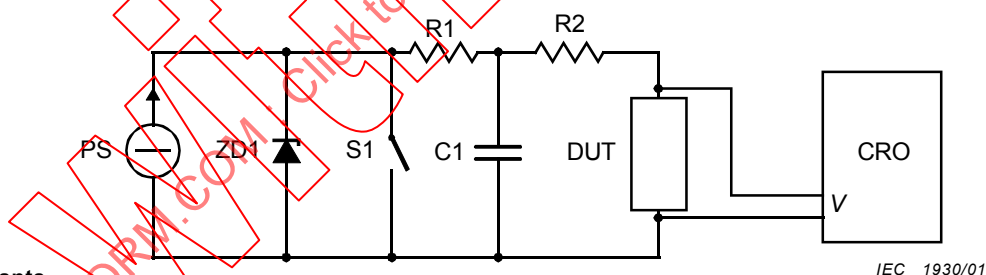
DUT	dispositif à l'essai	R2	résistance de limitation du courant si le DUT commute
PS	tension continue d'alimentation	R3	résistance de décharge après ouverture de S1
S1	interrupteur de démarrage	C1	condensateur de charge
R1	résistance de charge	CRO	oscilloscope ou équivalent

Figure 32 – Circuit d'essai pour la mesure du taux de croissance critique exponentiel de la tension à l'état bloqué (dv/dt)

5.5.12 Taux de croissance critique de la tension à l'état bloqué, dv/dt

Le but de cet essai est de vérifier que le TSS ne commute pas suite à des taux de croissance rapides d'amplitudes inférieures à V_{DRM} . Une rampe spécifiée de tension égale à la valeur critique dv/dt et d'amplitude V_{DRM} doit être appliquée au DUT hors tension. Cette tension crête de rampe doit être maintenue pendant au moins 50 μs . Le DUT ne doit pas commuter lors de l'essai, même partiellement. La rampe de tension peut être exponentielle ou linéaire (voir figures 32 et 33). Pour une rampe exponentielle, la valeur dv/dt est calculée pour $0,632 V_{\text{DRM}}/t$ où t est le temps entre le début de rampe et la montée de tension à $0,632 V_{\text{DRM}}$. Pour une rampe linéaire, dv/dt est calculée pour $0,8 V_{\text{DRM}}/(t_{90} - t_{10})$ où t_{10} et t_{90} sont les temps correspondants à l'élévation de tension de $0,1 V_{\text{DRM}}$ à $0,9 V_{\text{DRM}}$ respectivement.

Chaque polarité de commutation du TSS doit être essayée et mesurée séparément.



IEC 1930/01

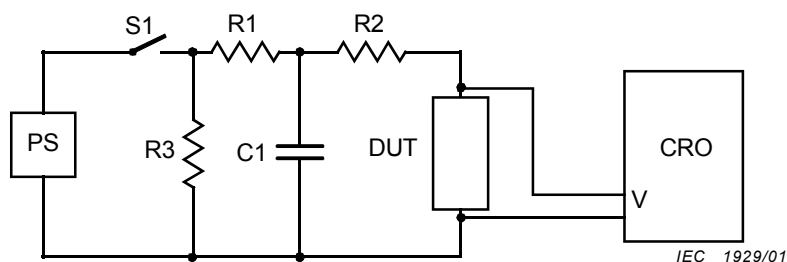
Composants

DUT	dispositif à l'essai	R2	résistance de limitation du courant si le DUT commute
PS	tension continue d'alimentation, I	C1	condensateur de charge
S1	interrupteur de démarrage, s'ouvre pour commencer l'essai	ZD1	tension résiduelle sous V_{DRM}
R1	résistance de charge, après fermeture de S1	CRO	oscilloscope ou équivalent

Figure 33 – Circuit d'essai pour la mesure du taux de croissance critique linéaire de la tension à l'état bloqué (dv/dt)

5.5.13 Coefficient de température de la tension de claquage, $\alpha_{V(\text{BR})}$

Le but de cet essai est de déterminer comment le faible courant de la tension de claquage $V_{(\text{BR})}$ d'un TSS varie avec la température et représente un écrêtage des tensions du circuit. La valeur de $V_{(\text{BR})}$ doit être mesurée dans le domaine de températures de fonctionnement spécifié. Si la variation de $V_{(\text{BR})}$ avec la température est non linéaire, elle doit être exprimée par une courbe tension-température. Si la variation de $V_{(\text{BR})}$ avec la température est essentiellement linéaire, elle doit être exprimée soit comme la moyenne de la variation %/K ou mV/K dans le domaine de températures spécifié.



Components

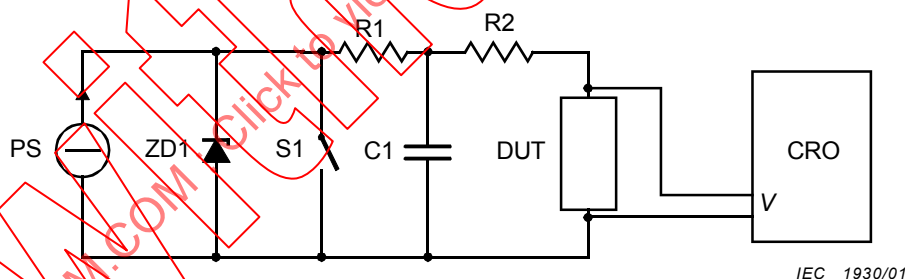
DUT	device under test	R2	current limit resistor if DUT switches
PS	DC voltage power supply	R3	discharge resistor after S1 opens
S1	start test switch	C1	charging capacitor
R1	charging resistor	CRO	oscilloscope or equivalent

Figure 32 – Test circuit for exponential critical rate of off-state voltage rise, dv/dt

5.5.12 Critical rate of rise of off-state voltage, dv/dt

The purpose of this test is to verify that the TSS will not switch on as a result of fast rising system voltages with peak amplitudes less than the V_{DRM} rating. A specified voltage ramp equal to the minimum value of critical dv/dt and of amplitude V_{DRM} shall be applied to the unenergized DUT. The peak ramp voltage shall be maintained for a period of at least 50 μs . The DUT shall not switch on, even partially, during the test. The voltage ramp can be exponential or linear (see figures 32 and 33). For an exponential ramp, the dv/dt value is calculated as $0,632 V_{\text{DRM}}/t$, where t is the time from the ramp start until the voltage rises to $0,632 V_{\text{DRM}}$. For a linear ramp, the dv/dt value is calculated as $0,8 V_{\text{DRM}}/(t_{90} - t_{10})$, where t_{10} and t_{90} are the times at which the voltage has risen to $0,1 V_{\text{DRM}}$ and $0,9 V_{\text{DRM}}$, respectively.

Each switching polarity of the TSS shall be separately tested and measured.



Components

DUT	device under test	R2	current limit resistor if DUT switches
PS	constant current supply, I	C1	charging capacitor
S1	NC switch, opens to start test	ZD1	voltage clamp at V_{DRM}
R1	discharge resistor after S1 closes	CRO	oscilloscope or equivalent

Figure 33 – Test circuit for linear critical rate of off-state voltage rise, dv/dt

5.5.13 Temperature coefficient of breakdown voltage, $\alpha_{V(\text{BR})}$

The purpose of this test is to determine how the low current breakdown voltage, $V_{(\text{BR})}$ of a TSS, varies with temperature as this represents a clipping level for circuit voltages. The value of $V_{(\text{BR})}$ shall be measured over the specified operating temperature range. If the variation of $V_{(\text{BR})}$ with temperature is non-linear it shall be expressed as a graph of voltage versus temperature. If the variation of $V_{(\text{BR})}$ with temperature is essentially linear it shall be expressed as either the average $\%/K$ or mV/K change over the specified temperature range.

$$\alpha_{V(BR)} = 1\,000 (V_{(BR)T_{max}} - V_{(BR)T_{min}}) / (T_{max} - T_{min}) \quad \text{mV/K}$$

ou

$$\alpha_{V(BR)} = 100 (V_{(BR)T_{max}} - V_{(BR)T_{min}}) / ((T_{max} - T_{min}) (V_{(BR)T_{25}})) \quad \%/K$$

où

T_{max} est la température maximale de fonctionnement, en degré Celsius (°C);

T_{min} est la température minimale de fonctionnement, en degré Celsius (°C);

T_{25} est la température de référence 25 °C;

$V_{(BR)T_{max}} = V_{(BR)} \text{ à } T_{max};$

$V_{(BR)T_{min}} = V_{(BR)} \text{ à } T_{min};$

$V_{(BR)T_{25}} = V_{(BR)} \text{ à } T_{25}.$

5.5.14 Variation du courant de maintien avec la température

Le but de cet essai est de déterminer comment le courant de maintien, I_H , d'un TSS varie avec la température pour s'assurer que le dispositif sera toujours à l'état bloqué. La valeur de I_H (voir 5.5.6) doit être mesurée dans le domaine de températures de fonctionnement et exprimée en courbe de courant en fonction de la température.

5.5.15 Déclassement en température

Le but de cet essai est de vérifier le déclassement d'un TSS afin de s'assurer de la fiabilité de sa fonction de protection dans le domaine de températures. Les valeurs spécifiées des TSS peuvent être déclassées pour des températures faibles comme pour des températures élevées. Pour V_{DRM} , V_{RM} , I_{FRM} , I_{FSM} , I_{PPSM} , I_{TRM} , I_{TSM} et di/dt , les méthodes normalisées doivent être utilisées avec une correction appropriée de la contrainte de température d'essai. Le déclassement en puissance peut être vérifié en utilisant la valeur déterminée de R_{th} pour calculer la puissance maximale pour la température maximale de jonction et pour un point spécifié de température de référence (air ambiant, boîtier ou fil).

5.5.16 Résistance thermique R_{th}

Le but de cet essai est de déterminer la capacité permanente de puissance d'un TSS. Le circuit d'essai utilisé doit être fonctionnellement équivalent à celui de la figure 34. Immédiatement avant l'application de la puissance, la valeur d'une caractéristique dépendant de la température doit être mesurée à la température de référence. Une puissance constante est alors appliquée sur le dispositif. Pour de courtes périodes (< 2 % du cycle de fonctionnement), la puissance est coupée pour permettre la mesure de la caractéristique de température. Quand ces mesures se stabilisent, un fonctionnement permanent a été atteint. A partir d'une température caractéristique prévue, les premières mesures et celles stabilisées sont converties en températures de jonction. Si la température stabilisée n'est pas dans le domaine +0 %, -20 % de la température maximale de jonction T_{JM} , l'essai doit être poursuivi avec une nouvelle puissance appropriée jusqu'à obtention. L'expression des valeurs mesurées en résistance thermique R_{th} permet le calcul de la capacité de puissance pour différentes températures de jonction et de référence. R_{th} est calculée ainsi:

Résistance thermique, jonction à température ambiante

$$R_{thJA} = (T_{JPK} - T_A) / P_{TOT} \quad \text{K/W}$$

Résistance thermique jonction-boîtier

$$R_{thJC} = (T_{JPK} - T_C) / P_{TOT} \quad \text{K/W}$$