

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Semiconductor die products –
Part 5: Requirements for information concerning electrical simulation**

**Produits de puce de semiconducteurs –
Partie 5: Exigences pour les informations concernant la simulation électrique**

IECNORM.COM : Click to view the full PDF of IEC 62258-5:2006



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2006 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester.

If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de la CEI ou du Comité national de la CEI du pays du demandeur.

Si vous avez des questions sur le copyright de la CEI ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de la CEI de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
Fax: +41 22 919 03 00
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

Useful links:

IEC publications search - www.iec.ch/searchpub

The advanced search enables you to find IEC publications by a variety of criteria (reference number, text, technical committee,...).

It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available on-line and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing more than 30 000 terms and definitions in English and French, with equivalent terms in additional languages. Also known as the International Electrotechnical Vocabulary (IEV) on-line.

Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: csc@iec.ch.

A propos de la CEI

La Commission Electrotechnique Internationale (CEI) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications CEI

Le contenu technique des publications de la CEI est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Liens utiles:

Recherche de publications CEI - www.iec.ch/searchpub

La recherche avancée vous permet de trouver des publications CEI en utilisant différents critères (numéro de référence, texte, comité d'études,...).

Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

Just Published CEI - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications de la CEI. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne au monde de termes électroniques et électriques. Il contient plus de 30 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans les langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (VEI) en ligne.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: csc@iec.ch.

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Semiconductor die products –
Part 5: Requirements for information concerning electrical simulation**

**Produits de puce de semiconducteurs –
Partie 5: Exigences pour les informations concernant la simulation électrique**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

PRICE CODE
CODE PRIX

M

ICS 31.080.99

ISBN 978-2-83220-232-6

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	3
INTRODUCTION.....	5
1 Scope.....	6
2 Normative references.....	6
3 Terms and definitions.....	6
4 General	6
5 Requirements for information on electrical simulation models.....	7
5.1 Information on the electrical simulation model.....	7
5.2 Information on device connectivity	8
5.3 Information on the timing simulation model	8
5.4 Information on connection redistribution.....	8
5.5 Information on package terminals	9
Annex A (informative) Supporting information.....	10
Bibliography	12

IECNORM.COM : Click to view the full PDF of IEC 62258-5:2006

INTERNATIONAL ELECTROTECHNICAL COMMISSION

SEMICONDUCTOR DIE PRODUCTS –**Part 5: Requirements for information
concerning electrical simulation**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with an IEC Publication.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62258-5 has been prepared by IEC technical committee 47: Semiconductor devices.

This standard should be read in conjunction with IEC 62258-1 and IEC 62258-2.

This bilingual version (2012-07) corresponds to the monolingual English version, published in 2006-08.

The text of this standard is based on the following documents:

FDIS	Report on voting
47/1869/FDIS	47/1882/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

The French version of this standard has not been voted upon.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

The structure of IEC 62258, as currently conceived, consists of the following parts under the general title *Semiconductor die products*:

- Part 1: Requirements for procurement and use
- Part 2: Exchange data formats
- Part 3: Recommendations for good practice in handling, packing and storage (Technical Report)
- Part 4: Questionnaire for die users and suppliers (Technical Report) (in preparation)
- Part 5: Requirements for information concerning electrical simulation
- Part 6: Requirements for information concerning thermal simulation
- Part 7: XML schema for data exchange (Technical Report) (in preparation)

Further parts may be added as required.

The committee has decided that the contents of this publication will remain unchanged until the maintenance result date indicated on the IEC web site under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition, or
- amended.

INTRODUCTION

This standard is based on the work carried out in the ESPRIT 4th Framework project GOODDIE which resulted in the publication of the ES 59008 series of European specifications. Organisations that helped prepare this part of IEC 62258 includes the ESPRIT ENCAST project, the Die Products Consortium, JEITA, JEDEC and ZVEI.

IECNORM.COM : Click to view the full PDF of IEC 62258-5:2006

SEMICONDUCTOR DIE PRODUCTS –

Part 5: Requirements for information concerning electrical simulation

1 Scope

This part of IEC 62258 has been developed to facilitate the production, supply and use of semiconductor die products, including:

- wafers;
- singulated bare die;
- die and wafers with attached connection structures;
- minimally or partially encapsulated die and wafers.

This part of IEC 62258 specifies the information required to facilitate the use of electrical data and models for simulation of the electrical behaviour and verification of the correct functionality of electronic systems that include bare semiconductor die, with or without connection structures, and/or minimally packaged semiconductor die. It is intended to assist all those involved in the supply chain for die devices to comply with the requirements of IEC 62258-1 and IEC 62258-2.

2 Normative references

The following referenced documents are indispensable for the application of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 62258-1, *Semiconductor die products – Part 1: Requirements for procurement and use*

IEC 62258-2, *Semiconductor die products – Part 2: Exchange data formats*

3 Terms and definitions

For the purposes of this document, the terms, definitions and acronyms as given in IEC 62258-1 apply.

4 General

To comply with IEC 62258-1, suppliers of die devices shall furnish information, which is necessary and sufficient for users of the devices at all stages of design, procurement, manufacture and test of products containing them.

Whilst it is expected that much of the information supplied will be in the public domain and available from such sources as manufacturers' data sheets, this standard does not place an obligation on a supplier to make information public. Any information that a supplier considers to be proprietary or commercially sensitive may be supplied under the terms of a non-disclosure agreement.

Requirements and recommendations provided in this standard apply to electrical simulation models used to perform the following simulations:

- analysis of the signal propagation within the electronic system;
- verification of the correct functionality of the electronic system;
- verification of the timing requirements;
- verification of the testability.

Supporting information on the use of electrical simulation models is provided in Annex A.

5 Requirements for information on electrical simulation models

5.1 Information on the electrical simulation model

5.1.1 General

Where a simulation model is provided, the information as defined in the following subclauses shall be given.

5.1.2 Model file name

The name of the file containing the model shall be given.

5.1.3 Creation date

The date on which the model file was created shall be given.

5.1.4 Model description

A description of the model shall be provided in sufficient detail for a user to understand its scope and apply the corresponding simulator correctly.

5.1.5 Model source

The source and originator of the model shall be stated.

5.1.6 Simulation program

The name(s) of the simulation program(s) that will accept the model file as valid input shall be given.

5.1.7 Program version

The version(s) of the simulation program(s) that are compatible with the given file shall be given.

5.1.8 Compliance level

The level(s) of the simulation program(s) with which the model file complies shall be given (for example SPICE level 3).

5.1.9 Model scope

The scope of the model shall be given, including any limitations in its use (for example VHDL behavioural model).

5.2 Information on device connectivity

5.2.1 General

The appropriate information, as data and/or model(s), describing the component's connectivity features or characteristics should be stated.

NOTE Examples of simulation models include IBIS (ANSI/EIA-656), SPICE, IMIC (JEITA ED-5302) and Touchstone.

The following parameters are important for bare die and low frequency devices where terminal-to-terminal interference can be disregarded.

5.2.2 Pad capacitance

The capacitance of the input, output, power and ground pads of the device should be stated. The node to which the capacitance is measured should also be stated.

5.2.3 Input buffer

The electrical model(s) of the input buffer(s) should be stated. The type and compliance level of the model(s) should also be stated.

5.2.4 Output buffer

The electrical model(s) of the output buffer(s) should be stated. The type and compliance level of the model(s) should also be stated, as required in 5.1.

5.2.5 ESD protection

A description of the ESD protection circuitry, if any, should be given. If an ESD model is provided, the type and compliance level of the model shall also be stated, as required in 5.1.

5.3 Information on the timing simulation model

The appropriate model(s) describing the component's behaviour in the time dimension should be provided. Where required by the simulator the model of the device should be provided as an electronic file, so that it can be directly used as input to the simulation program. This is primarily intended for digital devices.

NOTE Examples of timing simulation models include VITAL, VERILOG, IEEE 1029.1 Waveform and Vector Exchange Specification and IEC 61691-3-4, Timing expression in VHDL (in preparation).

5.4 Information on connection redistribution

5.4.1 General

Where the electrical connection points or terminals of the device have been modified or altered by use of one or more redistribution layers, information concerning the electrical parameters of any redistribution traces should be given. Information on multi-pin connections should be given in matrix form.

5.4.2 Redistribution trace resistance

The resistance of the redistribution traces, if any, with respect to the initial or original contact should be stated. Any assumed or known tolerances should also be stated.

5.4.3 Redistribution trace capacitance

The self and mutual capacitance of the redistribution traces, if any, should be stated, preferably in matrix form. Any assumed or known tolerances should also be stated.

5.4.4 Redistribution trace inductance

The self and mutual inductance of the redistribution traces, if any, should be stated, preferably in matrix form. Any assumed or known tolerances should also be stated.

5.5 Information on package terminals

5.5.1 General

Where the electrical connection points or terminals of the device have been modified by use of an alternate connection method, such as the addition of bumps, balls or bond-wires, information concerning the electrical parameters of any package terminals should be given. Information on multi-pin connections is to be given in matrix form. One suggested format for the matrix could be in CLGR (capacitance-inductance-conductance-resistance) format.

5.5.2 Terminal resistance

The resistance of the package terminal (wire, bump, lead or ball) with respect to the original terminal should be stated. Any assumed or known tolerances should also be stated.

5.5.3 Terminal capacitance

The self and mutual capacitance of the package terminal (wire, bump, lead or ball) should be stated, preferably in matrix form. Any assumed or known tolerances should also be stated.

5.5.4 Terminal inductance

The self and mutual inductance of the package terminal (wire, bump, lead or ball) should be stated, preferably in matrix form. Any assumed or known tolerances should also be stated.

Annex A (informative)

Supporting information

A.1 General

For the purposes of this standard, an electronic system is regarded as being composed of a number of processing elements (active components) that apply non-linear transformations to the electrical signals, connected to each other and to other electronic systems by means of an interconnection network that ideally leaves the electrical signals unaltered (interconnections on the substrate) or applies linear transformations to them (passive components) and consisting of ICs and discrete components assembled on an interconnection substrate or board.

The simulation of the electrical behaviour and verification of the correct functionality of an electronic system are performed at the following levels:

- analysis of the signal propagation;
- verification of the correct functionality;
- verification of the timing requirements;
- verification of the testability.

The simulation of an electronic system aims to check whether its electrical design performs the desired linear and non-linear transformations according to the specifications.

The linear transformations are checked by the analysis of the signal propagation. The non-linear transformations are verified by the verification of the correct functionality and timing requirements. The above applies to digital, analogue and RF electronic systems.

A.2 Analysis of the signal propagation

In order to perform a proper analysis of the signal propagation of an electronic system, an interconnection block is defined as consisting of

- the output buffer of the active component that generates the signal (transmitting component);
- the interconnection network;
- the input buffer of the active component receiving the signal (receiving component).

For this reason the models of the input and output buffers of a device are required.

A.3 Verification of the correct functionality

For analogue and RF systems, this part corresponds to the analysis of the signal propagation.

For digital systems, this part implies the comparison of sequences of logical states against given specifications, including compliance to the time frame.

As far as the verification of the functionality of an electronic system is concerned, there are no additional requirements for systems using bare die, or minimally packaged components, with respect to systems using packaged components.

A.4 Verification of the timing requirements

The timing behaviour of electronic systems using bare die and/or minimally packaged components differs from the situation with packaged components, as the interconnection load to be driven is different. Therefore, timing models describing the component's behaviour with different interconnection loads should be provided.

A.5 Verification of the testability

The level of observability and controllability of electronic systems using bare die and/or minimally packaged components may differ from the situation with packaged components due to a reason, which is independent from the presence of the package. Bare die and minimally packaged components tend to be used in High Density Packaging systems, which traditional board-level testing may not be suited for, due to their small size. In this sense, a good practice in Design For Testability is strongly recommended when designing such systems, and components fulfilling the requirements of the IEEE/ANSI 1149.1 Standard Test Access Port and Boundary Scan Architecture, should be used whenever possible.

IECNORM.COM : Click to view the full PDF of IEC 62258-5:2006

Bibliography

IEC 61691-1-1, *Behavioural languages – Part 1-1: VHDL language reference manual*

IEC 61691-2, *Behavioural languages – Part 2: VHDL multilogic system for model interoperability*

IEC 62014-1 *Electronic design automation libraries – Part 1: Input/output buffer information specifications (IBIS version 3.2)*

EIA/JESD49, *Procurement Standard for Known Good Die (KGD) February 1996*

IEEE 1029.1, *Waveform and Vector Exchange Specification*

IEEE 1076, *VHSIC Hardware Description Language*

IEEE/ANSI 1149.1, *Standard Test Access Port and Boundary Scan Architecture*

IEEE 1364, *IEEE Standard Hardware Description Language Based on the Verilog® Hardware Description Language*

SPICE, *as defined by the EECS Department of the University of California at Berkeley*

JEITA ED-5302 IMIC 'I/O interface Model for IC' is a Draft Standard being worked on by the Japan Electronics and Information Technology Industries Association (JEITA).

IECNORM.COM : Click to view the full PDF of IEC 62258-5:2006

IECNORM.COM : Click to view the full PDF of IEC 62258-5:2006

SOMMAIRE

AVANT-PROPOS	15
INTRODUCTION.....	17
1 Domaine d'application.....	18
2 Références normatives	18
3 Termes et définitions	18
4 Généralités.....	18
5 Exigences relatives aux informations sur les modèles de simulation électrique	19
5.1 Informations sur le modèle de simulation électrique	19
5.2 Informations relatives à la connectivité du dispositif	20
5.3 Informations relatives au modèle de simulation temporelle	20
5.4 Informations relatives à la redistribution de la connexion	20
5.5 Informations relatives aux bornes d'emballage	21
Annexe A (informative) Informations d'aide.....	22
Bibliographie	24

IECNORM.COM : Click to view the full PDF of IEC 62258-5:2006

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

PRODUITS DE PUCE DE SEMICONDUCTEURS –

**Partie 5: Exigences pour les informations
concernant la simulation électrique**

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (CEI) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de la CEI"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de la CEI intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de la CEI se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de la CEI. Tous les efforts raisonnables sont entrepris afin que la CEI s'assure de l'exactitude du contenu technique de ses publications; la CEI ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de la CEI s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de la CEI dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de la CEI et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) La CEI n'a prévu aucune procédure de marquage valant indication d'approbation et n'engage pas sa responsabilité pour les équipements déclarés conformes à une de ses Publications.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à la CEI, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de la CEI, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de la CEI ou de toute autre Publication de la CEI, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de la CEI peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La Norme internationale CEI 62258-5 a été établie par le comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

La présente norme doit être lue conjointement avec la CEI 62258-1 et la CEI 62258-2.

La présente version bilingue (2012-07) correspond à la version anglaise monolingue publiée en 2006-08.

Le texte anglais de cette norme est issu des documents 47/1869/FDIS et 47/1882/RVD.

Le rapport de vote 47/1882/RVD donne toute information sur le vote ayant abouti à l'approbation de cette norme.

La version française n'a pas été soumise au vote.

Cette publication a été rédigée selon les Directives ISO/CEI, Partie 2.

La structure de la CEI 62258, telle que conçue actuellement, est constituée des parties suivantes regroupées sous le titre général *Produits de puce de semiconducteurs*:

Partie 1: Approvisionnement et utilisation

Partie 2: Formats d'échange de données

Partie 3: Bonnes pratiques recommandées pour la manipulation, le conditionnement et le stockage (Rapport Technique)

Partie 4: Questionnaire pour les utilisateurs et les fournisseurs de puces (Rapport Technique) (en préparation)

Partie 5: Exigences pour les informations concernant la simulation électrique

Partie 6: Exigences pour les informations concernant la simulation thermique

Partie 7: Schéma XML pour l'échange de données (Rapport Technique) (en préparation)

D'autres parties peuvent être ajoutées si nécessaire.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de maintenance indiquée sur le site web de la CEI sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite;
- supprimée;
- remplacée par une édition révisée, ou
- amendée.

INTRODUCTION

La présente norme est basée sur les travaux effectués dans le 4ème projet-cadre GOODDIE d'ESPRIT qui a résulté dans la publication de la série ES 59008 des spécifications Européennes. Les organisations qui ont participé à l'élaboration de la présente partie de la CEI 62258 comprennent le projet ESPRIT ENCAST, Die Products Consortium, JEITA, JEDEC et ZVEI.

IECNORM.COM : Click to view the full PDF of IEC 62258-5:2006

PRODUITS DE PUCE DE SEMICONDUCTEURS –

Partie 5: Exigences pour les informations concernant la simulation électrique

1 Domaine d'application

La présente partie de la CEI 62258 a été élaborée afin de faciliter la production, la fourniture et l'utilisation des produits de puce de semiconducteurs, comprenant:

- les plaquettes;
- la puce nue séparée;
- les puces et les plaquettes avec des structures de connexion fixées;
- les puces et les plaquettes à encapsulation minimale ou partielle.

La présente partie de la CEI 62258 spécifie les informations requises pour faciliter l'utilisation des données et des modèles de simulation du comportement électrique et la vérification de la fonctionnalité correcte des systèmes électroniques qui comprennent les puces à semi-conducteurs nues, avec ou sans structures de connexion, et/ou les puces à semi-conducteurs à emballage minimal. Elle est destinée à venir en aide à toutes les personnes impliquées dans la chaîne d'approvisionnement des dispositifs de puce afin de se conformer aux exigences de la CEI 62258-1 et de la CEI 62258-2.

2 Références normatives

Les documents de référence suivants sont indispensables pour l'application du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

CEI 62258-1, *Produits de puce de semiconducteurs – Partie 1: Approvisionnement et utilisation*

CEI 62258-2, *Produits de puce de semiconducteurs – Partie 2: Formats d'échange de données*

3 Termes et définitions

Pour les besoins du présent document, les termes, définitions et acronymes fournis dans la CEI 62258-1 s'appliquent.

4 Généralités

Pour se conformer à la CEI 62258-1, les fournisseurs de dispositifs de puce doivent publier les informations nécessaires et suffisantes pour les utilisateurs des dispositifs, à toutes les étapes de la conception, de l'approvisionnement, de la fabrication et d'essai des produits qui les contiennent.

Il est prévu que la majeure partie des informations fournies seront du domaine public et disponibles à partir de sources comme les fiches techniques du fabricant. Toutefois, la présente norme n'oblige pas un fournisseur à rendre ces informations publiques. Toute information considérée comme propriétaire ou délicate du point de vue commercial par un fournisseur peut être fournie dans les termes d'un accord de non-divulgaration.

Les exigences et les recommandations contenues dans la présente norme s'appliquent aux modèles de simulation électrique utilisés pour effectuer les simulations suivantes:

- analyse de la propagation du signal à l'intérieur d'un système électronique;
- vérification de la fonctionnalité correcte du système électronique;
- vérification des exigences temporelles;
- vérification de la capacité à être soumis à essai.

Les informations venant à l'appui des modèles de simulation électrique sont fournies à l'Annexe A.

5 Exigences relatives aux informations sur les modèles de simulation électrique

5.1 Informations sur le modèle de simulation électrique

5.1.1 Généralités

Lorsqu'un modèle de simulation est fourni, les informations telles que définies dans les paragraphes suivants doivent être fournies.

5.1.2 Nom du fichier du modèle

Le nom du fichier contenant le modèle doit être indiqué.

5.1.3 Date de création

La date à laquelle le fichier de modèle a été créé doit être indiquée.

5.1.4 Description du modèle

Une description du modèle doit être fournie avec suffisamment de détails pour qu'un utilisateur comprenne son champ d'application et applique le simulateur correspondant correctement.

5.1.5 Source du modèle

La source et la personne à l'origine du modèle doivent être indiquées.

5.1.6 Programme de simulation

Le/les nom(s) du/des programme(s) de simulation qui acceptera (-ront) le fichier de modèle comme valide doi(ven)t être indiqué(s).

5.1.7 Version du programme

La/les version(s) du/des programme(s) de simulation compatible(s) avec le fichier fourni doi(ven)t être indiquée(s).

5.1.8 Niveau de conformité

Le/les niveau(x) du/des programme(s) de simulation avec lequel/lesquels le fichier est conforme doi(ven)t être indiqué(s) (par exemple SPICE level 3)

5.1.9 Champ d'application du modèle

Le champ d'application du modèle doit être indiqué, y compris toute limitation de son utilisation (par exemple modèle comportemental VHDL).

5.2 Informations relatives à la connectivité du dispositif

5.2.1 Généralités

Les informations appropriées comme les données et/ou le(s) modèle(s) décrivant les propriétés ou caractéristiques de connectivité du composant doivent être indiquées.

NOTE Les exemples de modèles de simulation comprennent IBIS (ANSI/EIA-656), SPICE, IMIC (JEITA ED-5302) et Touchstone.

Les paramètres suivants sont importants pour les dispositifs à puce nue et à basse fréquence où l'interférence borne-à-borne peut être ignorée.

5.2.2 Capacitance des plots

Il convient d'indiquer la capacitance des plots d'entrée, de sortie, de puissance et de terre du dispositif. Il convient également d'indiquer le nœud auquel la capacitance est mesurée.

5.2.3 Tampon d'entrée

Il convient d'indiquer le/les modèle(s) électrique(s) du/des tampon(s) d'entrée. Il convient également d'indiquer le type et le niveau de conformité du/des modèle(s).

5.2.4 Tampon de sortie

Il convient d'indiquer le/les modèle(s) électrique(s) du/des tampon(s) de sortie. Il convient également d'indiquer le type et le niveau de conformité du/des modèle(s), comme requis en 5.1.

5.2.5 Protection ESD (répartie contre les décharges électrostatiques)

Il convient de fournir une description du circuit de protection ESD, le cas échéant. Si un modèle ESD est fourni, le type et le niveau de conformité du modèle doivent également être indiqués comme requis en 5.1.

5.3 Informations relatives au modèle de simulation temporelle

Il convient de fournir le/les modèle(s) approprié(s) décrivant le comportement du composant dans la dimension temporelle. Lorsque requis par le simulateur, il convient que le modèle du dispositif soit fourni comme fichier électronique de façon à pouvoir être utilisé directement comme entrée dans le programme de simulation. Cela concerne en premier lieu les dispositifs numériques.

NOTE Les exemples de modèles de simulation temporelle comprennent VITAL, VERILOG, IEEE 1029,1 Waveform and Vector Exchange Specification et la CEI 61691-3-4, Expression temporelle en VHDL (en préparation).

5.4 Informations relatives à la redistribution de la connexion

5.4.1 Généralités

Lorsque les points ou les bornes de connexion électrique du dispositif ont été modifiés ou altérés par l'utilisation d'une ou de plusieurs couches de redistribution, il convient de fournir les informations relatives aux paramètres électriques de toute trace de redistribution. Il convient de fournir les informations sur les connexions multi-broches sous la forme d'une puce.

5.4.2 Résistance des traces de redistribution

Il convient d'indiquer la résistance des traces de redistribution, le cas échéant par rapport au contact initial ou d'origine. Il convient d'indiquer toute tolérance supposée ou connue.