

INTERNATIONAL STANDARD

NORME INTERNATIONALE



AMENDMENT 1 AMENDEMENT 1

High-voltage switchgear and controlgear – Part 101: Synthetic testing

Appareillage à haute tension – Partie 101: Essais synthétiques

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2012/AMD1:2017



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2017 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
Fax: +41 22 919 03 00
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

IEC Catalogue - webstore.iec.ch/catalogue

The stand-alone application for consulting the entire bibliographical information on IEC International Standards, Technical Specifications, Technical Reports and other documents. Available for PC, Mac OS, Android Tablets and iPad.

IEC publications search - www.iec.ch/searchpub

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing 20 000 terms and definitions in English and French, with equivalent terms in 16 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

65 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: csc@iec.ch.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Catalogue IEC - webstore.iec.ch/catalogue

Application autonome pour consulter tous les renseignements bibliographiques sur les Normes internationales, Spécifications techniques, Rapports techniques et autres documents de l'IEC. Disponible pour PC, Mac OS, tablettes Android et iPad.

Recherche de publications IEC - www.iec.ch/searchpub

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne de termes électroniques et électriques. Il contient 20 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans 16 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

65 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: csc@iec.ch.

INTERNATIONAL STANDARD

NORME INTERNATIONALE



AMENDMENT 1
AMENDEMENT 1

**High-voltage switchgear and controlgear –
Part 101: Synthetic testing**

**Appareillage à haute tension –
Partie 101: Essais synthétiques**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 29.130.10

ISBN 978-2-8322-4811-9

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

FOREWORD

This amendment has been prepared by subcommittee 17A: Switching devices, of IEC technical committee 17: High-voltage switchgear and controlgear.

The text of this amendment is based on the following documents:

FDIS	Report on voting
17A/1149/FDIS	17A/1154/RVD

Full information on the voting for the approval of this amendment can be found in the report on voting indicated in the above table.

The committee has decided that the contents of this amendment and the base publication will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

The contents of the corrigendum of January 2018 have been included in this copy.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

INTRODUCTION to the Amendment

This amendment includes the following significant technical changes:

- the test procedure for test-duty T100a has been aligned with IEC 62271-100;
 - Annexes A through D have been transferred to IEC 62271-306;
 - Annex I has been revised and now includes Annex P of IEC 62271-100;
 - Annexes K, L and N have been revised.
-

2 Normative references

Replace the existing reference to IEC 62271-100:2008 by the following new reference:

IEC 62271-100:2008, *High-voltage switchgear and controlgear – Part 100: Alternating current circuit-breakers*

3.17 **minimum clearing time**

Replace the entire term, definition, note and source as follows:

3.17 (void)

Add, after the definition 3.18, a new term and definition as follows:

3.19 **intermediate asymmetry**

level of asymmetry in the other two phases having a reduced (intermediate) level of asymmetry when in a three-phase system the short-circuit current is initiated simultaneously in all phases and maximum asymmetry is obtained in one of the phases

4.1.2 High-current interval

Replace the entire subclause by the following:

The tolerance on the amplitude and the power frequency of the prospective breaking current is given in 6.103.2 and 6.104.3 of IEC 62271-100:2008. Therefore, the following conditions concerning the actual current through the test circuit-breaker shall be met:

- for symmetrical testing the current amplitude and final loop duration shall not be less than 90 % of the required values based on the current of the test-duty considered;
- for SLF test-duties and T100s and T100a when tested with ITRV, the product of the current amplitude and the duration of the final loop shall not be less than 95 % of the required values based on the current of the test-duty considered;
- for asymmetrical testing, both the current amplitude and final loop duration shall be between 90 % and 110 % of the required values, based on the current of the test-duty considered and time constant (see Tables L.12 to L.17).

In rare cases, where the applied voltage from the high current source is of the same magnitude as the required test voltage in a direct test circuit, a higher deviation of the last current loop is accepted provided that the prospective current loop with the auxiliary circuit-breaker arcing is within the specified tolerances.

4.1.4 High-voltage interval

Replace the first sentence of the first hyphen by the following:

The initial value of the power-frequency recovery voltage, excluding the transient oscillations, shall not be less than the equivalent initial value of the power-frequency recovery voltage specified in 6.104.7 of IEC 62271-100:2008 which, for a test with symmetrical current, starts with a minimum peak value of $0,95 \times k_{pp} \times U_r \sqrt{(2/3)}$.

4.2.1 Current injection methods

Replace, in the first sentence, "(see Annex B)" by "(see IEC 62271-306)".

Add, after the second indent, the following new sentences:

Current injection method is mandatory for:

- short-line fault test duties;

- T100s and T100a when tested with ITRV.

The time during which the arc is fed only by the injected current shall be treated as part of the length of the final current loop.

Replace the paragraph below the second hyphen by the following:

If any device with breaking capability interrupts the current through the test circuit-breaker at the same time as the test circuit-breaker, the method is not a valid current injection method.

Replace, in item c), "(see Annex B)" by "(see IEC 62271-306)".

4.2.2 Voltage injection method

Replace, in the first sentence, "(see also Annex C)" by "(see IEC 62271-306)".

Delete the sentence below the third hyphen of the first list.

4.2.3 Duplicate circuit method (transformer or Skeats circuit)

Replace, in the first sentence, "(see also Annex D)" by "(see IEC 62271-306)".

Delete the penultimate paragraph.

Replace, in the last paragraph, "See Annex D" by "See IEC 62271-306".

4.2.4 Other synthetic test methods

Remove the last two paragraphs.

Table 3 – Test parameters during three-phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,3$

Replace "98" by "97" (3 instances).

5.2.2 Test circuit

Replace the second sentence of the first paragraph by the following:

Examples of circuits showing voltage and current wave shapes are given in Figures 5 and 6 for single-phase and Figure 7 for three-phase.

6 Specific requirements for synthetic tests for making and breaking performance related to the requirements of 6.102 through 6.111 of IEC 62271-100:2008

Replace the existing title by the following new title:

6 Type tests

Add, before the existing text of this clause, the following new title:

6.1 General

Replace the second paragraph by the following new paragraphs and new table:

Requirements concerning testing of metal enclosed and dead tank circuit-breakers are given in Annex N.

General requirements for circuit-breakers with opening resistors are given in Annex R of IEC 62271-100:2008/AMD1:2012. A method available for testing circuit-breakers having opening resistors is reported in Annex F.

The abbreviations given in Table 6 are used to specify the operations to be performed.

Table 6 – Abbreviations used for operation during synthetic tests

Cd	Closing operation in a direct circuit at the voltage of the current source which can be less than the voltage specified in 6.104.1 of IEC 62271-100:2008
(Cd)	Closing operation as Cd, which may be carried out under no-load conditions
Cd _{asy}	Closing operation against the rated short-circuit making current according to 6.104.2 of IEC 62271-100:2008/AMD2:2017 in a direct circuit at conditions described under Cd
Cs _{sym}	Closing operation against a symmetrical current equal to the rated short-circuit breaking current, carried out at the required applied voltage in a synthetic circuit
Od	Breaking operation at the voltage of the current source only and with the specified breaking current
Os	Breaking operation with specified parameters in a synthetic circuit
<i>t</i>	Time interval between operations (0,3 s or 3 min depending on the rated operating sequence)
<i>t'</i>	Time interval between operations (3 min)
<i>t''</i>	Time interval between operations (15 s)
SP	Single-phase test as defined in 6.108 of IEC 62271-100:2008/AMD2:2017
DEF	Double-earth fault test as defined in 6.108 of IEC 62271-100:2008/AMD2:2017
NOTE Due to the characteristics of synthetic testing it may be difficult to comply with the specified time intervals of the rated operating sequence. See 6.105.1 of IEC 62271-100:2008/AMD1:2008.	

In order to comply with all test requirements, it may be necessary to make more operations than specified in the normal test duty. In such cases the circuit-breaker may be reconditioned and the test duty repeated.

6.102.10 Demonstration of arcing times

Replace the subclause by the following:

6.102.10 Demonstration of arcing times

6.102.10.1 General

The basic requirements to be met are given in 6.102.10 of IEC 62271-100:2008/AMD2:2017.

In order to be able to perform synthetic tests on the same basis as direct tests, normally it will be necessary to apply special re-ignition methods to prolong the arcing of the test circuit-breaker through the necessary number of zeros of the power-frequency current. See Annex H for re-ignition methods to prolong arcing.

The "step-by-step" method described in Annex H is the method used on most synthetic tests. The method is considered to be a sufficiently close approximation of the direct testing procedure.

The arcing is prolonged by means of thermal re-ignitions. As this method makes it possible to force the test circuit-breaker to re-ignite in all conditions, special care shall be taken not to re-ignite the circuit-breaker at the instant of a current zero when the circuit-breaker can clear. For this purpose it is necessary to determine, for each terminal fault, short-line fault and out-

of-phase test duty, the minimum arcing time of the circuit-breaker. At least two breaking tests, one clearance and one re-ignition, are necessary for this determination.

The clearance at the minimum arcing time is the first valid breaking operation. The other test is performed to demonstrate that a re-ignition at an early current zero would take place between the arcing contacts. This re-ignition test shall not be the last in a test duty.

For Od operations, a tolerance of ± 2 ms on the arcing time applies.

The extra tests necessary to demonstrate correct behaviour at early current zeros will usually contribute insignificantly to contact wear, etc., due to the short arcing times. Therefore, no re-conditioning should be necessary because of these tests.

The re-ignition(s) obtained when determining the minimum arcing time do(es) not indicate a failure of the circuit-breaker. However, it is important to establish that this re-ignition has taken place between the arcing contacts only. When using a current injection method, the interruption of the injected current a few loops after the re-ignition is often a useful means for the judgement. Thorough inspection of screens, arcing and main contacts, etc., should also be made to verify correct behaviour.

NOTE When performing Od-COs, or COd-COs operations the first opening operation is performed in a direct test circuit. This first opening operation should represent the minimum arcing time found for single opening operations. In case the arcing time of this first opening operation is longer than required, the test is considered as more severe.

The minimum clearing time for test-duty T100a is validated by the minimum arcing time of an interruption after a major loop with intermediate asymmetry.

6.102.10.2 Three-phase tests

Depending on the test circuit used, the test procedures given here may not cover the conditions of the 3rd pole-to-clear for solidly earthed systems ($k_{pp} = 1,3$). For this case the same procedures may be applied, with the manufacturer's consent, by combining the TRV and di/dt parameters for the 2nd pole-to-clear and the arcing time corresponding to the 3rd pole-to-clear. Alternatively, an additional test may be performed with the TRV, di/dt and the maximum arcing time corresponding to the 3rd pole-to-clear.

For alternative testing procedures of multi-enclosure type circuit-breakers with operating mechanism characteristics that require three-phase current, see Annex K.

6.102.10.2.1 Test duties T10, T30, T60, T100s, T100s(b)

The test procedure is as follows:

For convenience of testing, the pole in phase A is kept as the first-pole-to-clear.

First the minimum arcing time and correct re-ignition behaviour are established. This is done by changing the setting of the tripping impulse in steps of 18° (possibly this has to be repeated several times). After having done so, the setting of the control of the tripping impulse has to be advanced by approximately 40° , starting from the shortest arcing time at which the circuit-breaker cleared. For the last test, the setting of the control of the tripping impulse has to be advanced by approximately 20° , starting from the shortest arcing time at which the circuit-breaker cleared:

- first valid breaking operation: $t_{arc \min}$, minimum arcing time in phase A;
- re-ignition test: $t_{arc \text{ reig}} = t_{arc \min} - 18^\circ$, re-ignition in phase A;
- second valid breaking operation: $t_{arc \max} = t_{arc \min} + 40^\circ$, longest arcing time in phase A;
- third valid breaking operation: $t_{arc \text{ med}} = t_{arc \min} + 20^\circ$, medium arcing time in phase A.

The first valid breaking operation and re-ignition test consist of single opening operations. The second and third valid breaking operations are carried out as part of the rated operating sequence. If the rated operating sequence is CO-15s-CO, the third valid breaking operation is not required (see 6.102.10 of IEC 62271-100:2008/AMD2:2017).

For comparison with the arcing time settings used in three-phase direct tests, see Figure 8.

6.102.10.2.2 Test duty T100a

The intention is to demonstrate in a series of breaking tests the requirement a) and b) as defined in clause 6.102.10.2.2 of IEC 62271-100:2008/AMD2:2017:

- condition a) where arc extinction occurs in the first-pole-to-clear at the end of a major loop in the first phase with the required asymmetry criteria and with the longest possible arcing time t_{arc1} ;
- condition b) where arc extinction occurs at the end of an extended major loop in the last-pole-to-clear or in the second-pole-to-clear with the required asymmetry criteria and with the longest possible arcing time, t_{arc2} and t_{arc3} as follows:
 - the longest possible arcing time t_{arc2} applies for the last-pole-to-clear for circuit-breakers rated for $k_{pp} = 1,5$;
 - the longest possible arcing time t_{arc3} applies for the second-pole-to-clear for circuit-breakers rated for $k_{pp} = 1,3$ or $1,2$.

The test procedure, for three-phase testing, is as follows:

In order to simplify the test procedure, the pole in phase A is kept as the first-pole-to-clear. As a consequence the pole in phase C will be subjected to increased electrical wear. In order to obtain similar electrical wear on the poles of phase B and C, the test can be performed by exchanging the poles of phases B and C for the second breaking operation.

First the minimum arcing time $t_{arc \min}$ (Figures 9 and 10, first test) and re-ignition behaviour (Figures 9 and 10, second test) shall be demonstrated having intermediate asymmetry in phase A (Tables L.12 to L.17, columns 7, 8 and 9) and with the major extended loop occurring in phase C. This is done by changing the setting of the tripping impulse in steps of $d\alpha = 18^\circ$ (possibly this has to be repeated several times).

Before the next operation, initiation of short-circuit current shall be advanced by 60° where the required asymmetry changes to phase A (Figures 9 and 10 third test). Arc extinction shall occur in phase A, the first-pole-to-clear at the end of a major loop with the required asymmetry criteria and with the maximum arcing time demonstrating condition a) mentioned above.

The maximum arcing time t_{arc1} for the first pole-to-clear is achieved when the following condition is met:

$$t_{arc1} = t_{arc \min} + \Delta t_{a1} - T \times d\alpha/360^\circ$$

In the next operation, the initiation of short-circuit current shall be delayed by 60° . As a result the required asymmetry changes to phase C. Arc extinction shall occur in phase C at the end of a major extended loop with the required asymmetry criteria and with the maximum arcing time demonstrating condition b) mentioned above:

- the maximum arcing time t_{arc2} for the last-pole-to-clear for circuit-breakers intended to be used in non-effectively earthed neutral systems (Figure 9 fourth test) is achieved when the following condition is met:

$$t_{arc2} = t_{arc \min} + \Delta t_{a2} - T \times d\alpha/360^\circ$$

- the maximum arcing time $t_{\text{arc}3}$ for the second-pole-to-clear for circuit-breakers intended to be used in effectively earthed neutral systems (Figure 10 fourth test) is achieved when the following condition is met:

$$t_{\text{arc}3} = t_{\text{arc min}} + \Delta t_{\text{a}3} - T \times \alpha/360^\circ$$

where $\Delta t_{\text{a}1}$, $\Delta t_{\text{a}2}$, $\Delta t_{\text{a}3}$ are the relevant time parameters to be selected from Tables L.12 to L.17.

The order of the last two breaking operations can be interchanged.

Some circuit-breakers will not clear at the end of a major loop after the required arcing time. However, this test is valid if the circuit-breaker clears the subsequent minor loop, that becomes the last-pole-to-clear. The corresponding parameters for the last-pole-to-clear shall be applied.

For comparison with the arcing settings used in three-phase direct tests, see Figures 9 and 10.

6.102.10.3 Single-phase tests in substitution for three-phase conditions, out-of-phase and short-line fault tests

6.102.10.3.1 General

The procedures as described in 6.102.10.3 of IEC 62271-100:2008/AMD2:2017 are applicable with the following changes. These procedures are meant to demonstrate the first-pole-to-clear, the second-pole-to-clear and the third-pole-to-clear conditions, with current and voltage parameters applicable for the first-pole-to-clear.

6.102.10.3.3 Test-duty T100a

The test procedure is as follows.

The minimum arcing time $t_{\text{arc min}}$ and re-ignition behaviour shall be demonstrated with the major loop at intermediate asymmetry (Tables L.12 to L.17, columns 8 and 9). This is done by changing the setting of the tripping impulse in steps of 18° (possibly this has to be repeated several times).

After that, two breaking operations at required asymmetry shall be performed as described below. Tables L.12 to L.17, columns 3 and 4, give the required values of the peak short-circuit current and loop duration that shall be attained in the last loop prior to the interruption.

One breaking operation, corresponding to condition a) of 6.102.10.2.2 of IEC 62271-100:2008/AMD2:2017, shall demonstrate interruption at the end of the major loop with an arcing time equivalent to the maximum arcing time under three-phase conditions $t_{\text{arc}1}$ of the first-pole-to-clear.

The maximum arcing time $t_{\text{arc}1}$ for the first pole-to-clear is achieved when the following condition is met:

$$t_{\text{arc}1} = t_{\text{arc min}} + \Delta t_{\text{a}1} - T \times \alpha/360^\circ$$

Another breaking operation, corresponding to condition b) of 6.102.10.2.2 of IEC 62271-100:2008/AMD2:2017, shall demonstrate interruption at the end of the major loop with an arcing time equivalent to the maximum arcing time under three-phase conditions:

- the maximum arcing time $t_{\text{arc}2}$ for the last-pole-to-clear for circuit-breakers intended to be used in non-effectively earthed neutral systems ($k_{\text{pp}} = 1,5$) is achieved when the following condition is met:

$$t_{\text{arc}2} = t_{\text{arc min}} + \Delta t_{a2} - T \times d\alpha/360^\circ$$

- the maximum arcing time $t_{\text{arc}3}$ for the second-pole-to-clear for circuit-breakers intended to be used in effectively earthed neutral systems ($k_{\text{pp}} = 1,3$ or $k_{\text{pp}} = 1,2$) is achieved when the following condition is met:

$$t_{\text{arc}3} = t_{\text{arc min}} + \Delta t_{a3} - T \times d\alpha/360^\circ$$

where Δt_{a1} , Δt_{a2} , Δt_{a3} are the relevant time parameters to be selected from Tables L.12 to L.17.

The order of the last two breaking operations may be interchanged.

Since some circuit-breakers will not clear after a major loop, a test is still valid if the circuit-breaker interrupts at the subsequent minor loop.

6.102.10.3.5 Splitting of test-duties in test series, taking into account the associated TRV for each pole-to-clear

The procedures as described in 6.102.10.3.5 of IEC 62271-100:2008/AMD2:2017 are applicable and the test procedure for synthetic testing is given in Annex L.

6.102.10.3.101 Modified procedure in cases where the circuit-breaker did not interrupt during a test with a medium arcing time, during breaking tests with symmetrical current

If the circuit-breaker did not interrupt at the expected current zero during a breaking operation with symmetrical current with a medium arcing time then it is necessary to perform an additional breaking operation.

The breaking operation shall demonstrate interruption with the "ultimate maximum arcing time" $t_{\text{arc ult max}}$ which is:

$$t_{\text{arc ult max}} = t_{\text{arc med}} + T \times (150 / 360), \text{ if } k_{\text{pp}} = 1,5$$

$$t_{\text{arc ult max}} = t_{\text{arc med}} + T \times (180 / 360), \text{ if } k_{\text{pp}} = 1,3, 1,2 \text{ or } 1,0$$

where

$t_{\text{arc med}}$ is the medium arcing time at which the circuit-breaker did not interrupt;

$t_{\text{arc ult max}}$ is the ultimate maximum arcing time.

If the circuit-breaker does not interrupt during this additional breaking operation, it is permissible to carry out maintenance work on the circuit-breaker according to 6.102.9.5 of IEC 62271-100:2008/AMD2:2017 and repeat the test-duty where the breaking operation with the medium arcing time is replaced by the breaking operation with the ultimate maximum arcing time.

For test duties T10, T30, T60, L₉₀, L₇₅ and L₆₀, the $t_{\text{arc ult max}}$ is demonstrated with (Cd)Os.

For test duty T100s, the $t_{\text{arc ult max}}$ is demonstrated with CdOs.

For OP1 and OP2 test duties, the $t_{\text{arc ult max}}$ is demonstrated with Os.

6.106 Basic short-circuit test-duties

Delete the second paragraph and the list of abbreviations.

6.106.5 Test-duty T100a

Replace the second paragraph of item a) by the following:

Required values of the peak short-circuit current and loop duration shall be in accordance with the values in Tables L.12 to L.17.

Delete the fourth paragraph from item a) starting with "The required asymmetry level".

Replace the third paragraph of item b) by the following:

The corresponding corrected values can be found in Tables L.12 to L.17.

Replace the last sentence of 1) of item c) by the following:

See Annex I for more guidance.

Replace the last paragraph of 2) of item c) by the following:

Different test circuits for different asymmetry conditions may be needed in order to obtain the required values. A test with one single test circuit may over-stress the circuit-breaker and requires the consent of the manufacturer.

Add the following paragraph to item c):

- 3) u_c and RRRV for second-pole-to-clear and last-pole-to-clear are obtained from the respective values for symmetrical conditions reduced by the same factor as the corresponding di/dt .

Add, at the end of the list, the following new item e):

e) Intermediate asymmetry

The phase with the intermediate asymmetry as required for testing T100a according to 6.102.10.2.2 and 6.102.10.3.3 refers to the phase, in a three-phase system, having its current zero just prior to current zero of the phase with required asymmetry. This phase also starts with a major loop of current, at current initiation. As an example the red coloured phase in tests 1 and 2 of Figures 9 and 10 (synthetic test, right hand part of the figures) fulfils this intermediate asymmetry condition.

In this particular phase, the major loops are called intermediate major loops.

The parameters of the intermediate major loop can be obtained from Tables L.12 to L.17.

6.109 Short-line fault (SLF) tests

Replace the third paragraph by the following:

The final current loop before clearing shall have an amplitude equal to the test current times $\sqrt{2}$ with a tolerance of $\pm 10\%$ including the provisions of 4.1.2.

6.111.2 General

Delete the existing title and text.

6.111.3 Characteristics of supply circuits

Replace the second paragraph by the following:

The effects of current chopping, as described in G.7, may modify the recovery voltage during the capacitive current switching tests.

Add, after the second paragraph, the following new paragraph:

A test circuit with a 50 Hz current circuit may be used to prove the capacitive current switching capability for a rating of 60 Hz, provided that the recovery voltage fulfils the 60 Hz requirements (see 6.111.3 of IEC 62271-100:2008/AMD2:2017). The setting of the contact separation should be based on the frequency of the current source.

6.111.7 Test voltage

Replace the existing text by the following:

The prospective recovery voltage during synthetic capacitive current switching tests shall be calculated based on the test voltage of the corresponding single-phase direct test, as defined in 6.111.7 of IEC 62271-100:2008/AMD2:2017, and comply with the requirements of 6.111.10 of IEC 62271-100:2008/AMD2:2017.

Due to limitations of some synthetic test circuits the following additional requirements apply to the recovery voltage:

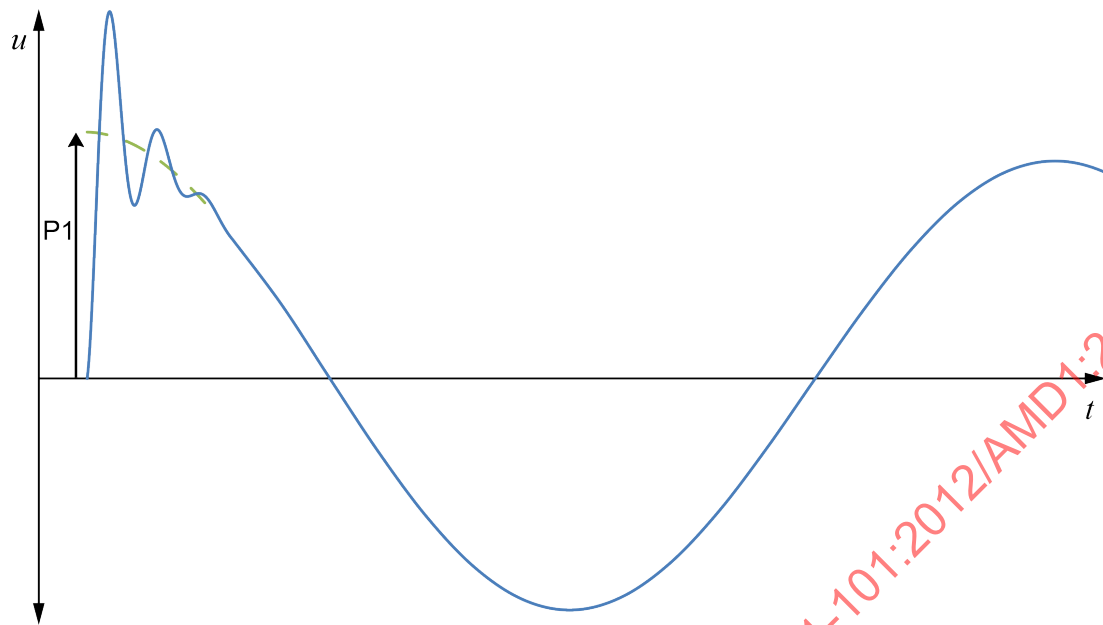
- The peak value of the a.c. component of the recovery voltage should be kept as close as possible to $k_C \times U_r \sqrt{2}/\sqrt{3}$;
- The d.c. component of the recovery voltage shall not decay more than 10 % within an interval of 0,3 s after final arc extinction, except for test duty LC1 and/or CC1;
- The recovery voltage shall not fall below $1,5 \times k_C \times U_r \sqrt{2}/\sqrt{3}$ within an interval of 0,1 s after final arc extinction.

Graphical representation is shown in Figure 8.

Examples of synthetic capacitive current switching circuits are given in Annex G.

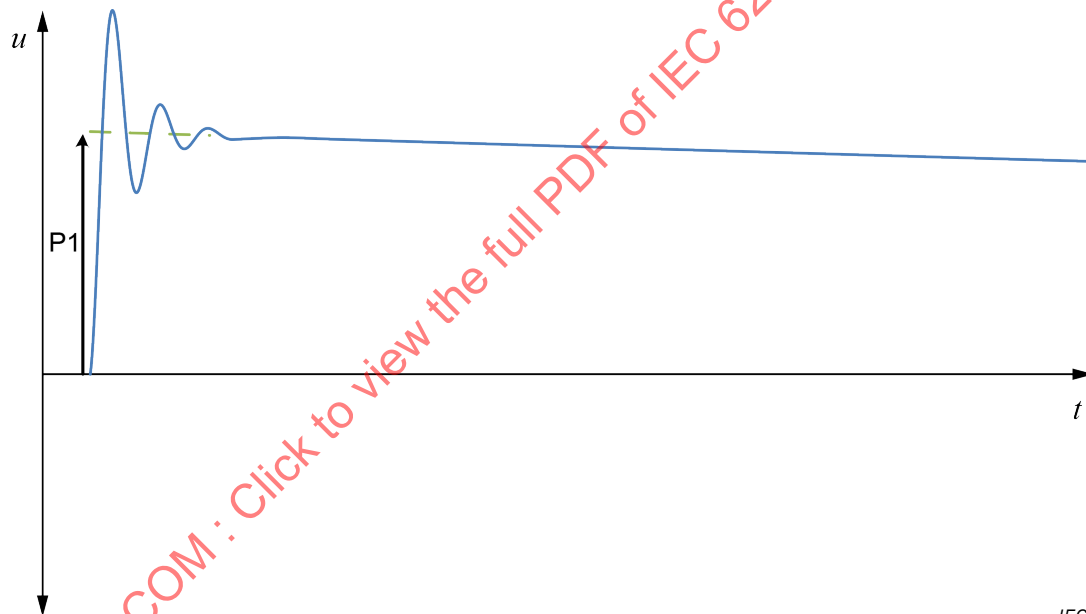
Figure 2 – Examples of evaluation of recovery voltage

Replace Figure 2 by the following:



IEC

a) Example of a power-frequency recovery voltage



IEC

b) Example of a d.c. steady-state recovery voltage

P1 Point of initial value of (power frequency or d.c. steady-state) recovery voltage,
 $\geq 0,95 \times k_{pp} \times U_r \times \sqrt{\frac{2}{3}}$

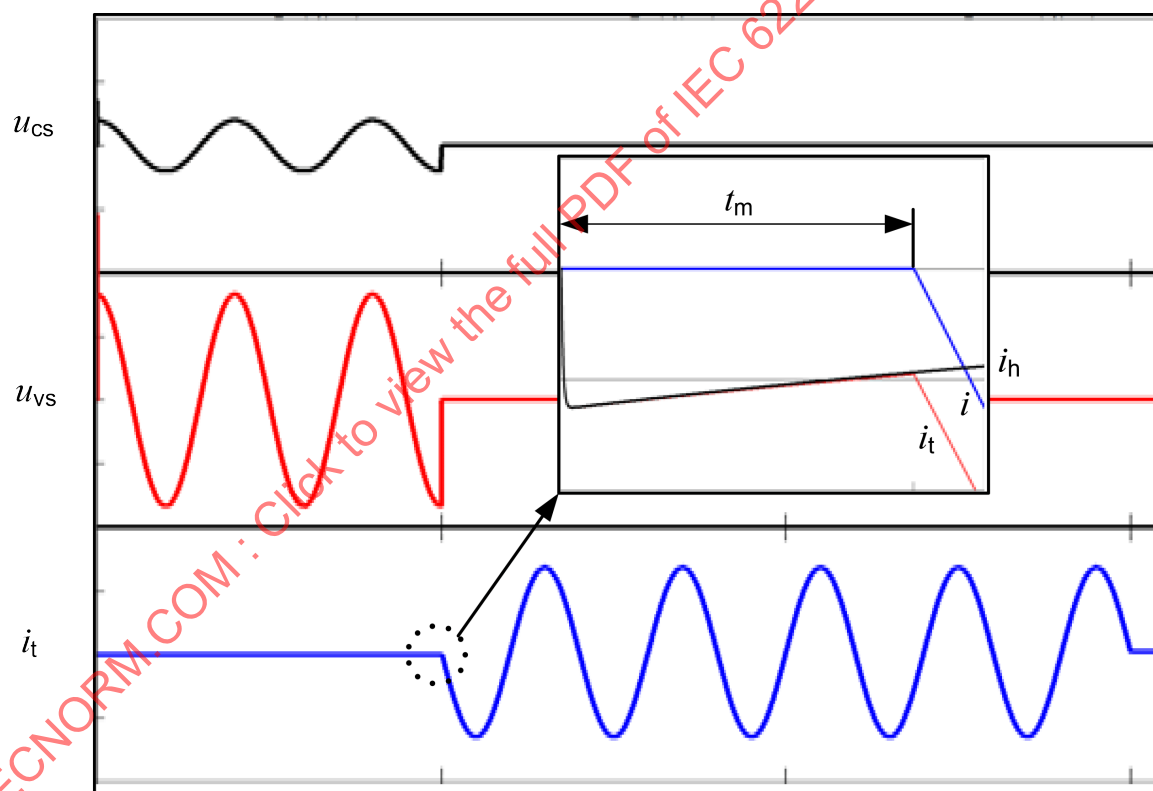
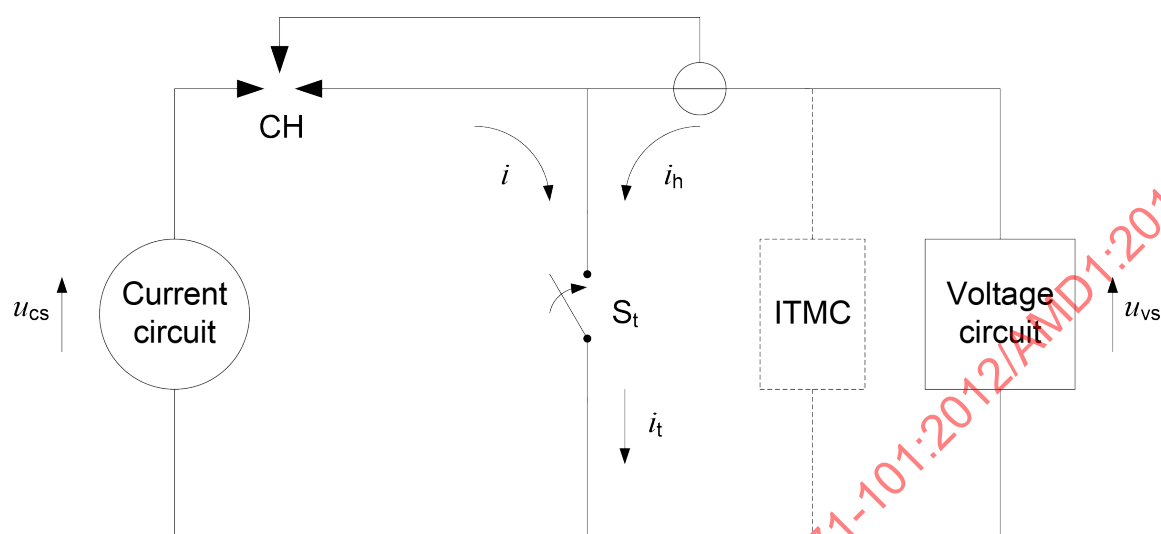
Blue line Tested recovery voltage

Green dotted line Tested power frequency or d.c. steady-state recovery voltage

Figure 2 – Examples of evaluation of initial recovery voltage

Figure 5 – Typical synthetic making circuit for single-phase tests

Replace Figure 5 by the following:



IEC

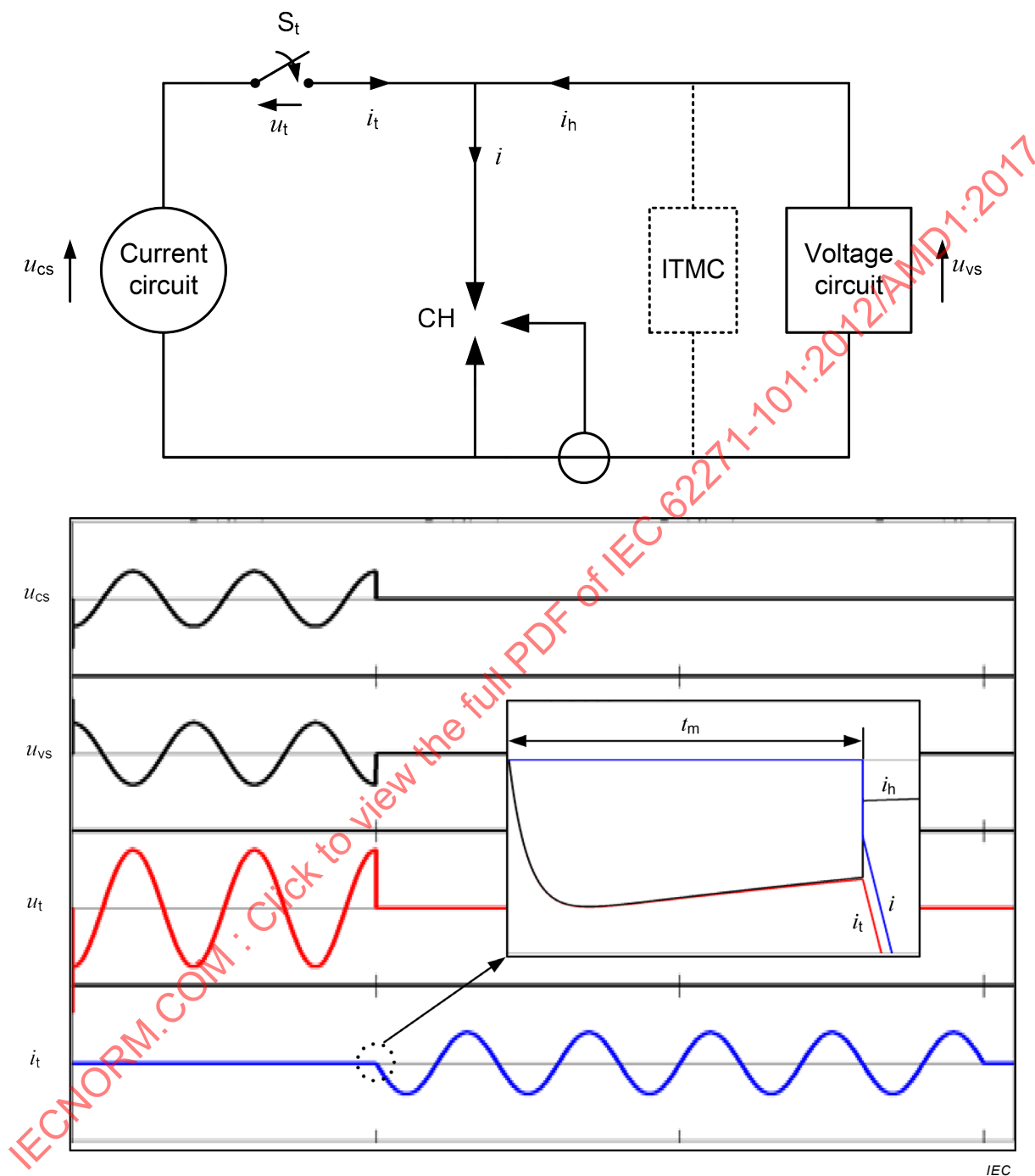
Key

u_{cs}	voltage of current circuit	u_{vs}	voltage of voltage circuit
CH	making device (triggered spark gap)	i_h	initial transient making current (ITMC)
i	power-frequency current supplied by current circuit	i_t	current in the test circuit-breaker
S_t	test circuit-breaker	t_m	time delay of making device

Figure 5 – Example of synthetic making circuit for single-phase tests

Figure 6 – Typical synthetic making circuit for out-of-phase

Replace Figure 6 by the following:



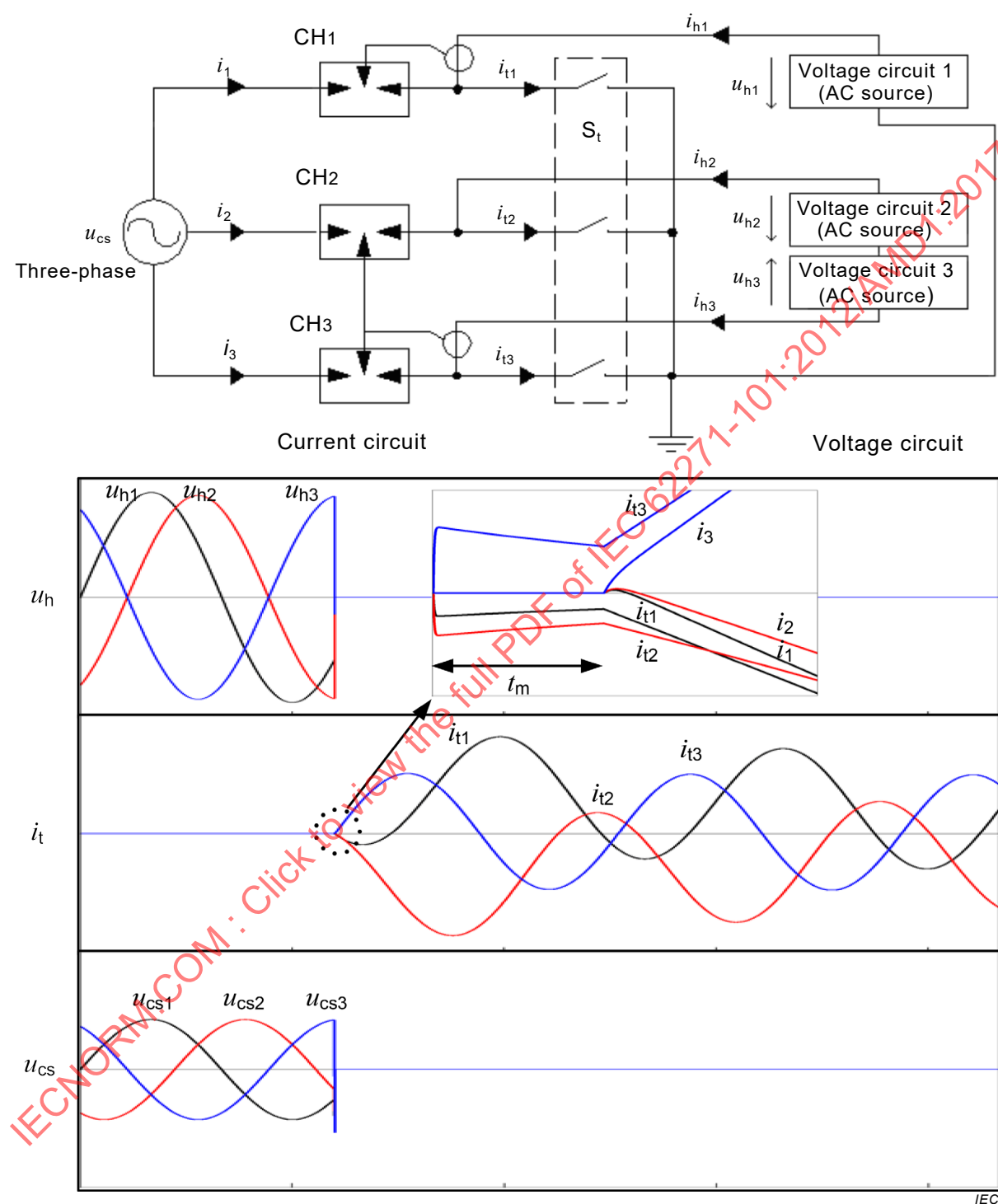
Key

u_{cs}	voltage of current circuit	u_{vs}	voltage of voltage circuit
CH	making device (triggered spark gap)	i_h	initial transient making current (ITMC)
i	power-frequency current supplied by current circuit	i_t	current in the test circuit-breaker
S_t	test circuit-breaker	u_t	test voltage across test circuit-breaker
t_m	time delay of making device		

Figure 6 – Example of synthetic making circuit for out-of-phase

Figure 7 – Typical synthetic make circuit for three-phase tests ($k_{pp} = 1,5$)

Replace Figure 7 by the following:



Key

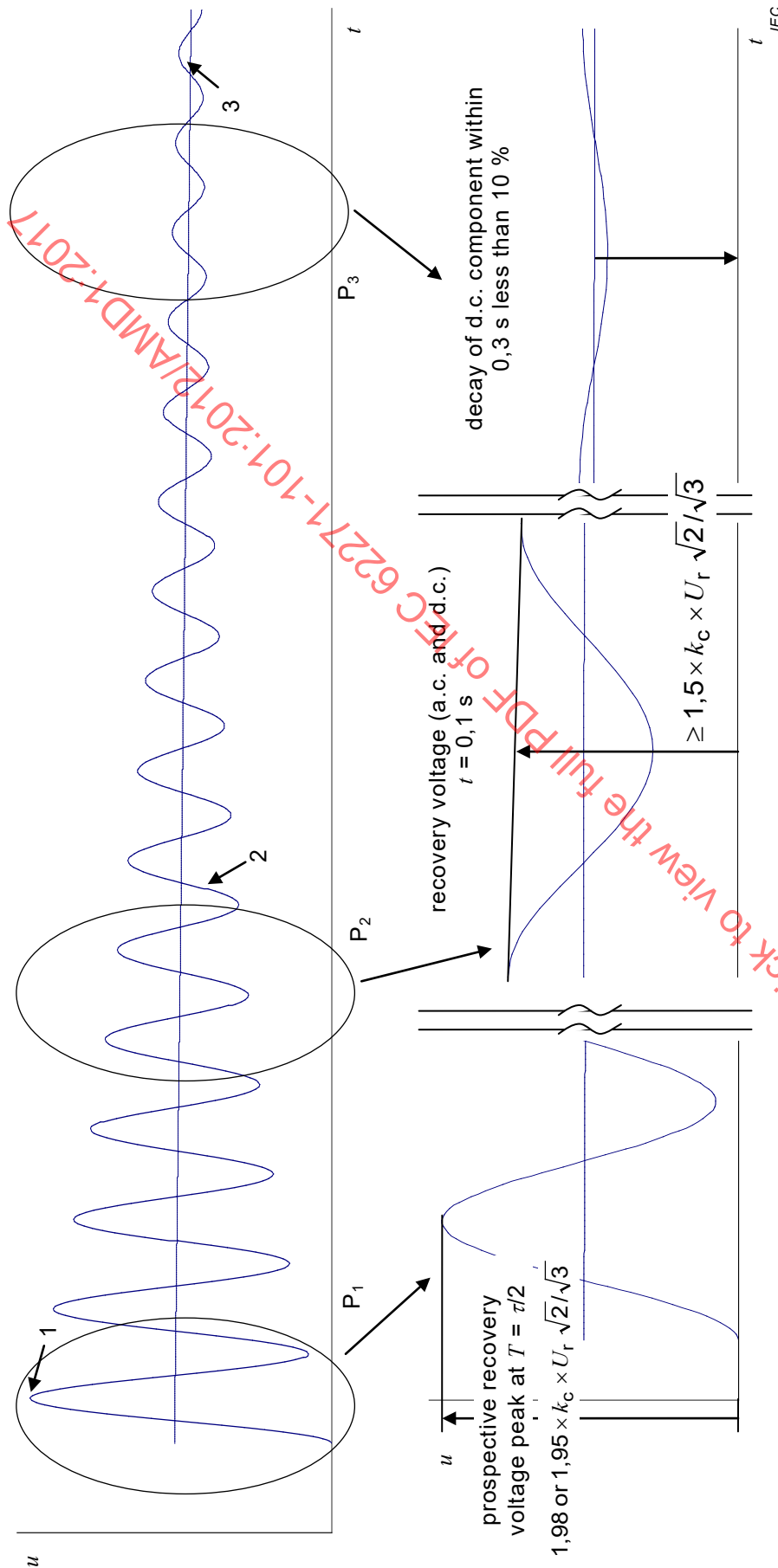
$u_{cs1}, u_{cs2}, u_{cs3}$	voltage of current circuit	u_{h1}, u_{h2}, u_{h3}	applied voltage
i_1, i_2, i_3	current supplied by the current circuit	CH ₁ , CH ₂ , CH ₃	making device (triggered spark gap)
i_{t1}, i_{t2}, i_{t3}	current through the test object	S_t	test circuit-breaker
i_{h1}, i_{h2}, i_{h3}	initial transient making current (ITMC)	t_m	time delay of making device

Figure 7 – Example of synthetic making circuit for three-phase tests ($k_{pp} = 1,5$)

Figure 8 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100s with $k_{pp} = 1,5$

Replace Figure 8 by the following:

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2012/AMD1:2017



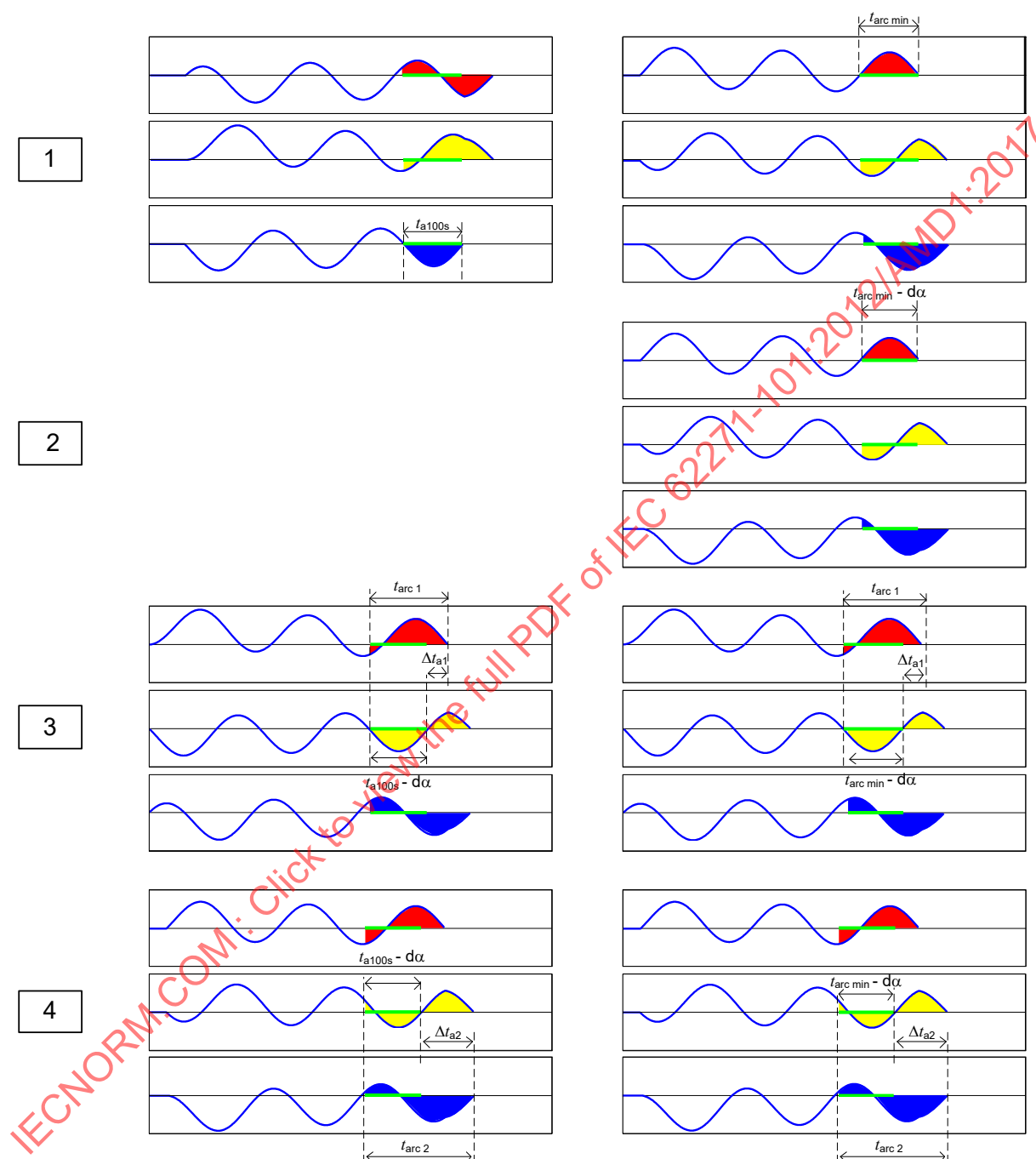
Key

- 1 recovery voltage with exponential decrement in the a.c. and d.c. components
- 2 across the circuit-breaker during a synthetic capacitive current switching test
- 3 a.c. component of the recovery voltage
- τ d.c. component of the recovery voltage
- τ cycle of power frequency

Figure 8 – Evaluation of recovery voltage during synthetic capacitive current switching testing

Figure 9 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100a with $k_{pp} = 1,5$

Replace Figure 9 by the following:



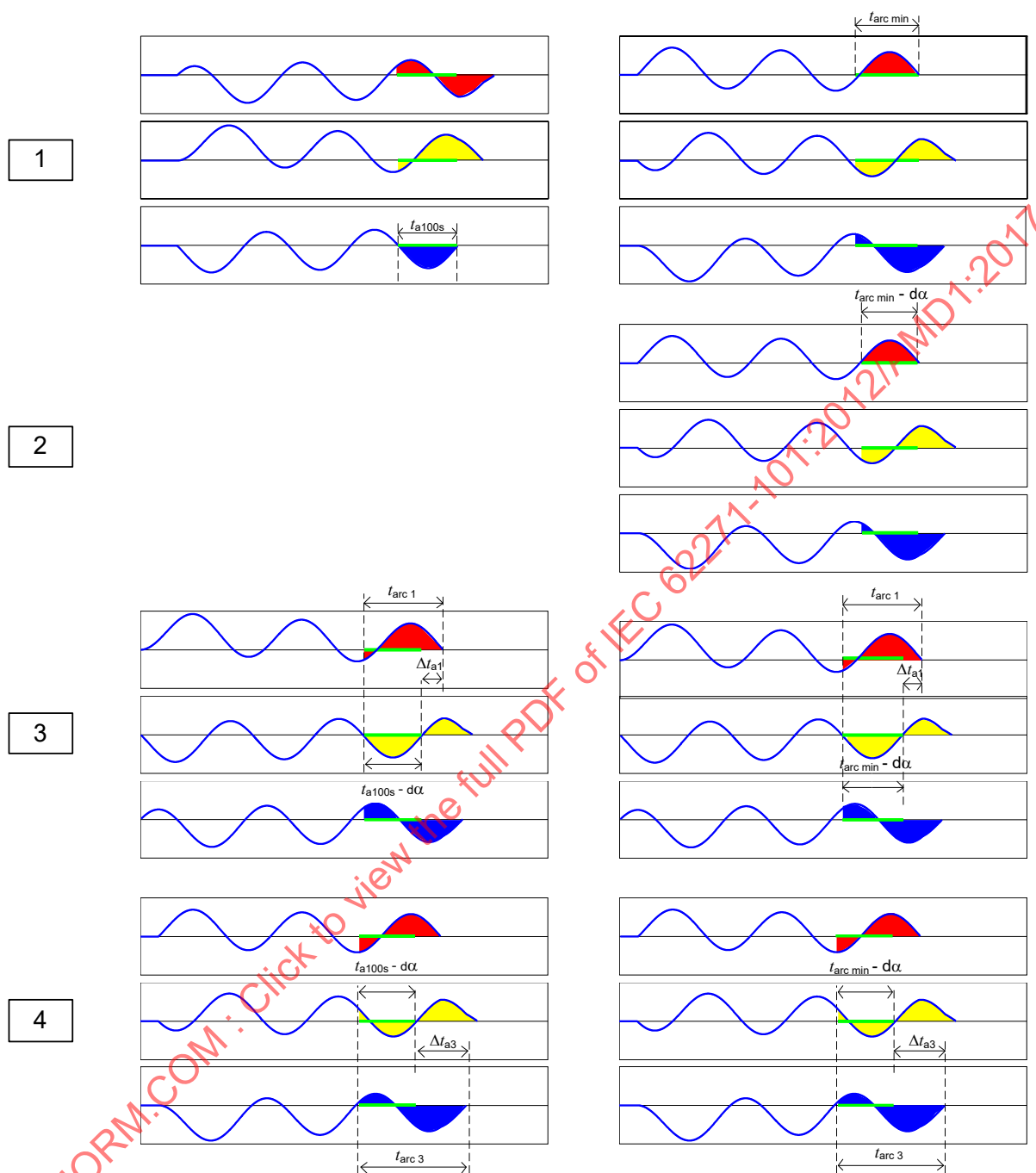
IEC

Key

- 1 First test, $t_{arc \min}$
- 2 Second test, $t_{arc \min} - d\alpha$, resulting in re-ignition
- 3 Condition a) first-pole-to-clear after major loop
- 4 Condition b) last-pole-to-clear after major extended loop

Figure 9 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic tests (right) for T100a with $k_{pp} = 1,5$

Add, after the new Figure 9 added by this amendment, the following new Figure 10:



IEC

Key

- 1 First test, $t_{arc \min}$
- 2 Second test, $t_{arc \min} - d\alpha$, resulting in re-ignition
- 3 Condition a) first-pole-to-clear after major loop
- 4 Condition b) second-pole-to-clear after major extended loop

Figure 10 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic tests (right) for T100a with $k_{pp} = 1,3$

E.1 General

Replace "Annex C of IEC 62271-100:2008" by "IEC 62271-306".

E.3 Test conditions

Replace item a) by the following:

- a) Circuit parameters of the circuits.

E.4.2 Voltages

Add, after item b), the following item:

- c) Voltage to enclosure for the test circuit-breaker when applicable.

E.4.3 Currents

Delete the paragraph below item b).

Annex G (informative) Synthetic methods for capacitive-current switching

Replace the entire text of this annex, including figures, by the following:

G.1 General

Synthetic capacitive current switching tests are generally performed using single-phase test circuits. There are principally two types of circuits:

- a) Combined current and voltage circuits

The test circuit consists of a current circuit and a voltage circuit. Both circuits have a capacitive nature, although an inductive or resistive current circuit can be used as an alternative, provided that the phase angle between the two sources is changed accordingly.

The two sources can be power frequency fed transformers or charged capacitors, or a combination of both. The application of this type of circuit implies the use of an auxiliary circuit-breaker to isolate the test circuit-breaker from the current circuit.

The time between separation of voltage circuit and current circuit by the auxiliary circuit-breaker (current zero in the current circuit) and the current zero in the voltage circuit should not be longer than 500 μ s.

- b) LC oscillating circuits

The test circuit consists of an LC oscillating circuit that provides both the current and voltage from a single source. The application of this type of circuit does not require the use of an auxiliary circuit-breaker.

For applicability of the mentioned methods in case of metal-enclosed or dead tank circuit-breakers, see Annex N of this document and Annex O of IEC 62271-100:2008/AMD2:2017.

NOTE Phenomena occurring after a restrike or a re-ignition event are not representative of service conditions as the test circuit does not adequately reproduce the post-event voltage conditions.

Many test circuits are possible with different features. Some examples are given in Figures G.1 to G.7.

An impedance may be added for protection of the test circuit and/or control of the inrush current, provided that the prospective recovery voltage is in accordance with 6.111.10 of IEC 62271-100:2008/AMD2:2017.

G.2 Recovery voltage

In principle, the recovery voltage consists of an a.c. voltage applied to one terminal of the test circuit-breaker, while a slowly decaying d.c. voltage stresses the other terminal. In some test circuits both voltages are superimposed at one terminal of the test circuit-breaker, the other terminal being earthed. This condition is more severe with respect to both the insulation to earth and across contacts. The combined current and voltage circuits of Figures G.4 and G.5 can be used to apply the correct voltage stresses to each terminal of the circuit-breaker. For synthetic method the decay of the AC voltage should be kept within limits given in 6.111.7 and Figure 8.

G.3 Combined current and voltage circuits

When tests are performed using the circuits described in item a) of G.1, the connection of the current and voltage circuits to the auxiliary and test circuit-breakers can be in parallel mode, subtracting the voltages on the auxiliary circuit-breaker, or in series mode, and adding the voltages on the test circuit-breaker.

Depending on whether the voltage circuit is connected permanently or switched in before or after power-frequency current zero, a distinction can be made between power-frequency current superposition, current injection and voltage injection circuits.

G.4 Making tests

An example of a test circuit is given in Figure G.7.

The voltage circuit supplies the test voltage during closing of the contacts until dielectric breakdown occurs causing the initial transient making current to flow.

G.5 Current chopping

Current chopping phenomena, caused by interaction between a circuit-breaker and its circuit (in service or during laboratory tests), generally leads to a reduction of the load side voltage and thus also of the dielectric stress applied to the circuit-breaker.

In service or during laboratory tests in direct test circuits, chopping of small capacitive currents may take place. In synthetic test circuits the probability of these events occurring is increased for the following reasons:

- generally speaking the characteristic parameters of the main and stray components of some synthetic test circuits are different and may influence the chopping behaviour of the circuit-breaker;
- the effect of additional (auxiliary) circuit-breakers in series with the test circuit-breaker in combined current and voltage circuits;
- the increased ratio of arc voltage to power-frequency voltage.

Therefore, when performing synthetic tests using test circuits described in item a) of G.1, it may be difficult to determine whether or not current chopping is a significant feature of the test circuit-breaker. To reduce current chopping, the following measures can be taken:

- modify the capacitances seen from the circuit-breaker terminals;

- use an auxiliary circuit-breaker with a short minimum arc duration and low arc voltage in combined current and voltage circuits.

Some synthetic test circuits are less-sensitive to current chopping, and therefore, may provide a recovery voltage for long arcing times where it would be reduced in a direct circuit.

G.6 Examples test circuits

Figures G.1 to G.7 show some examples of synthetic test circuits for capacitive current switching. The following list of symbol explanations relates to these figures, as appropriate, and are listed here for the sake of brevity and to avoid repetition.

The equations presented for the given circuits are meant for guidance only. They do not take into account losses or other phenomena in the test circuits.

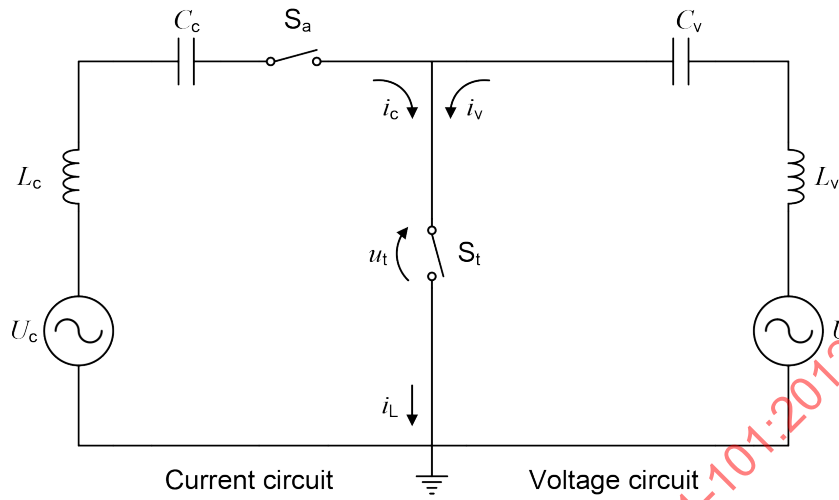
C_c	= capacitance of the current circuit
C_{hB}, C_B	= capacitances of the voltage circuit B
C_v	= capacitance of the voltage circuit
C_h, L_{pf}	= power frequency oscillation circuit
f_{inrush}	= frequency of the inrush current
f_L	= frequency of the current i_L
f_r	= rated power frequency
f_{RV}	= frequency of the recovery voltage
G	= gap
i_c	= current of the current circuit
$i_{max\ peak}$	= maximum peak of the inrush current
i_L	= load current (current through test circuit-breaker S_t)
i_v	= current of the voltage circuit
L_c	= inductance of the current circuit
L_v	= inductance of the voltage circuit
m	= ratio of current i_L to current i_v
n	= ratio of voltage u_t to voltage U_c
R_v	= resistance of the voltage circuit
R_B	= resistance of circuit B
R_p	= earthing resistor
S_a	= auxiliary circuit-breaker
S_{a1}, S_{a2}, S_{a3}	= auxiliary circuit-breakers
S_t	= test circuit-breaker
$\hat{t}$	= time to the peak of injected current
U_c	= voltage of the current circuit
U_h	= charging voltage of C_h
U_{hB}	= charging voltage of C_{hB}
U_v	= voltage of the voltage circuit
u_A, u_B	= voltage to earth at points A and B, respectively
u_t	= voltage across the test circuit-breaker S_t

U_t

= test voltage according to IEC 62271-100

ω

= pulsation of the test circuit, $\omega = 2 \times \pi \times f_r$



IEC

$$U_c = u_t/n$$

$$i_c = i_L(1 - 1/m)$$

$$\omega L_c \ll 1/\omega C_c$$

$$C_c = n(1 - 1/m)C_L$$

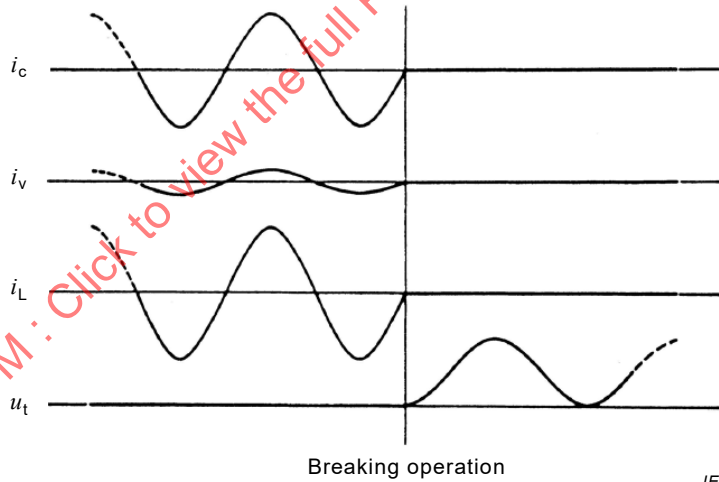
C_L = equivalent load capacitance

$$U_v = u_t$$

$$i_v = i_L/m$$

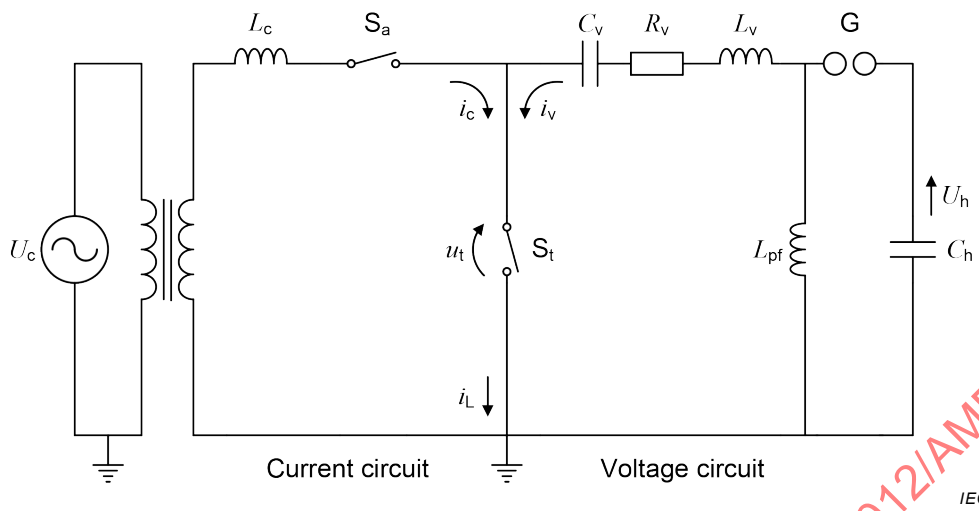
$$\omega L_v \ll 1/\omega C_v$$

$$C_v = C_L/m$$



IEC

Figure G.1 – Power frequency circuits in parallel



$$i_L = i_c + i_v$$

$$\omega L_c = \frac{1}{n \times \omega \times C_L}$$

$$U_h = \frac{(C_v + C_h)}{C_h} U_t \sqrt{2}$$

$$i_v = \frac{U_h}{\omega_0 L_v} e^{-\alpha t} \sin \omega_0 t, \text{ with } \alpha = \frac{R_v}{2L_v}$$

$$\text{and } \omega_0 = \sqrt{\frac{1}{L_v} \left(\frac{1}{C_h} + \frac{1}{C_v} \right) - \left(\frac{R_v}{2L_v} \right)^2}$$

$$L_v = \frac{U_h}{i_L \times \omega \times \sqrt{2}}$$

$$f_{RV} = \frac{1}{2\pi \sqrt{C_h \times L_{pf}}}$$

C_L = equivalent load capacitance

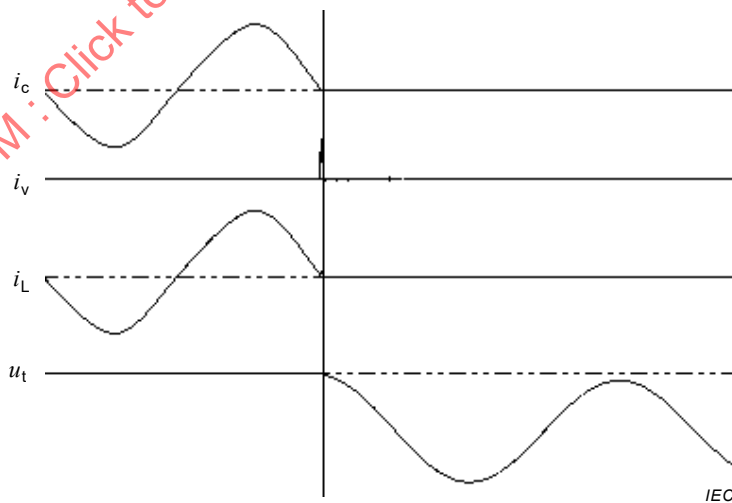
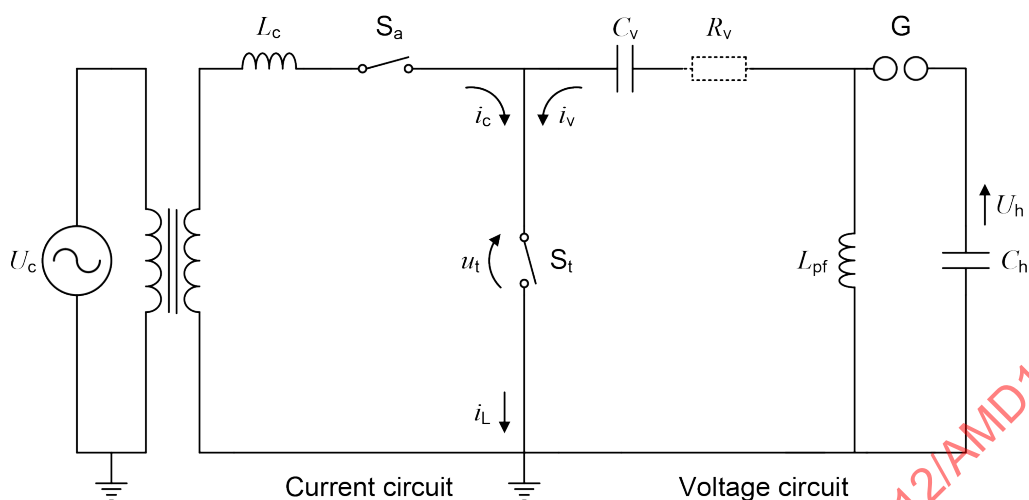


Figure G.2 – Current injection circuit



IEC

$$i_c = i_L - i_v$$

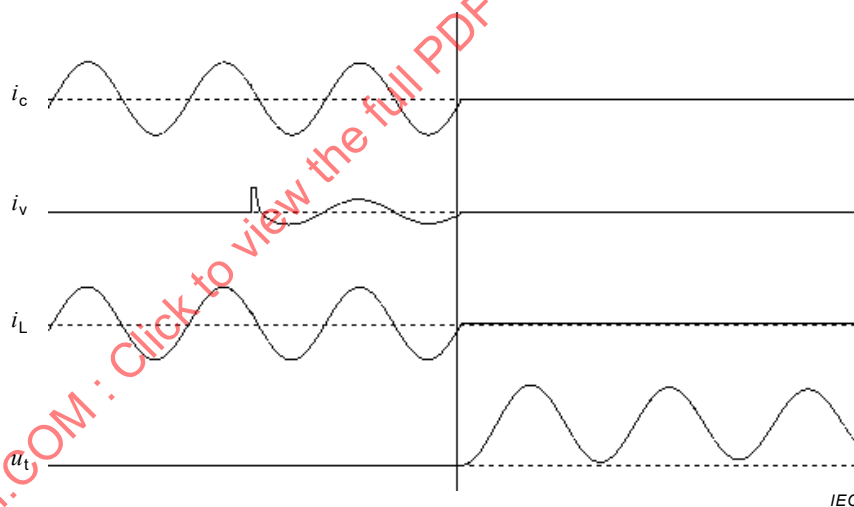
$$i_c = \frac{U_c}{\omega_r L_c}, \text{ with } \omega_r = 2\pi f_r$$

$$i_v = 2\pi f_L \times C_v \times U_h$$

$$U_h = U_t \sqrt{2}$$

$$f_L = \frac{1}{2\pi \sqrt{(C_h + C_v) \times L_{pf}}}$$

$$f_{RV} = \frac{1}{2\pi \sqrt{C_h \times L_{pf}}}$$



IEC

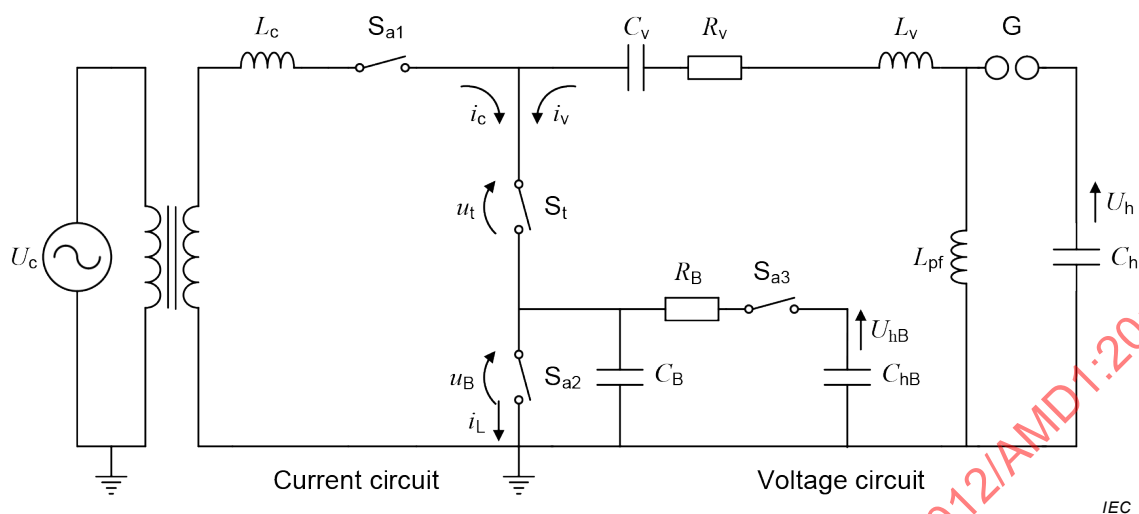
Figure G.3 – Power frequency current injection circuit



$$L_v = \frac{U_h}{i_l \times \omega \times \sqrt{2}}$$



Figure G.4 – Current injection circuit, recovery voltage applied to both terminals of the circuit-breaker



$$U_c = \frac{U_t}{n}$$

$$i_L = i_c + i_v$$

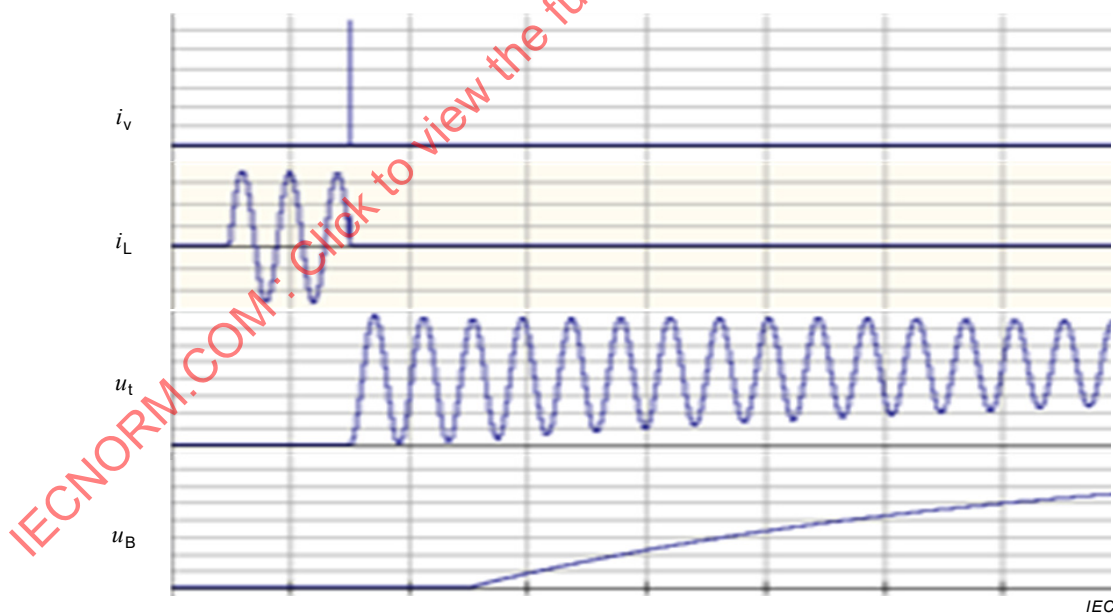
$$\omega L_c = \frac{1}{n \times \omega \times C_L}$$

$$U_h = \frac{(C_v + C_h)}{C_h} U_t \sqrt{2}$$

$$i_v = \frac{U_h}{\omega_0 L_v} e^{-\alpha t} \sin \omega_0 t, \text{ with } \alpha = \frac{R_v}{2L_v}$$

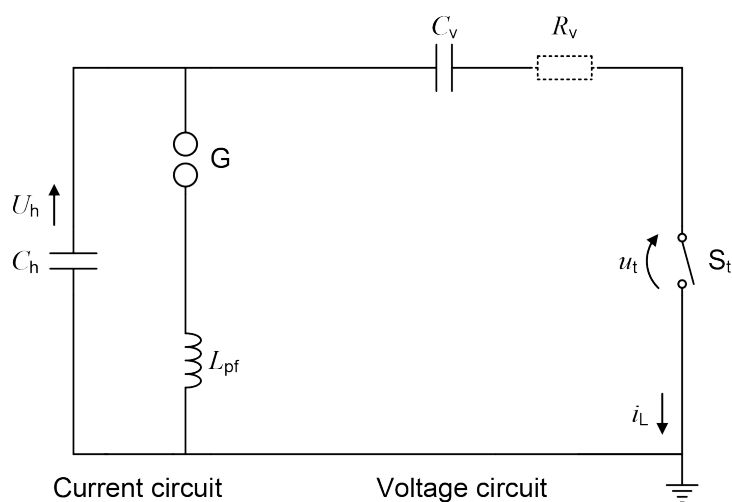
$$\text{and } \omega_0 = \sqrt{\frac{1}{L_v} \left(\frac{1}{C_h} + \frac{1}{C_v} \right) - \left(\frac{R_v}{2L_v} \right)^2}$$

$$L_v = \frac{U_h}{i_L \times \omega \times \sqrt{2}}$$



NOTE The circuit can also be used with the power frequency current injection method.

Figure G.5 – Current injection circuit with decay compensation



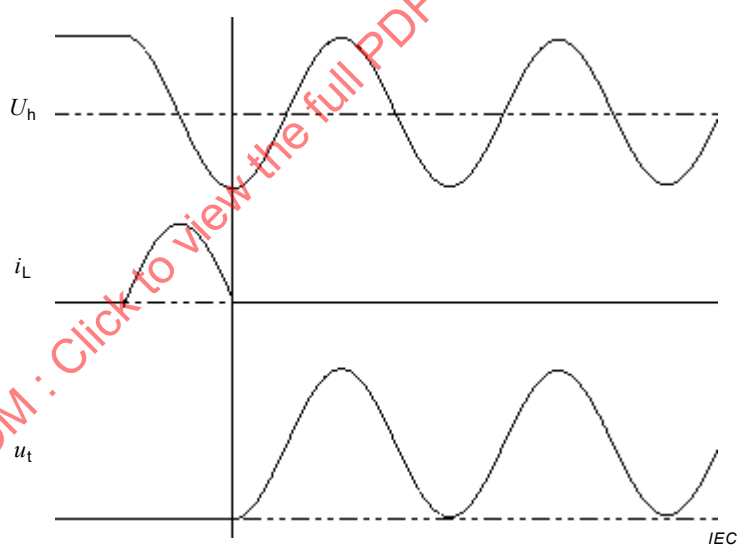
$$U_h = U_t \sqrt{2}$$

$$f_{RV} = \frac{1}{2\pi\sqrt{C_h \times L_{pf}}}$$

C_v = equivalent load capacitance

$$i_L = 2\pi f_L \times C_v \times U_h$$

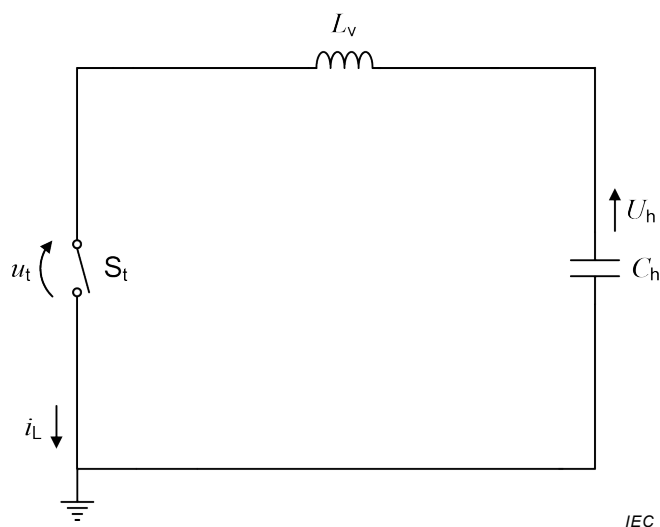
$$f_L = \frac{1}{2\pi\sqrt{(C_h + C_v) \times L_{pf}}}$$



C_h and C_v are pre-charged at the voltage U_h .

NOTE The load side capacitance C_v can also be inserted between the test circuit-breaker and earth. Care should be taken to the correct voltage distribution in case of metal enclosed circuit-breakers.

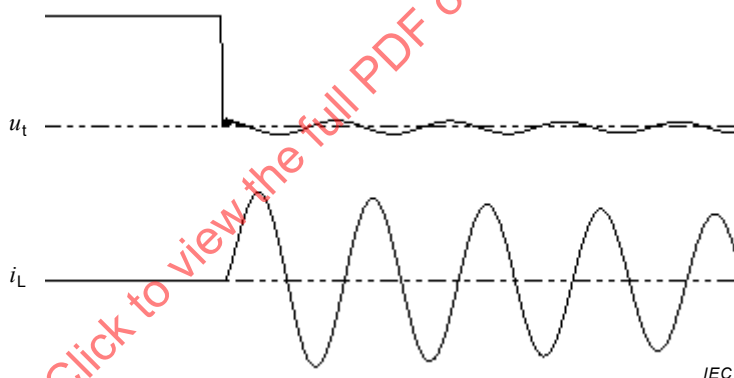
Figure G.6 – LC oscillating circuit



$$U_h = U_t \times \sqrt{2}$$

$$i_{\text{max peak}} = U_h \times C_h \times 2\pi f_{\text{inrush}}$$

$$f_{\text{inrush}} = \frac{1}{2\pi\sqrt{C_h \times L_v}}$$



NOTE This circuit does not reproduce possible interactions for back-to-back inrush making current test when the circuit-breaker can clear during the pre-arc interval.

Figure G.7 – Inrush making current test circuit

Annex H (informative) Re-ignition methods to prolong arcing

Replace the title of Annex H by the following:

Step-by-step method to prolong arcing

H.1 “Step-by-step” method

Delete the existing title.

Delete the last two sentences of the first paragraph.

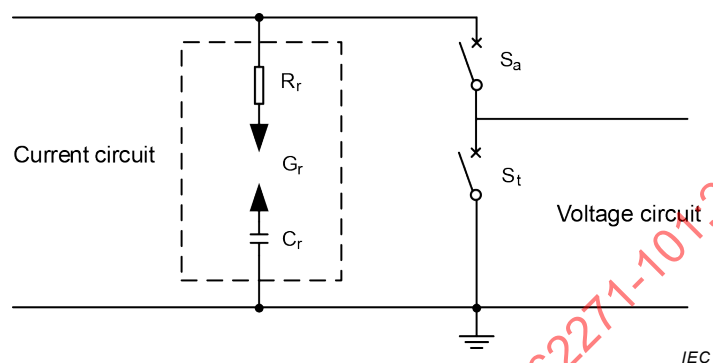
Replace, in item a), "Figure H.1" by "Figure H.1 and Figure H.2".

H.2 Method using a duplicate circuit

Delete H.2.

Figure H.1 – Typical re-ignition circuit diagram for prolonging arc-duration

Replace Figure H.1 by the following:



Key

S_t	test circuit-breaker	C_r	capacitor for re-ignition circuit
S_a	auxiliary circuit-breaker	G_r	spark gap for closing re-ignition circuit
R_r	resistor for re-ignition circuit		

Figure H.1 – Example of a re-ignition circuit diagram for prolonging arc-duration

Figure H.2 – Combined Skeats and current injection circuits

Replace Figure H.2 by the following:

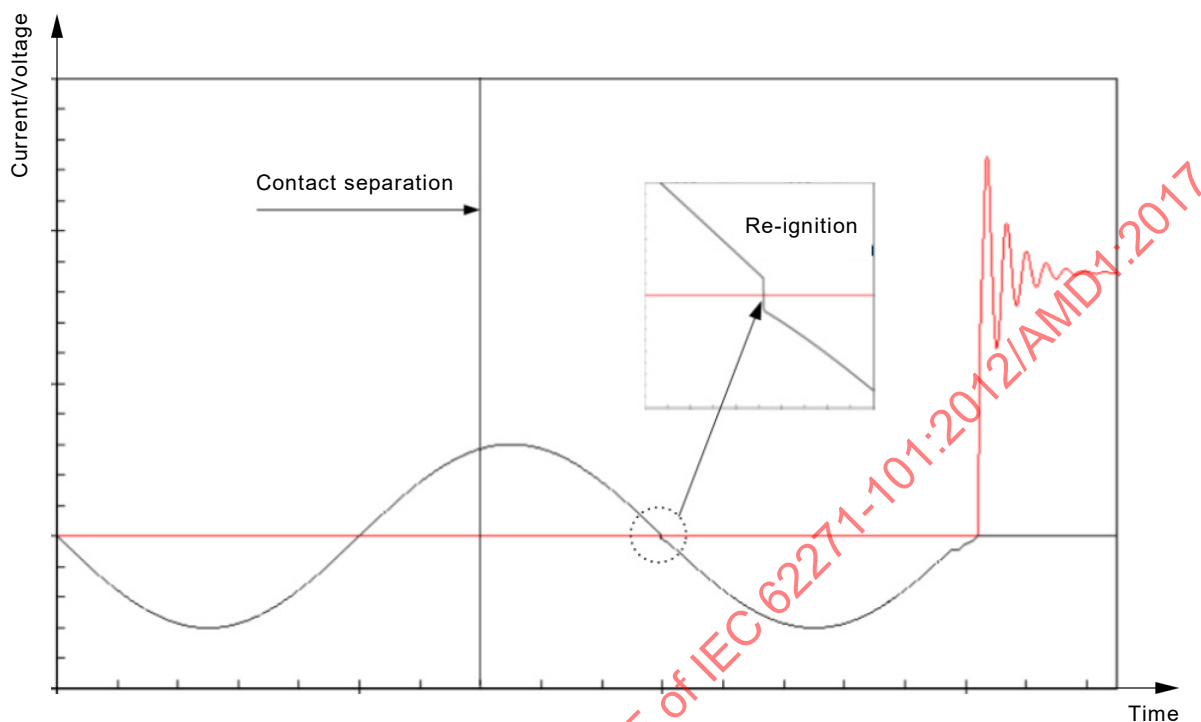


Figure H.2 – Example of waveforms obtained during a symmetrical test using the circuit in Figure H.1

Figure H.3 – Typical waveforms obtained during an asymmetrical test using the circuit in Figure H.2

Delete the existing title and figure.

Annex I (normative) Reduction in di/dt and TRV for test duty T100a

Replace the entire annex by the following:

Annex I (normative)

Correction of di/dt and TRV for test duty T100a

I.1 General

During asymmetrical fault condition, the resultant di/dt and TRV are modified by the d.c. component of the fault current.

There are two options:

- 1) Test circuit set to obtain the rated TRV associated with T100s

In that case, it is impossible to meet simultaneously all parameters (di/dt , u_1 and u_c) since these parameters are not varying linearly with the d.c. component at current zero. The charging voltage of the synthetic circuit shall be set to obtain the most onerous test parameter. For tests on the major loop, the most onerous test parameter is always di/dt while the most onerous parameter for tests on the subsequent minor loop is u_c . In case of voltage injection test method, the most onerous test parameter for tests on major loop becomes u_1 .

- 2) Use two different test circuits; one circuit set to obtain the modified TRV associated with tests on the minor loop and a second circuit set to obtain the modified TRV associated with tests on the major loop.

In that case all required parameters (di/dt , u_1 and u_c) can be met simultaneously.

The choice of the option is left to the manufacturer since option 1) may overstress the circuit-breaker (for example for tests on major loop, the required correction on di/dt will produce a higher u_c than required).

I.2 Reduction in di/dt

For the last current loop parameters, refer to Tables I.7 and I.8 and Tables L.12 through L.17.

I.3 Corrected TRV for the first-pole-to-clear with required asymmetry

Tables I.1 through I.6 cover the corrected TRV values for $k_{pp} = 1,5$, 1,3 and 1,2 for $f_r = 50$ Hz and $f_r = 60$ Hz.

Table I.1 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,3$ and $f_r = 50$ Hz

Minimum clearing time ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 68,0		68,0 < t ≤ 87,9			
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV		
τ=45 ms major loop	100	74	136	78	144	79	147	a	a		
	123	90	166	96	177	97	181				
	145	106	195	113	208	115	213				
	170	125	228	132	243	134	249				
	245	179	325	190	348	194	357				
	300	219	394	232	423	237	436				
	362	264	471	280	508	286	524				
	420	306	541	324	586	331	606				
	550	399	693	424	757	433	787				
800	576	965	613	1 074	628	1 126					
τ = 45 ms subsequent minor loop	100	72	135	76	143	78	146	a	a		
	123	88	167	94	176	96	180				
	145	104	197	110	208	113	212				
	170	122	232	129	244	132	249				
	245	176	338	187	354	191	360				
	300	216	417	229	435	234	442				
	362	261	507	276	528	283	535				
	420	304	593	321	615	328	623				
	550	399	789	421	814	430	821				
800	584	1 184	615	1 207	627	1 209					

Minimum clearing time ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 67,5		67,5 < t ≤ 88,0			
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV		
τ = 60 ms major loop	100	69	127	75	138	77	143	79	146		
	123	85	155	92	169	95	176	97	179		
	145	100	182	108	199	112	207	114	211		
	170	117	212	127	232	131	242	134	247		
	245	168	301	182	331	189	347	192	355		
	300	205	364	223	403	231	422	235	433		
	362	247	434	269	482	279	506	284	520		
	420	286	497	311	554	323	584	329	601		
	τ = 60 ms subsequent minor loop	100	68	128	73	138	76	143	78		
123		83	159	90	171	94	177	96	180		
145		98	188	107	202	111	209	113	212		
170		115	221	125	237	130	245	132	249		
245		167	323	181	345	187	355	191	360		
300		205	399	221	425	229	437	234	442		
362		248	487	267	517	277	530	282	536		
420		288	570	311	603	322	618	328	623		

Minimum clearing time ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 67,5		67,5 < t ≤ 87,5		87,5 < t ≤ 108	
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV
τ = 75 ms major loop	550	349	580	388	669	409	722	421	754	428	775
	800	501	785	560	928	592	1 015	610	1 070	621	1 106
τ = 75 ms subsequent minor loop	550	360	737	394	786	413	808	423	819	429	823
	800	529	1 126	577	1 184	603	1 207	618	1 215	626	1 216

^a Test duty T100a is not applicable, asymmetry level lower than 20 % for both current loops.

^a Test duty T100a is not applicable, asymmetry level lower than 20 % for both current loops.

Table I.2 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,3$ and $f_r = 60$ Hz

Minimum clearing time ms		8,5 < t ≤ 22,5		22,5 < t ≤ 39,5		39,5 < t ≤ 56,5		56,5 < t ≤ 73,0					
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV				
$\tau = 45$ ms major loop	100	71	130	76	140	78	145	a	a				
	123	87	159	93	172	96	178						
	145	102	186	110	202	113	209						
	170	120	217	129	236	133	244						
	245	172	307	185	336	191	350						
	300	210	371	226	408	234	426						
	362	253	441	273	488	282	511						
	420	293	505	316	561	326	589						
550	381	640	412	720	426	761							
800	548	873	595	1 006	617	1 079							
$\tau = 45$ ms subsequent minor loop	100	69	132	75	141	77	145	a	a				
	123	85	163	92	173	95	178						
	145	101	192	108	205	112	211						
	170	118	227	127	241	131	247						
	245	171	331	183	351	189	359						
	300	210	410	225	432	232	441						
	362	254	501	272	525	280	535						
	420	295	587	315	614	325	624						
550	388	787	414	816	426	825							
800	570	1 196	607	1 223	623	1 225							
Minimum clearing time ms		8,5 < t ≤ 22,5		22,5 < t ≤ 39,5		39,5 < t ≤ 56,5		56,5 < t ≤ 73,0		73,0 < t ≤ 90,0			
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV		
$\tau = 60$ ms major loop	100	66	120	72	133	76	140	78	144	a	a		
	123	81	146	89	162	93	171	95	176				
	145	95	171	104	191	110	201	112	207				
	170	111	199	122	222	128	235	132	242				
	245	159	281	176	316	185	335	189	346				
	300	194	338	215	382	226	407	232	422				
	362	234	400	259	455	272	487	279	505				
	420	270	456	299	522	315	560	324	582				
$\tau = 60$ ms subsequent minor loop	100	65	124	71	135	75	141	77	144	a	a		
	123	80	153	88	167	92	174	94	178				
	145	94	181	104	197	108	206	111	210				
	170	111	214	121	232	127	242	131	247				
	245	160	314	175	339	184	352	188	358				
	300	197	390	215	419	225	434	231	441				
	362	238	478	260	511	272	527	279	535				
	420	277	562	303	599	316	616	324	624				
Minimum clearing time ms		8,5 < t ≤ 22,5		22,5 < t ≤ 39,5		39,5 < t ≤ 56,0		56,0 < t ≤ 73,0		73,0 < t ≤ 90,0		90,0 < t ≤ 106,5	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
$\tau = 75$ ms major loop	550	327	517	369	615	395	677	410	718	420	746	426	765
	800	467	676	531	832	569	935	593	1 004	608	1 052	618	1 087
$\tau = 75$ ms subsequent minor loop	550	345	730	382	782	403	808	416	821	424	827	429	830
	800	509	1 134	561	1 195	591	1 221	609	1 231	620	1 233	627	1 230
a Test duty T100a is not applicable, asymmetry level lower than 20 % for both current loops.													

Table I.3 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,5$ and $f_r = 50$ Hz

Minimum clearing time ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 68,0		68,0 < t ≤ 87,9	
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV
τ = 45 ms major loop	72,5	b	114	b	121	b	123	a	a
	100	85	156	90	166	91	169		
	123	104	191	110	203	112	208		
	145	123	224	130	239	132	245		
	170	144	262	152	280	155	286		
τ = 45 ms subsequent minor loop	72,5	b	113	b	119	b	122	a	a
	100	83	156	88	165	90	169		
	123	102	193	108	203	111	208		
	145	120	228	127	240	130	245		
	170	141	269	149	282	153	288		

Minimum clearing time ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 67,5		67,5 < t ≤ 88,0	
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV
τ = 60 ms major loop	72,5	b	106	b	116	b	120	b	122
	100	79	146	86	159	89	165	91	168
	123	98	178	106	195	110	203	112	207
	145	115	209	125	229	129	238	132	243
	170	135	243	146	267	152	279	154	285
τ = 60 ms subsequent minor loop	72,5	b	107	b	116	b	120	b	122
	100	78	149	85	160	88	166	90	168
	123	96	184	104	197	108	204	110	207
	145	114	217	123	233	128	241	130	245
	170	133	256	144	275	150	283	153	287

a Test duty T100a is not applicable, asymmetry level lower than 20 % for both current loops.

b u₁ is not defined for a two parameter TRV.

Table I.4 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,5$ and $f_r = 60$ Hz

Minimum clearing time ms		8,5 < t ≤ 22,5		22,5 < t ≤ 39,5		39,5 < t ≤ 56,5		56,5 < t ≤ 73,0		73,0 < t ≤ 90,0	
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV
τ=45 ms major loop	72,5	b	109	b	117	b	121	b	123	a	a
	100	81	149	88	161	90	167	91	169		
	123	100	182	108	198	111	205	112	208		
	145	118	213	127	232	131	241	132	245		
	170	138	249	148	271	153	281	155	286		
τ=45 ms subsequent minor loop	72,5	b	110	b	117	b	121	b	123	a	a
	100	80	152	86	162	89	167	90	169		
	123	99	188	106	201	109	206	111	209		
	145	116	223	125	237	129	243	131	246		
	170	137	263	147	279	151	286	154	289		

Minimum clearing time ms		8,5 < t ≤ 22,5		22,5 < t ≤ 39,5		39,5 < t ≤ 56,5		56,5 < t ≤ 73,0		73,0 < t ≤ 90,0	
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV
τ=60 ms major loop	72,5	b	100	b	111	b	117	b	120	b	122
	100	76	137	83	153	87	161	89	165	91	168
	123	93	168	102	187	107	197	110	203	111	206
	145	109	196	120	219	126	231	130	238	131	243
	170	128	228	141	255	148	270	152	279	154	284
τ=60 ms subsequent minor loop	72,5	b	103	b	113	b	118	b	120	b	122
	100	75	143	82	156	86	163	89	167	90	169
	123	92	177	101	193	106	201	109	206	111	208
	145	109	210	120	228	125	238	128	243	130	246
	170	128	249	140	269	147	280	151	285	153	288

^a Test duty T100a is not applicable, asymmetry level lower than 20 % for both current loops.

^b u₁ is not defined for a two parameter TRV.

Table I.5 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,2$ and $f_r = 50$ Hz

Minimum clearing time ms		$10,0 < t \leq 27,0$		$27,0 < t \leq 47,0$		$47,0 < t \leq 67,5$		$67,5 < t \leq 87,5$		$87,5 < t \leq 108$	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
$\tau = 120$ ms major loop	1 100	530	871	615	1 070	671	1 206	709	1 304	736	1 375
	1 200	574	924	667	1 145	729	1 297	772	1 406	801	1 487
$\tau = 120$ ms subsequent minor loop	1 100	597	1 374	669	1 491	715	1 559	746	1 599	766	1 623
	1 200	655	1 524	733	1 648	783	1 719	815	1 760	837	1 784

Table I.6 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,2$ and $f_r = 60$ Hz

Minimum clearing time ms		$8,5 < t \leq 22,5$		$22,5 < t \leq 39,0$		$39,0 < t \leq 56,0$		$56,0 < t \leq 73,0$		$73,0 < t \leq 89,5$		$89,5 < t \leq 106,5$	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
$\tau = 120$ ms major loop	1 100 1 200	483 522	727 760	569 617	931 987	629 683	1 077 1 150	672 730	1 187 1 272	704 765	1 271 1 367	728 792	1 336 1 440
$\tau = 120$ ms subsequent minor loop	1 100 1 200	571 628	1 373 1 531	645 707	1 490 1 653	693 760	1 561 1 727	727 796	1 605 1 772	751 822	1 632 1 799	768 840	1 649 1 815

Table I.7 – Percentage of d.c. component and di/dr at current zero for first-pole-to-clear for $f_r = 50$ Hz

τ	Minimum clearing time	Major loop		Subsequent minor loop			
		d.c. component	di/dr	d.c. component	di/dr	I_{peak}	loop duration
ms	ms	%	%	%	%	p.u.	ms
45	$10,0 < t \leq 27,0$	44,6	92,7	37,9	89,9	0,59	7,5
	$27,0 < t \leq 47,5$	28,9	97,8	24,1	95,3	0,74	8,5
	$47,5 < t \leq 68,0$	18,7 ^a	99,6	15,3 ^a	97,7	0,83	9,0
60	$10,0 < t \leq 27,0$	54,2	86,9	48,6	84,8	0,49	6,5
	$27,0 < t \leq 47,5$	39,2	94,1	34,5	92,0	0,63	7,5
	$47,5 < t \leq 67,5$	28,3	97,4	24,6	95,6	0,74	8,5
	$67,5 < t \leq 88,0$	20,3	99,0	17,6 ^a	97,5	0,81	9,0
75	$10,0 < t \leq 27,0$	61,0	81,8	56,4	80,2	0,41	6,0
	$27,0 < t \leq 47,5$	47,1	90,2	42,9	88,5	0,55	7,0
	$47,5 < t \leq 67,5$	36,3	94,7	32,7	93,1	0,66	8,0
	$67,5 < t \leq 87,5$	27,9	97,2	25,0	95,8	0,74	8,5
	$87,5 < t \leq 108,0$	21,4	98,6	19,1 ^a	97,3	0,80	8,5
120	$10,0 < t \leq 27,0$	73,1	70,2	70,2	69,4	0,28	5,0
	$27,0 < t \leq 47,0$	62,1	80,0	59,2	79,0	0,39	6,0
	$47,0 < t \leq 67,5$	52,8	86,4	50,0	85,3	0,49	6,5
	$67,5 < t \leq 87,5$	44,8	90,6	42,2	89,5	0,57	7,0
	$87,5 < t \leq 108,0$	38,0	93,5	35,6	92,4	0,63	7,5

^a Percentage of d.c. component lower than 20 %. Test to be performed without reduction of di/dr and/or TRV parameters.

Table I.8 – Percentage of d.c. component and di/dt at current zero for first-pole-to-clear for $f_r = 60$ Hz

τ	Minimum clearing time	Major loop		Subsequent minor loop			
		d.c. component	di/dt	d.c. component	di/dt	I_{peak}	loop duration
ms	ms	%	%	%	%	p.u.	ms
45	$8,5 < t \leq 22,5$	50,8	89,1	44,8	86,8	0,52	5,5
	$22,5 < t \leq 39,5$	35,4	95,6	30,6	93,4	0,67	6,5
	$39,5 < t \leq 56,5$	24,6	98,4	21,0	96,5	0,77	7,0
	$56,5 < t \leq 73,0$	17,1 ^a	99,5	14,5 ^a	98,1	0,84	7,5
60	$8,5 < t \leq 22,5$	59,8	82,8	55,0	81,1	0,43	5,0
	$22,5 < t \leq 39,5$	45,7	91,0	41,4	89,2	0,57	6,0
	$39,5 < t \leq 56,5$	34,8	95,3	31,2	93,6	0,67	6,5
	$56,5 < t \leq 73,0$	26,4	97,6	23,5	96,2	0,75	7,0
	$73,0 < t \leq 90,0$	20,1	98,6	17,8 ^a	97,6	0,81	7,5
75	$8,5 < t \leq 22,5$	66,1	77,4	62,1	76,2	0,36	4,5
	$22,5 < t \leq 39,5$	53,2	86,5	49,5	85,1	0,49	5,5
	$39,5 < t \leq 56,0$	42,8	91,9	39,5	90,5	0,59	6,0
	$56,0 < t \leq 73,0$	34,4	95,1	31,5	93,8	0,67	6,5
	$73,0 < t \leq 90,0$	27,6	97,1	25,2	95,9	0,74	7,0
	$90,0 < t \leq 106,5$	22,2	98,3	20,1	97,3	0,79	7,0
120	$8,5 < t \leq 22,5$	77,0	65,6	74,6	64,9	0,24	4,0
	$22,5 < t \leq 39,0$	67,2	75,6	64,7	74,8	0,34	4,5
	$39,0 < t \leq 56,0$	58,6	82,2	56,2	81,5	0,43	5,0
	$56,0 < t \leq 73,0$	51,1	87,1	48,8	86,2	0,50	5,5
	$73,0 < t \leq 89,5$	44,6	90,5	42,4	89,6	0,57	6,0
	$89,5 < t \leq 106,5$	38,8	93,0	36,9	92,2	0,62	6,5

^a Percentage of d.c. component lower than 20 %. Test to be performed without reduction of di/dt and/or TRV parameters.

I.4 Correction of the di/dt and TRV of the first-pole-to-clear for tests with intermediate asymmetry

For the last current loop parameters including di/dt , refer to Tables L.12 through L.17.

The RRRV and TRV peak can be calculated using the percentage reduction of di/dt at current zero after the intermediate major loop.

I.5 Correction of the di/dt and TRV of the second- or last-pole-to-clear with major extended loop with required asymmetry during three-phase tests

For the last current loop parameters including di/dt , refer to Tables L.12 through L.17.

The RRRV and TRV peak can be calculated using the ratio between the reduced di/dt at current zero after the major extended loop and the di/dt at current zero of the symmetrical short-circuit current of the second- or last-pole-to-clear with extended loop.

I.6 Correction of the di/dt and TRV during tests with a subsequent minor loop

For single-phase tests, the TRV for the subsequent minor loop shall be applied for the same pole-to-clear-factor as the failed major loop. The TRV values for the subsequent minor loop in case of a first-pole-to-clear may be derived from Tables I.1 through I.6 or can be calculated according I.7.

NOTE This test procedure reproduces the conditions during single-phase direct test which sufficiently covers the TRV conditions during three-phase test.

No correction is applied to three-phase tests.

I.7 Calculation of the di/dt and TRV of the first-pole-to-clear

I.7.1 General

Clause I.7 is applicable for asymmetrical fault conditions, on the phase with required asymmetry only, when values are not given in Tables I.1 through I.6, and L.12 through L.17.

I.7.2 Calculation of di/dt

For the di/dt , the maximum value is reached for symmetrical fault condition. During asymmetrical fault condition, the di/dt is reduced and is a function of the d.c. component at current zero. The di/dt at current zero is calculated by the following equations:

a) For minor loops:

$$\frac{di}{dt}(\text{p.u.})_- = \sqrt{(1-p^2)} - \frac{p}{2\pi f\tau} \quad (\text{I.1})$$

b) For major loops:

$$\frac{di}{dt}(\text{p.u.})_+ = \sqrt{(1-p^2)} + \frac{p}{2\pi f\tau} \quad (\text{I.2})$$

where

di/dt (p.u.) is the di/dt in p.u. of the symmetrical fault condition;

– is the index used to designate the minor loop;

+

p is the d.c. component at current zero in p.u.;

f is the frequency (Hz);

τ is the d.c. time constant of the short-circuit current (s).

I.7.3 Calculation of TRV

When the interruption occurs, the moment of current zero does not correspond with the peak of the applied voltage as it is the case during symmetrical fault condition. The d.c. component modifies the angular displacement between current zeros and the applied power frequency voltage. The TRV amplitude co-ordinates (u_1 , u_c) are then modified according to the phase shift between the moment of current zero and the peak of the applied power frequency voltage.

The corresponding TRV amplitude co-ordinates (u_1 , u_c) shall be calculated with the following equations:

a) Two parameter TRV:

$$u_c(\text{p.u.}) = \frac{k_1 A_1}{2\pi f} \quad (\text{I.3})$$

and

$$k_{1-} = \sin(2\pi f t_3 - \arcsin(p)) + p \times e^{-\frac{t_3}{\tau}} \quad (\text{for the minor loop}) \quad (\text{I.4})$$

$$k_{1+} = \sin(2\pi f t_3 + \arcsin(p)) - p \times e^{-\frac{t_3}{\tau}} \quad (\text{for the major loop}) \quad (\text{I.5})$$

$$A_1 = \frac{2\pi f}{\sin(2\pi f t_3)} \quad (\text{I.6})$$

where

- u_c is the TRV peak in p.u. of the symmetrical case;
- k_1 is the calculation constant;
- is the index used to designate the minor loop;
- is the index used to designate the major loop;
- A_1 is the calculation variable;
- p is the d.c. component at current zero in p.u.;
- f is the frequency (Hz);
- τ is the d.c. time constant of the short-circuit current (s);
- t_3 is the specified t_3 time co-ordinate (s).

b) Four parameter TRV:

$$u_1(\text{p.u.}) = \frac{k_1 A_1}{2\pi f} \quad (\text{I.7})$$

and

$$k_{1-} = \sin(2\pi f t_1 - \arcsin(p)) + p \times e^{-\frac{t_1}{\tau}} \quad (\text{for the minor loop}) \quad (\text{I.8})$$

$$k_{1+} = \sin(2\pi f t_1 + \arcsin(p)) - p \times e^{-\frac{t_1}{\tau}} \quad (\text{for the major loop}) \quad (\text{I.9})$$

$$A_1 = \frac{2\pi f}{\sin(2\pi f t_1)} \quad (\text{I.10})$$

where

- u_1 is the TRV peak in p.u. of the symmetrical case;
- k_1 is the calculation constant;
- is the index used to designate the minor loop;
- is the index used to designate the major loop;
- A_1 is the calculation variable;
- p is the d.c. component at current zero in p.u.;

f is the frequency (Hz);
 τ is the d.c. time constant of the short-circuit current (s);
 t_1 is the specified t_1 time co-ordinate (s).
and

$$u_c(\text{p.u.}) = \frac{k_2 A_1}{\frac{1}{0,75} k_{af} \times 2\pi f} - \frac{k_3 A_2}{2\pi f} = \frac{0,75 \times k_2 A_1}{k_{af} \times 2\pi f} - \frac{k_3 A_2}{2\pi f} \quad (\text{I.11})$$

and

$$k_{2-} = \sin(2\pi f t_2 - \arcsin(p)) + p \times e^{-\frac{t_2}{\tau}} \quad (\text{for the minor loop}) \quad (\text{I.12})$$

$$k_{2+} = \sin(2\pi f t_2 + \arcsin(p)) - p \times e^{-\frac{t_2}{\tau}} \quad (\text{for the major loop}) \quad (\text{I.13})$$

$$k_{3-} = \sin(2\pi f (t_2 - t_1) - \arcsin(p)) + p \times e^{-\frac{(t_2 - t_1)}{\tau}} \quad (\text{for the minor loop}) \quad (\text{I.14})$$

$$k_{3+} = \sin(2\pi f (t_2 - t_1) + \arcsin(p)) - p \times e^{-\frac{(t_2 - t_1)}{\tau}} \quad (\text{for the major loop}) \quad (\text{I.15})$$

$$A_1 = \frac{2\pi f}{\sin(2\pi f t_1)} \quad (\text{I.16})$$

$$A_2 = \frac{\frac{A_1 \sin(2\pi f t_2)}{0,75 k_{af}} - 2\pi f}{\sin(2\pi f (t_2 - t_1))} = \frac{\frac{0,75 \times A_1 \sin(2\pi f t_2)}{k_{af}} - 2\pi f}{\sin(2\pi f (t_2 - t_1))} \quad (\text{I.17})$$

where

u_c is the TRV peak in p.u. of the symmetrical case;
 k_{af} is the amplitude factor;
 k_2 is the calculation variable;
 k_3 is the calculation variable;
 $-$ is the index used to designate the minor loop;
 $+$ is the index used to designate the major loop;
 A_1 is the calculation variable;
 A_2 is the calculation variable;
 p is the d.c. component at current zero in p.u.;
 f is the frequency (Hz);
 τ is the d.c. time constant of the short-circuit current (s);
 t_1 is the specified t_1 time co-ordinate (s);
 t_2 is the specified t_2 time co-ordinate (s).

1.7.4 Examples of calculation of di/dt and TRV

As an example the following parameters are considered:

– rated voltage:	145 kV
– rated frequency:	50 Hz
– rated short-circuit current:	40 kA
– d.c. time constant of the short-circuit current:	45 ms
– rated first-pole-to-clear factor:	1,3
– minimum clearing time:	43 ms
– TRV (symmetrical case): u_1	115 kV
t_1	58 μ s
u_c	215 kV
t_2	232 μ s

For the first-pole-to-clear (major loop) the following parameters apply according to:

- Table I.7 percentage of the d.c. component at current zero: 28,9 % (0,289 p.u.);
- Table I.7 percentage of di/dt at current zero: 97,8 % (0,978 p.u.).

Some circuit-breakers will not clear at the end of a major loop after the required arcing time. For the subsequent minor current loop the following parameters apply according to:

- Table I.7 percentage of the d.c. component at current zero: 24,1 % (0,241 p.u.)
- Table I.7 percentage of di/dt at current zero: 95,3 % (0,953 p.u.).

The following values are calculated from the previous equations:

$$\begin{aligned}
 k_{1-} &= 0,01741; \\
 k_{1+} &= 0,01777; \\
 A_1 &= 17\,242,33; \\
 u_{1-} &= 0,95568 \text{ p.u.}; \\
 u_{1+} &= 0,97513 \text{ p.u.}; \\
 k_{2-} &= 0,07007; \\
 k_{2+} &= 0,07043; \\
 k_{3-} &= 0,05246; \\
 k_{3+} &= 0,05299; \\
 A_2 &= 6\,561,19; \\
 u_{c-} &= 0,96481 \text{ p.u.}; \\
 u_{c+} &= 0,96419 \text{ p.u.}
 \end{aligned}$$

With these results, the resultant modified di/dt and TRV to be applied to the circuit-breaker are:

a) For the major loop:

$$\begin{aligned}
 di/dt &= 0,978 \text{ p.u.} \times 40 \text{ kA} \times \sqrt{2} \times 2\pi f = 17,38 \text{ A}/\mu\text{s}; \\
 u_1 &= 0,97513 \text{ p.u.} \times 115 \text{ kV} = 112 \text{ kV}; \\
 t_1 &= 58 \mu\text{s}; \\
 u_1/t_1 &= 1,93 \text{ kV}/\mu\text{s} \\
 u_c &= 0,96419 \text{ p.u.} \times 215 \text{ kV} = 207 \text{ kV};
 \end{aligned}$$

$$t_2 = 232 \mu\text{s}.$$

b) For the subsequent minor loop:

$$di/dt = 0,953 \text{ p.u.} \times 40 \text{ kA} \times \sqrt{2} \times 2\pi f = 16,93 \text{ A}/\mu\text{s};$$

$$u_1 = 0,95568 \text{ p.u.} \times 115 \text{ kV} = 110 \text{ kV};$$

$$t_1 = 58 \mu\text{s};$$

$$u_1/t_1 = 1,89 \text{ kV}/\mu\text{s}$$

$$u_c = 0,96481 \text{ p.u.} \times 215 \text{ kV} = 207 \text{ kV};$$

$$t_2 = 232 \mu\text{s}.$$

J.3 Three-phase synthetic circuit with injection in two phases

Add, before Figure J.1, the following paragraph:

The circuit in Figure J.5 is not applying the correct voltage between phases, as no TRV and recovery voltage is applied on one phase. Therefore, care should be taken when using this circuit, for example for circuit-breaker having all three poles in the same enclosure. This circuit could be used in combination with multi-part testing.

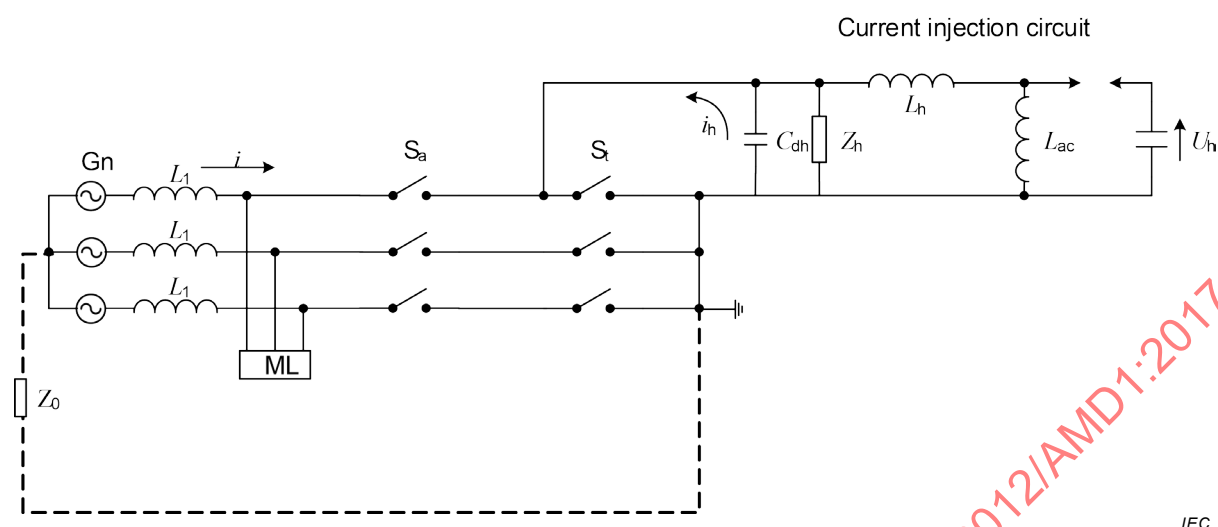
Annex K (normative) Test procedure using a three-phase current circuit and one voltage circuit

Replace the existing text, including figures, by the following:

K.1 Test circuit

The circuit-breaker shall be connected in a test circuit, an example of which is given in Figure K.1 with the following requirements:

- A three-phase current source with the neutral point of the supply isolated and the short-circuit point earthed as shown in Figure 25a of IEC 62271-100:2008. This gives a first-pole-to-clear factor of 1,5. Alternatively, the neutral point of the supply can be connected to earth by an appropriate impedance and the short-circuit point earthed, as shown in Figure 26a of IEC 62271-100:2008, to give a first-pole-to-clear factor of 1,3;
- An auxiliary circuit-breaker used to disconnect the current circuit from the voltage circuit;
- A parallel current-injection voltage circuit is shown in IEC 62271-306. This circuit is used to apply the TRV and the recovery voltage. It is connected between the pole representing the pole-to-clear and earth as required by the test procedures given in Tables K.1 through K.10. It is possible to provide a.c. power-frequency recovery voltage by use of additional impedance, L_{ac} ;
- Re-ignition circuits connected to each phase to prolong the arcing of the test circuit-breaker through the necessary number of zeros of the power-frequency current.



Key

Gn	Three-phase current source	Z _h	Equivalent surge impedance of voltage circuit
S _a	Auxiliary circuit-breaker	C _{dh}	Capacitance for time delay of voltage circuit
S _t	Test circuit-breaker	L _h	Inductance of voltage circuit
Z ₀	Impedance in the neutral connection (when circuit with $k_{pp} = 1,3$ is used)	U _h	Charging voltage of voltage circuit
L ₁	Inductance of current circuit	i	Current of current circuit
ML	Multi-loop re-ignition circuit	i _h	Injected current
		L _{ac}	Additional reactance when a.c. recovery voltage is requested

The voltage circuit shall be connected between the first or last-pole-to-clear and earth, according to the requirements of the tables.

Figure K.1 – Example of a three-phase current circuit with single-phase synthetic injection

K.2 Test method

K.2.1 General

A combination of the first-pole-to-clear factors of 1,5 and 1,3 in accordance with 6.102.10.3.4 of IEC 62271-100:2008/AMD2:2017, while splitting the test-duties taking into account the associated TRV for each pole-to-clear at the same time may be made according to K.2.4.

The aim of this test sequence is to show at least 3 successful operations with the associated TRV at the same pole.

K.2.2 Test duty T100s(b)

The three-phase test procedures for demonstration of arcing times according to 6.102.10.3.2 of IEC 62271-100:2008/AMD2:2017 are given in Tables K.1 and K.2 for a first-pole-to-clear factor of 1,5 and in Tables K.3 and K.4 for a first-pole-to-clear factor of 1,3.

It is recognized that the tests of Tables K.1 and K.3 are more severe than three-phase tests because the arcing time of the last-pole-to-clear or second-pole-to-clear is used together with the TRV of the first-pole-to-clear. As an alternative, the manufacturer may choose to split each test duty into two or three separate test series for demonstration of the arcing times in accordance with 6.102.10.3.5 of IEC 62271-100:2008/AMD2:2017. The procedures are given in Table K.2 for a first-pole-to-clear factor of 1,5 and in Table K.4 for a first-pole-to-clear factor of 1,3. For tests performed in accordance with Tables K.2 and K.4, each test series

shall demonstrate a successful interruption with the minimum, maximum and medium arcing time for each pole-to-clear with its associated TRV. Re-conditioning of the circuit-breaker after each test series is permitted and shall comply with the requirements of 6.102.9.5 of IEC 62271-100:2008.

If a failure occurs while demonstrating the maximum or medium arcing times using the procedure of Tables K.1 or K.3 then it is permissible to continue testing using the test procedure of Tables K.2 or K.4. In this case, provided no re-conditioning of the circuit-breaker has taken place, the tests demonstrating minimum arcing time on the first-pole-to-clear may be omitted.

All the required arcing times may be applied on the same pole with the same polarity of the recovery voltage.

Table K.1 – Demonstration of arcing times for $k_{pp} = 1,5$

Test no.	Test sequence ^a	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^b	Test condition (with reference to the three-phase system)	TRV		Injected current dI/dr %
				Application (with reference to the three-phase current circuit)	u_c value p.u.	
1	Os	0	$t_{arc\ min}$ on the first-pole-to-clear	first-pole-to-clear	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	first-pole-to-clear	1,0	100
3	Od- t -CdOs	$T \times 132^\circ / 360^\circ$ $(T \times 42^\circ / 360^\circ$ related to the first-pole-to-clear)	$t_{arc\ max}$ on the last-pole-to-clear	last-pole-to-clear with extended loop	1,0	100
4	CdOs	$T \times 66^\circ / 360^\circ$	$t_{arc\ med}$	first-pole-to-clear	1,0	100

Demonstration of the arcing times as per 6.102.10.3.2 of IEC 62271-100:2008/AMD2:2017.

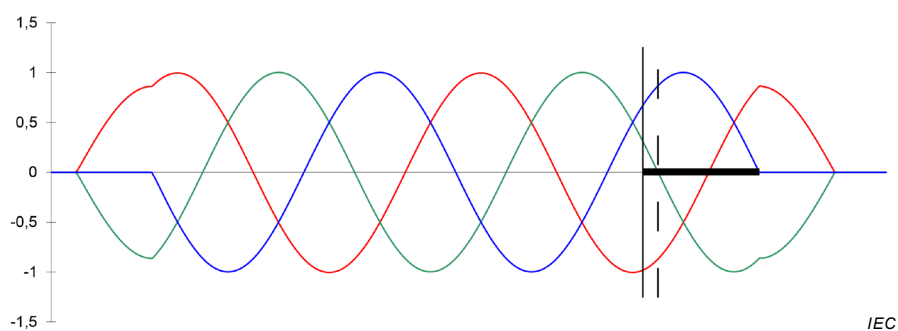
Interrupting window as per Figure 38 of IEC 62271-100:2008/AMD2:2107.

Figure K.2 gives a representation of the testing conditions.

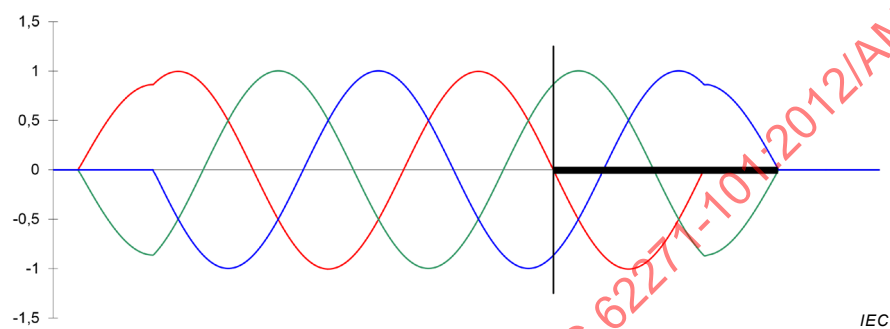
In the case of a CO- t -CO operating sequence, test no. 3 shall be replaced by CdOd- t -CdOs and test no. 4 is not required.

^a Abbreviations are in accordance with Table 6.

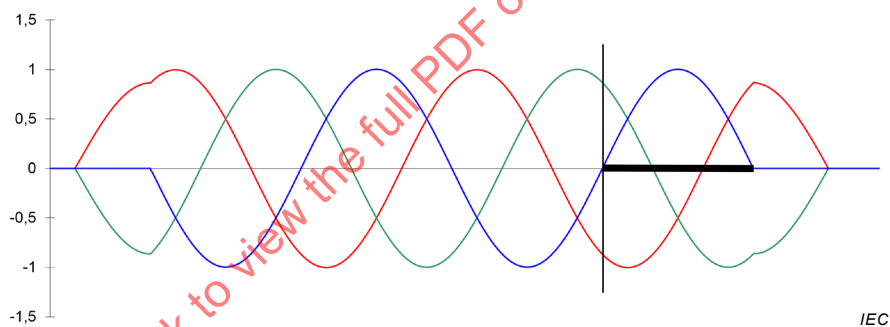
^b Where $d\alpha = 18^\circ$.



Test Nos. 1 and 2: Application of the TRV on the first-pole-to-clear



Test No. 3: Application of the TRV on the last-pole-to-clear with extended loop



Test No. 4: Application of the TRV on the first pole-to clear

Figure K.2 – Representation of the testing conditions of Table K.1

Table K.2 – Alternative demonstration of arcing times for $k_{pp} = 1,5$

Test no.	Test sequence ^a	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^b	Test condition (with reference to the three-phase system)	TRV		Injected current di/dt %
				Application (with reference to the three-phase current circuit)	u_c value p.u.	
1	Os	0	$t_{arc\ min}$ on the first-pole-to-clear	first-pole-to-clear	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm the $t_{arc\ min}$	first-pole-to-clear	1,0	100
3	Od- t -CdOs	$T \times 42^\circ / 360^\circ$	$t_{arc\ max}$ on the first-pole-to-clear	first-pole-to-clear	1,0	100
4	Os	$T \times 90^\circ / 360^\circ$	$t_{arc\ min}$ on the last-pole-to-clear	last-pole-to-clear with extended loop	0,58	87
5	CdOs	$T \times 132^\circ / 360^\circ$	$t_{arc\ max}$ on the last-pole-to-clear	last-pole-to-clear with extended loop	0,58	87

Demonstration of the arcing times as per 6.102.10.3.5 of IEC 62271-100:2008/AMD2:2017.

Interrupting window as per Figure 38 of IEC 62271-100:2008/AMD2:2017.

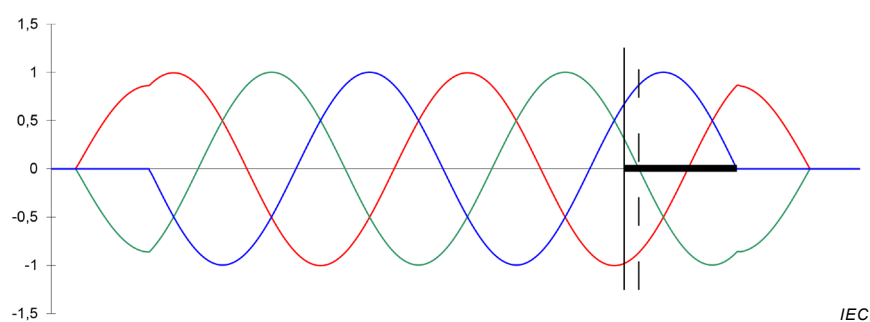
In case of failure during test 5, the circuit-breaker may be reconditioned and tests 3 to 5 shall be repeated. The test series is passed if no further failure occurs.

Figure K.3 gives a representation of the testing conditions.

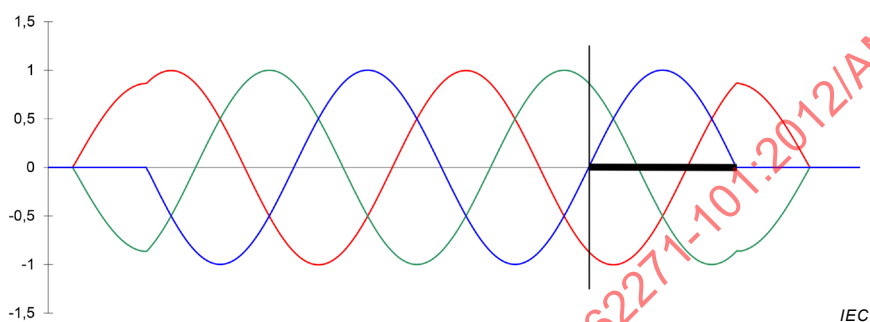
In the case of a CO- t -CO operating sequence, test no. 3 shall be replaced by CdOd- t -CdOs and test no. 4 is not required.

^a Abbreviations are in accordance with Table 6.

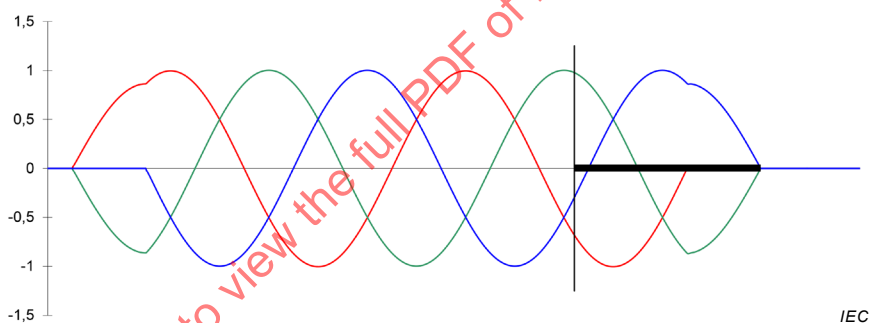
^b Where $d\alpha = 18^\circ$



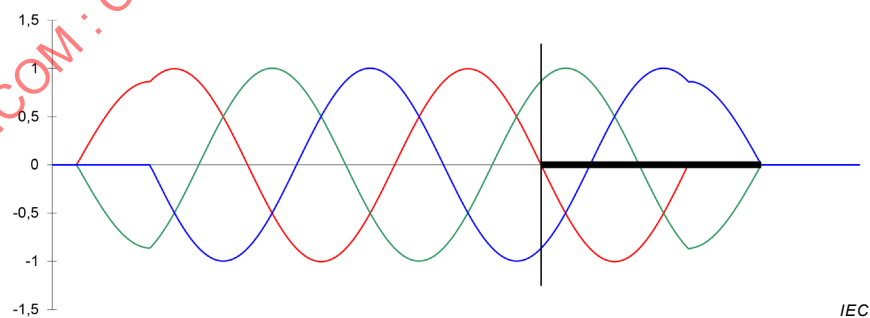
Test Nos. 1 and 2: Application of the TRV on the first-pole-to-clear



Test No. 3: Application of the TRV on the first-pole-to-clear



Test No. 4: Application of the TRV on the last-pole-to-clear with extended loop



Test No. 5: Application of the TRV on the last-pole-to-clear with extended loop

Figure K.3 – Representation of the testing conditions of Table K.2

			pole-to-clear			
2	Os	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm the $t_{\text{arc min}}$	first-pole-to-clear	1,0	100
3	Od- <i>t</i> -CdOs	$T \times 162^\circ / 360^\circ$ $(T \times 42^\circ / 360^\circ$ related to the first-pole-to-clear)	$t_{\text{arc max}}$ on the third-pole-to-clear	third-pole-to-clear	1,0	100
4	CdOs	$T \times 81^\circ / 360^\circ$ $(T \times 4^\circ / 360^\circ$ related to the first-pole-to-clear)	$t_{\text{arc med}}$	second-pole-to-clear	1,0	100

Demonstration of the arcing times as per 6.102.10.3.2 of IEC 62271-100:2008/AMD2:2017.

Interrupting window as per Figure 37 of IEC 62271-100:2008/AMD2:2017.

Figure K.4 gives a representation of the testing conditions.

In the case of a CO-*t*"-CO operating sequence, test no. 3 shall be replaced by CdOd-*t*"-CdOs and test no. 4 is not required.

^a Abbreviations are in accordance with Table 6.

^b Where $d\alpha = 18^\circ$.

Test no.	Test sequence ^a	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^b	Test condition (with reference to the three-phase system)	TRV		Injected current di/dr %
				Application (with reference to the three-phase current circuit)	u_c value p.u.	
1	Os	0	$t_{arc\ min}$ on the first-pole-to-clear	first-pole-to-clear	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm the $t_{arc\ min}$	first-pole-to-clear	1,0	100
3	Od- <i>t</i> -CdOs	$T \times 162^\circ / 360^\circ$ ($T \times 42^\circ / 360^\circ$ related to the first-pole-to-clear)	$t_{arc\ max}$ on the third-pole-to-clear	third-pole-to-clear	1,0	100
4	CdOs	$T \times 81^\circ / 360^\circ$ ($T \times 4^\circ / 360^\circ$ related to the first-pole-to-clear)	$t_{arc\ med}$	second-pole-to-clear	1,0	100

Demonstration of the arcing times as per 6.102.10.3.2 of IEC 62271-100:2008/AMD2:2017.

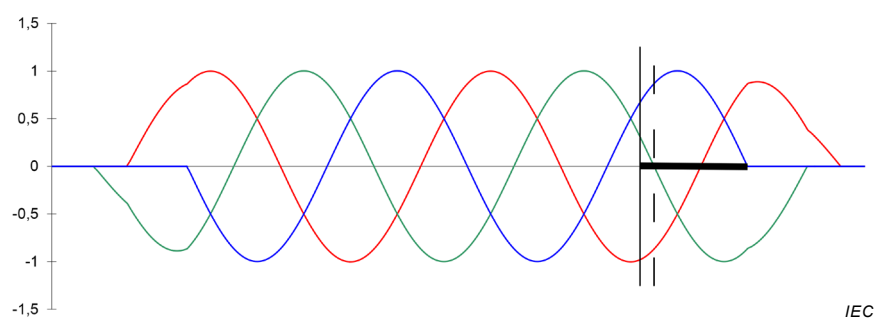
Interrupting window as per Figure 37 of IEC 62271-100:2008/AMD2:2017.

Figure K.4 gives a representation of the testing conditions.

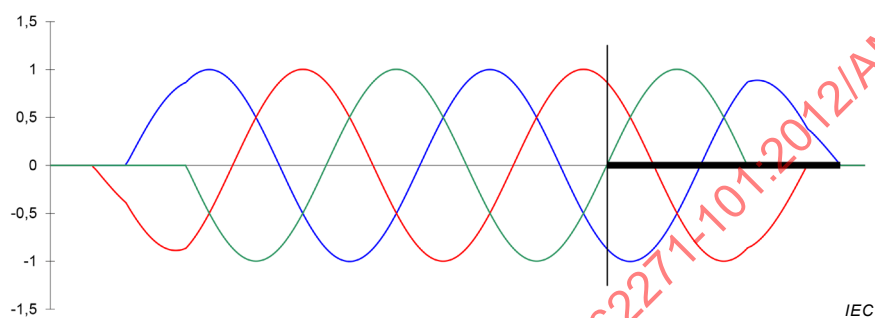
In the case of a CO-*t*-CO operating sequence, test no. 3 shall be replaced by CdOd-*t*-CdOs and test no. 4 is not required.

^a Abbreviations are in accordance with Table 6.

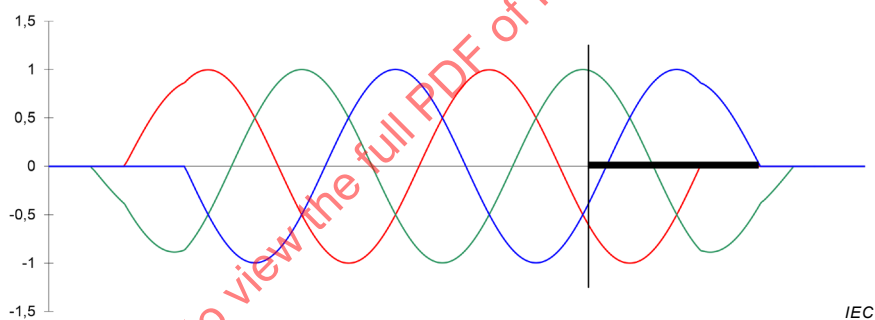
^b Where $d\alpha = 18^\circ$.



Test Nos. 1 and 2: Application of the TRV on the first-pole-to-clear



Test No. 3: Application of the TRV on the third-pole-to-clear



Test No. 4: Application of the TRV on the second-pole-to-clear

Figure K.4 – Representation of the testing conditions of Table K.3

Table K.4 – Alternative demonstration of arcing times for $k_{pp} = 1,3$

Test no.	Test sequence ^a	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^b	Test condition (with reference to the three-phase system)	TRV		Injected current (di/dr) %
				Application (with reference to the three-phase current circuit)	u_c value p.u.	
1	Os	0	$t_{arc\ min}$ on the first-pole-to-clear	first-pole-to-clear	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	first-pole-to-clear	1,0	100
3	Od- t -CdOs	$T \times 42^\circ / 360^\circ$	$t_{arc\ max}$ on the first-pole-to-clear	first-pole-to-clear	1,0	100
4	CdOs	$T \times 77^\circ / 360^\circ$	$t_{arc\ min}$ on the second-pole-to-clear	second-pole-to-clear	0,97	89
5	Od- t -CdOs	$T \times 119^\circ / 360^\circ$	$t_{arc\ max}$ on the second-pole-to-clear	second-pole-to-clear	0,97	89
6	Od- t -CdOs	$T \times 162^\circ / 360^\circ$	$t_{arc\ max}$ on the third-pole-to-clear	third-pole-to-clear	0,77	57

Demonstration of the arcing times as per 6.102.10.3.5 of IEC 62271-100:2008/AMD2:2017.

Interrupting window as per Figure 37 of IEC 62271-100:2008/AMD2:2017.

Figure K.5 gives a representation of the testing conditions.

In case of failure during test 5 or 6, the circuit-breaker may be reconditioned and tests 4 to 6 shall be repeated. The test series is passed if no further failure occurs.

In the case of a CO- t -CO operating sequence, test nos. 3, 5 and 6 shall be replaced by CdOd- t -CdOs.

^a Abbreviations are in accordance with Table 6.

^b Where $d\alpha = 18^\circ$.

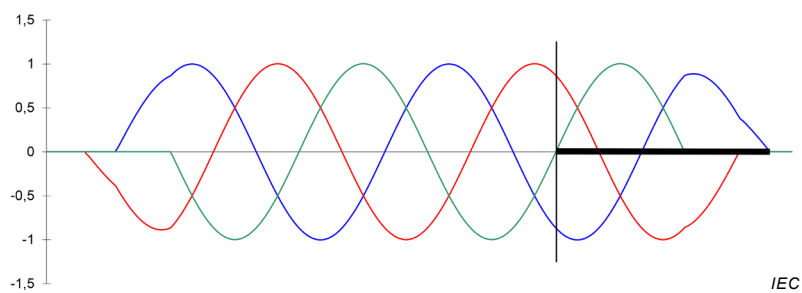
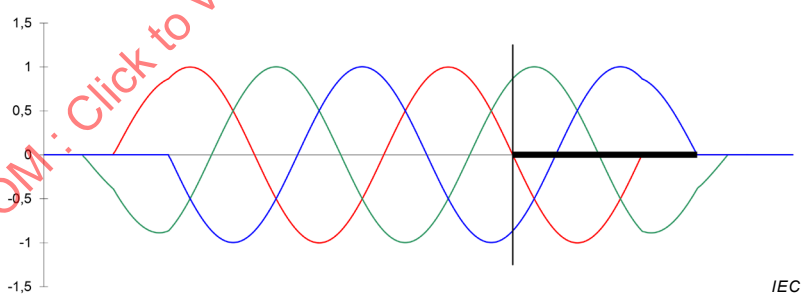
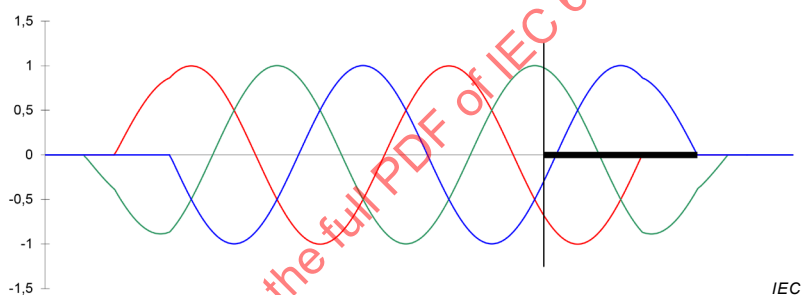
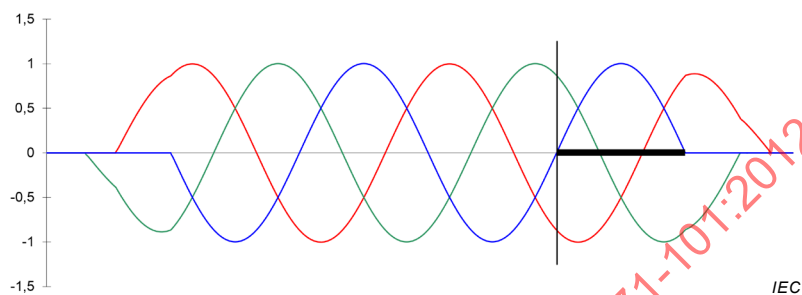
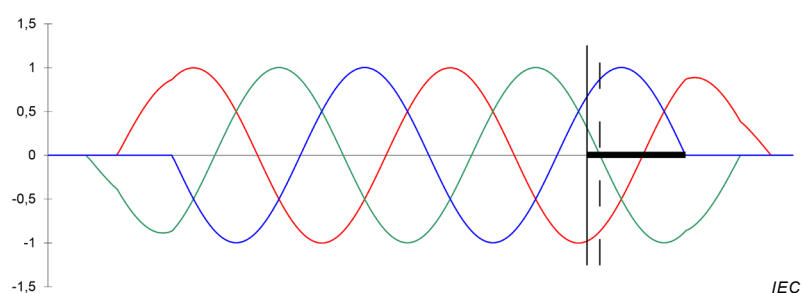


Figure K.5 – Representation of the testing conditions of Table K.4

K.2.3 Test duty T100a

The three-phase test procedure for demonstration of arcing times according to 6.102.10.2.2 is given in Tables K.5 and K.6 for a first-pole-to-clear factor of 1,5 and in Tables K.7 and K.8 for a first-pole-to-clear factor of 1,3.

It is recognized that the tests of Tables K.5 and K.7 are more severe than three-phase tests because the arcing time of the last-pole-to-clear or second-pole-to-clear is used together with the TRV of the first-pole-to-clear. As an alternative, the manufacturer may choose to split each test duty into two or three separate test series for demonstration of the arcing times in accordance with 6.102.10.3.5 of IEC 62271-100:2008/AMD2:2017. The procedures are given in Table K.6 for a first-pole-to-clear factor of 1,5 and in Table K.8 for a first-pole-to-clear factor of 1,3. For tests performed in accordance with Tables K.6 and K.8, each test series shall demonstrate a successful interruption with the minimum and maximum arcing time for each pole-to-clear with its associated TRV. Re-conditioning of the circuit-breaker after each test series is permitted and shall comply with the requirements of 6.102.9.5 of IEC 62271-100:2008.

If a failure occurs while demonstrating the maximum arcing time on the second- or last-pole-to-clear using the procedure of Tables K.5 or K.7, then it is permissible to continue testing using the test procedure of Tables K.6 or K.8. In this case, provided no re-conditioning of the circuit-breaker has taken place, the tests demonstrating minimum and maximum arcing time on the first-pole-to-clear may be omitted.

To avoid changing the connection of the high-voltage circuit between tests on the first, second and third-pole-to-clear, all the required arcing times may be applied on the same pole with the same polarity of the recovery voltage.

Table K.5 – Demonstration of arcing times for $k_{pp} = 1,5$

Test no.	Test sequence	Asymmetry condition	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^a	Test condition (with reference to the three-phase system)	TRV		Injected current (di/dt) %
					Application (with reference to the three-phase current circuit)	u_c value p.u.	
1	Os	Major loop – intermediate (Table L.12 or L.15 col. 7 and 8)	0	$t_{arc\ min}$ on first-pole-to-clear Required asymmetry on the last-pole-to-clear with extended loop	first-pole-to-clear	1,0	(Table L.12 or L.15 col. 9)
2	Os	Major loop – intermediate (Table L.12 or L.15 col. 7 and 8)	$-T \times d\alpha/360^\circ$	Re-ignition in the first-pole-to-clear to confirm the $t_{arc\ min}$ Required asymmetry on the last-pole-to-clear with extended loop	first-pole-to-clear	1,0	(Table L.12 or L.15 col. 9)
3	Os	Major loop – rated (Table L.12 or L.15 col. 3 and 4)	$\Delta t_{a1} - T \times d\alpha/360^\circ$	t_{arc1} with major loop and required asymmetry on the first-pole-to-clear	first-pole-to-clear	1,0	(Table L.12 or L.15 col. 5)
4	Os	Major loop – rated (Table L.12 or L.15 col. 10 and 11)	$\Delta t_{a2} - T \times d\alpha/360^\circ$	t_{arc2} and required asymmetry on the last-pole-to-clear with extended loop	last-pole-to-clear with extended loop	1,0	(Table L.12 or L.15 col. 12)

Figure K.6 gives a representation of the testing conditions.

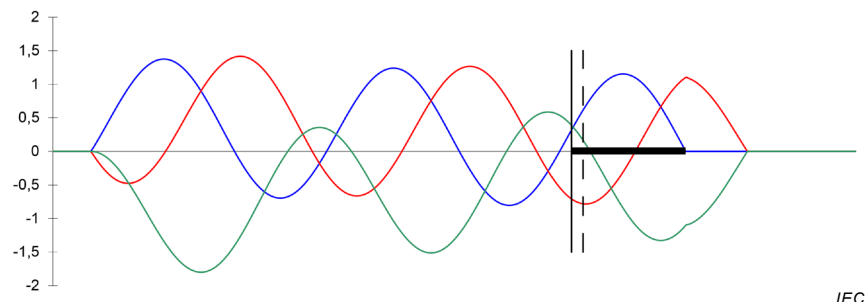
Values for the TRV reduction due to asymmetry can be found in Annex I.

^a Where

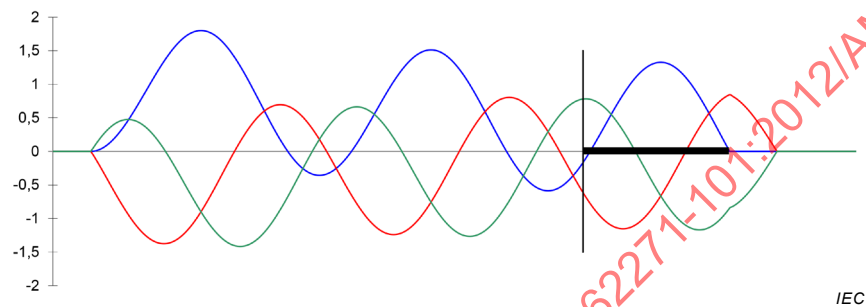
Δt_{a1} is the relevant parameter to be selected from Table L.12 or Table L.15 column 6;

Δt_{a2} is the relevant parameter to be selected from Table L.12 or Table L.15 column 14;

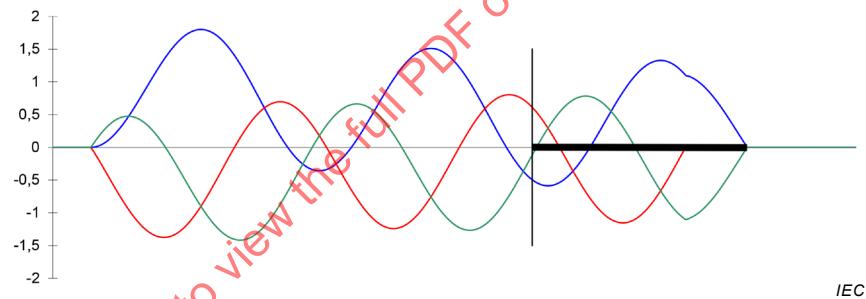
$d\alpha = 18^\circ$.



Test Nos. 1 and 2: Application of the TRV on the first-pole-to-clear



Test No. 3: Application of the TRV on the first-pole-to-clear with major loop



Test No. 4: Application of the TRV on the last-pole-to-clear with extended major loop

Figure K.6 – Representation of the testing conditions of Table K.5

Table K.6 – Alternative demonstration of arcing times for $k_{pp} = 1,5$

Test no.	Test sequence	Asymmetry condition	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^a	Test condition (with reference to the three-phase system)	TRV		Injected circuit (di/dr) %
					Application (with reference to three-phase current circuit)	μ_c value p.u.	
1	Os	Major loop – intermediate (Table L.12 or L.15 col. 7 and 8)	0	$t_{arc\ min}$ on first-pole-to-clear Required asymmetry on the last-pole-to-clear with extended loop	first-pole-to-clear	1,0	(Table L.12 or L.15 col. 9)
2	Os	Major loop – intermediate (Table L.12 or L.15 col. 7 and 8)	$-T \times \frac{da}{360^\circ}$	Re-ignition in the first-pole-to-clear to confirm the $t_{arc\ min}$ Required asymmetry on the last-pole-to-clear with extended loop	first-pole-to-clear	1,0	(Table L.12 or L.15 col. 9)
3	Os	Major loop – rated (Table L.12 or L.15 col. 3 and 4)	$\Delta t_{a1} - T \times \frac{da}{360^\circ}$	t_{arc1} with major loop and required asymmetry on the first-pole-to-clear	first-pole-to-clear	1,0	(Table L.12 or L.15 col. 5)
4	Os	Major loop – rated (Table L.12 or L.15 col. 10 and 11)	(Table L.12 or L.15 col. 13) – $T \times \frac{da}{360^\circ}$	$t_{arc\ min}$ on the last-pole-to-clear and required asymmetry on the last-pole-to-clear with extended loop	last-pole-to-clear with extended loop	0,58	(Table L.12 or L.15 col. 12)
5	Os	Major loop – rated (Table L.12 or L.15 col. 10 and 11)	$\Delta t_{a2} - T \times \frac{da}{360^\circ}$	t_{arc2} and required asymmetry on the last-pole-to-clear with extended loop	last-pole-to-clear with extended loop	0,58	(Table L.12 or L.15 col. 12)

Figure K.7 gives a representation of the testing conditions.

Values for the TRV reduction due to asymmetry can be found in Annex I.

If tests are performed after a failure of test 4 in Table K.5 and no re-conditioning of the circuit-breaker has taken place, then tests can continue from test 4 in Table K.6.

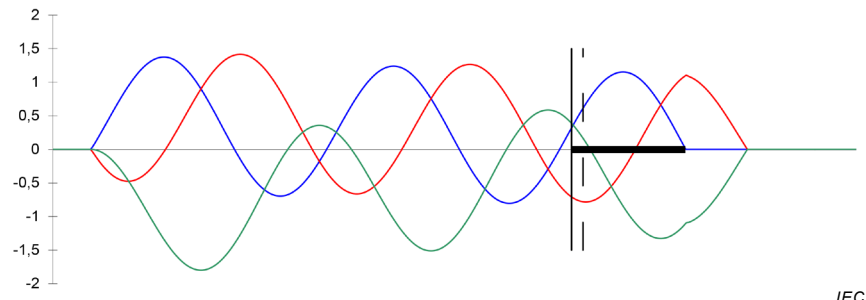
In case of failure during test 5, the circuit-breaker may be reconditioned and tests 3 to 5 shall be repeated. The test series is passed if no further failure occurs.

^a Where

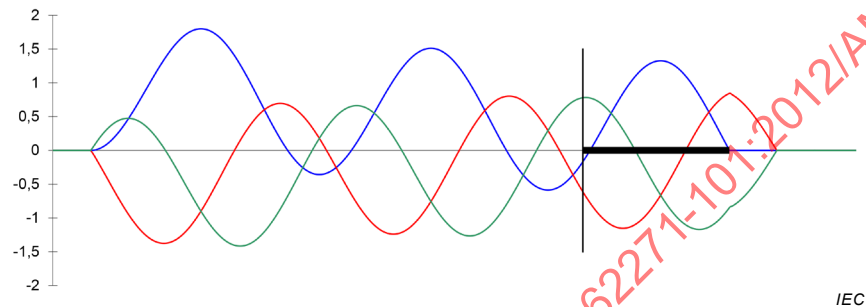
Δt_{a1} is the relevant parameter to be selected from Table L.12 or Table L.15 column 6;

Δt_{a2} is the relevant parameter to be selected from Table L.12 or Table L.15 column 14;

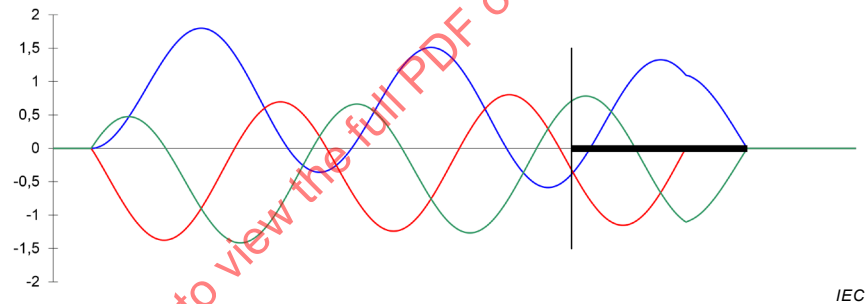
$da = 18^\circ$.



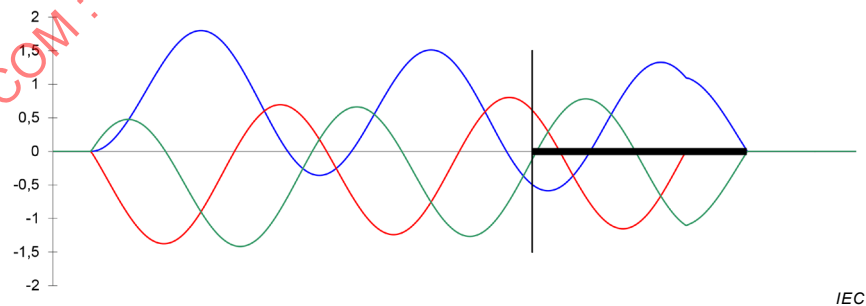
Test Nos. 1 and 2: Application of the TRV on the first-pole-to-clear



Test No. 3: Application of the TRV on the first-pole-to-clear with major loop



Test No. 4: Application of the TRV on the last-pole-to-clear with extended major loop



Test No. 5: Application of the TRV on the last-pole-to-clear with extended major loop

Figure K.7 – Representation of the testing conditions of Table K.6

Table K.7 – Demonstration of arcing times for $k_{pp} = 1,3$

Test no.	Test sequence	Asymmetry condition	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^a	Test condition (with reference to the three-phase system)	TRV		Injected current (di/dt) %
					Application (with reference to the three-phase current circuit)	u_c value p.u.	
1	Os	Major loop – intermediate (Table L.13 or L.16 col. 7 and 8)	0	$t_{arc\ min}$ on first-pole-to-clear Required asymmetry on the second-pole-to-clear with extended loop	first-pole-to-clear	1,0	(Table L.13 or L.16 col. 9)
2	Os	Major loop – intermediate (Table L.13 or L.16 col. 7 and 8)	$-T \times d\alpha/360^\circ$	Re-ignition in the first-pole-to-clear to confirm the $t_{arc\ min}$ Required asymmetry on the second-pole-to-clear with extended loop	first-pole-to-clear	1,0	(Table L.13 or L.16 col. 9)
3	Os	Major loop – rated (Table L.13 or L.16 col. 3 and 4)	$\Delta t_{a1} - T \times d\alpha/360^\circ$	t_{arc1} with major loop and required asymmetry on the first-pole-to-clear	first-pole-to-clear	1,0	(Table L.13 or L.16 col. 5)
4	Os	Major loop – rated (Table L.13 or L.16 col. 10 and 11)	$\Delta t_{a3} - T \times d\alpha/360^\circ$	t_{arc3} and required asymmetry on the second-pole-to-clear with extended loop	second-pole-to-clear	1,0	(Table L.13 or L.16 col. 12)

Figure K.8 gives a representation of the testing conditions.

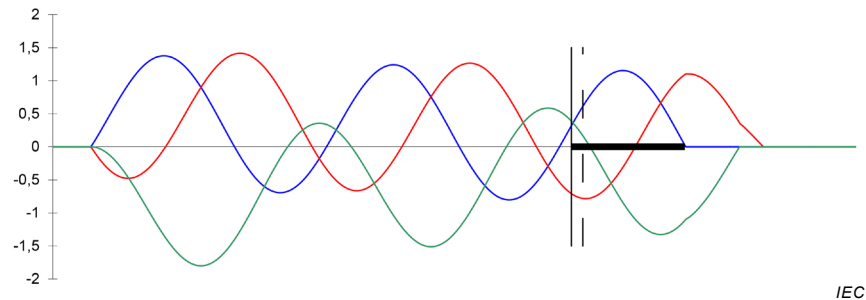
Values for the TRV reduction due to asymmetry can be found in Annex I.

^a Where

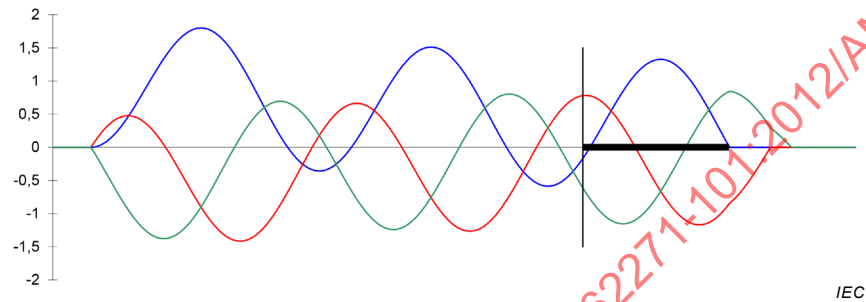
Δt_{a1} is the relevant parameter to be selected from Table L.13 or Table L.16 column 6;

Δt_{a3} is the relevant parameter to be selected from Table L.13 or Table L.16 column 14;

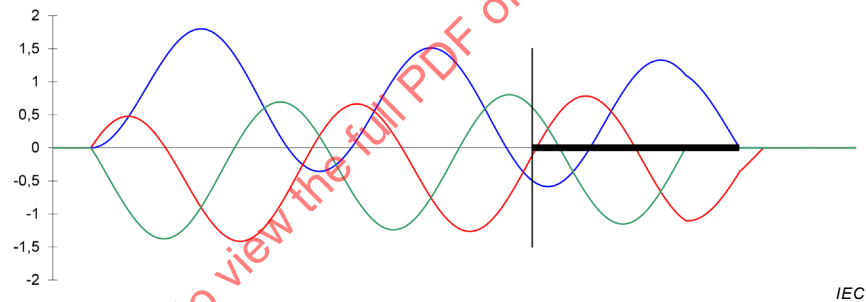
$d\alpha = 18^\circ$.



Test Nos. 1 and 2: Application of the TRV on the first-pole-to-clear



Test No. 3: Application of the TRV on the first-pole-to-clear with major loop



Test No. 4: Application of the TRV on the second-pole-to-clear with extended major loop

Figure K.8 – Representation of the testing conditions of Table K.7

Table K.8 – Alternative demonstration of arcing times for $k_{pp} = 1,3$

Test no.	Test sequence	Asymmetry condition	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^a	Test condition (with reference to the three-phase system)	TRV		Injected current (di/dt) %
					Application (with reference to three-phase current circuit)	u_c value p.u.	
1	Os	Major loop – intermediate (Table L.13 or L.16 col. 7 and 8)	0	$t_{arc\ min}$ on first-pole-to-clear Required asymmetry on the second-pole-to-clear with extended loop	first-pole-to-clear	1,0	(Table L.13 or L.16 col. 9)
2	Os	Major loop – intermediate (Table L.13 or L.16 col. 7 and 8)	$-T \times d\alpha/360^\circ$	Re-ignition in the first pole to clear to confirm the first-pole-to-clear $t_{arc\ min}$ Required asymmetry on the second-pole-to-clear with extended loop	first-pole-to-clear	1,0	(Table L.13 or L.16 col. 9)
3	Os	Major loop – rated (Table L.13 or L.16 col. 3 and 4)	$\Delta t_{a1} - T \times d\alpha/360^\circ$	t_{arc1} with major loop and required asymmetry on the first-pole-to-clear	first-pole-to-clear	1,0	(Table L.13 or L.16 col. 5)
4	Os	Major loop – rated (Table L.13 or L.16 col. 10 and 11)	(Table L.13 or L.16 col. 13) – $T \times d\alpha/360^\circ$	$t_{arc\ min}$ and required asymmetry on the second-pole-to-clear with extended loop	second-pole-to-clear	0,97	(Table L.13 or L.16 col. 12)
5	Os	Major loop – rated (Table L.13 or L.16 col. 10 and 11)	$\Delta t_{a3} - T \times d\alpha/360^\circ$	t_{arc3} and required asymmetry on the second-pole-to-clear with extended loop	second-pole-to-clear	0,97	(Table L.13 or L.16 col. 12)

Figure K.9 gives a representation of the testing conditions.

Values for the TRV reduction due to asymmetry can be found in Annex I.

If tests are performed after a failure of test 4 in Table K.7 and no re-conditioning of the circuit-breaker has taken place, then tests can continue from test 4 in Table 8.

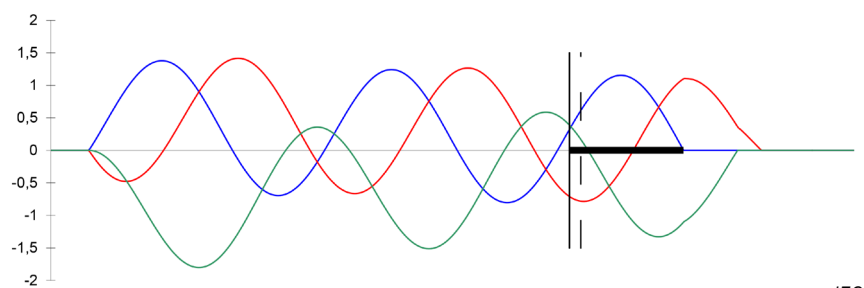
In case of failure during test 5, the circuit-breaker may be reconditioned and tests 3 to 5 shall be repeated. The test series is passed if no further failure occurs.

^a Where

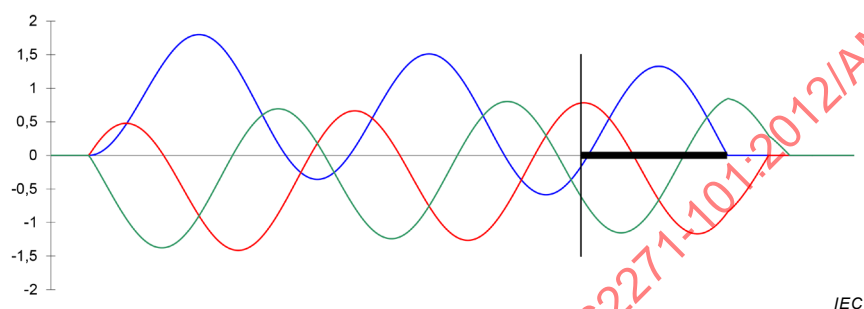
Δt_{a1} is the relevant parameter to be selected from Table L.13 or Table L.16 column 6;

Δt_{a3} is the relevant parameter to be selected from Table L.13 or Table L.16 column 14;

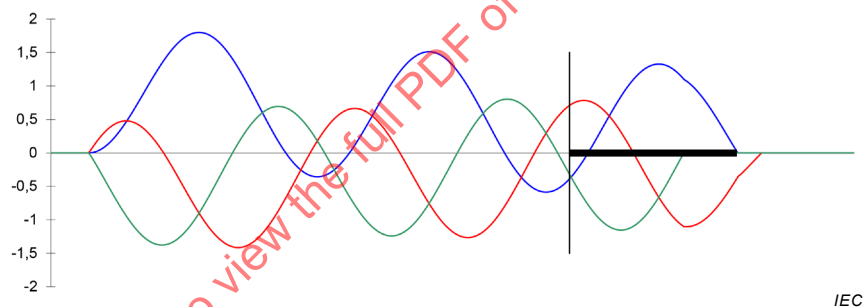
$d\alpha = 18^\circ$.



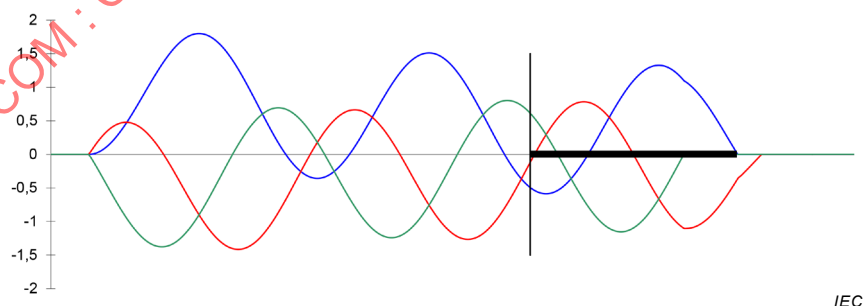
Test Nos. 1 and 2: Application of the TRV on the first-pole-to-clear



Test No. 3: Application of the TRV on the first-pole-to-clear with major loop



Test No. 4: Application of the TRV on the second-pole-to-clear with extended major loop



Test No. 5: Application of the TRV on the second-pole-to-clear with extended major loop

Figure K.9 – Representation of the testing conditions of Table K.8

K.2.4 Combination of first-pole-to-clear factors 1,3 and 1,5

K.2.4.1 General

It is recognized that some of the test conditions are more severe than those given in the tables for the respective first-pole-to-clear factor. But all the tests given in Tables K.9 and

K.10 have to be performed in order to keep the equivalence with those tests specified in this standard for each test-duty.

K.2.4.2 Test-duties T10, T30, T60 and T100s(b)

The corresponding tests can be found in Table K.9.

Table K.9 – Procedure for combining $k_{pp} = 1,5$ and 1,3 during test-duties T10, T30, T60 and T100s(b)

Test no.	Test sequence ^a	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^b	Test condition (with reference to the three-phase system)	TRV			Injected current (di/dt) %
				Application (with reference to the three-phase current circuit)	u_c value p.u.	u_c based on k_{pp}	
1	Os	0	$t_{arc\ min}$ on the first-pole-to-clear ($k_{pp} = 1,3$ and 1,5)	first-pole-to-clear	1,0	1,5	100
2	Os	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm the $t_{arc\ min}$	first-pole-to-clear	1,0	1,5	100
3	Od- t -CdOs	$T \times 42^\circ / 360^\circ$	$t_{arc\ max}$ on the first-pole-to-clear ($k_{pp} = 1,3$ and 1,5)	first-pole-to-clear	1,0	1,5	100
4	CdOs	$T \times 90^\circ / 360^\circ$	$t_{arc\ min}$ on the second-pole-to-clear ($k_{pp} = 1,3$) last-pole-to-clear ($k_{pp} = 1,5$)	second-pole-to-clear	0,97	1,3	89
5	Od- t -CdOs	$T \times 132^\circ / 360^\circ$	$t_{arc\ max}$ on the second-pole-to-clear ($k_{pp} = 1,3$) last-pole-to-clear ($k_{pp} = 1,5$)	second-pole-to-clear	0,97	1,3	89
6	Od- t -CdOs	$T \times 162^\circ / 360^\circ$	$t_{arc\ max}$ on the third-pole-to-clear ($k_{pp} = 1,3$)	third-pole-to-clear	0,77	1,3	57

For tests 1 to 3 the synthetic circuit shall be applied on the first-pole-to clear.

In case of failure during test 5 or 6, the circuit-breaker may be reconditioned and tests 4 to 6 shall be repeated. The test series is passed if no further failure occurs.

If the current circuit is with unearthed neutral, for tests 4 to 6, the synthetic circuit shall be applied on the last-pole-to-clear (with extended loop).

If the current circuit is with earthed neutral, for tests 4 and 5, the synthetic circuit shall be applied on the second-pole-to-clear. For test 6, the synthetic circuit shall be applied on the third-pole-to-clear.

^a Abbreviations are in accordance with Table 6.

^b Where $d\alpha = 18^\circ$.

The corresponding tests can be found in Table K.10.

Test no.	Test sequence	Asymmetry condition	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^a	Test condition (with reference to the three-phase system)	TRV			Injected current (di/dt) %
					Application (with reference to the three-phase current circuit)	u_c value p.u.	u_c based on k_{pp}	
1	Os	Major loop – Intermediate (Table L.12 or L.15 col 7 and 8)	0	$t_{arc\ min}$ on first-pole-to-clear ($k_{pp} = 1,5$ and 1,3) Required asymmetry on the second- or last-pole-to-clear with extended loop	first-pole-to-clear	1,0	1,5	(Table L.12 or L.15 col. 9)
2	Os	Major loop – Intermediate (Table L.12 or L.15 col. 7 and 8)	$-T \times d\alpha/360^\circ$	Re-ignition in the first-pole-to-clear to confirm the $t_{arc\ min}$ Required asymmetry on the second- or last-pole-to-clear with extended loop	first-pole-to-clear	1,0	1,5	(Table L.12 or L.15 col. 9)
3	Os	Major loop – rated (Table L.12 or L.15 col. 3 and 4)	$\Delta t_{a1} - T \times d\alpha/360^\circ$	t_{arc1} with major loop and required asymmetry on the first-pole-to-clear ($k_{pp} = 1,3$ and 1,5)	first-pole-to-clear	1,0	1,5	(Table L.12 or L.15 col. 5)
4	Os	Major loop – rated ^b	(Table L.12 or L.15 col. 13) – $T \times d\alpha/360^\circ$	$t_{arc\ min}$ with required asymmetry on the second-pole-to-clear with extended loop ($k_{pp} = 1,3$) and last-pole-to-clear with extended loop ($k_{pp}=1,5$)	second-pole-to-clear ^b	0,97	1,3	(Table L.13 or L.16 col. 12)
5	Os	Major loop – rated ^b	$\Delta t_{a3} - T \times d\alpha/360^\circ$	t_{arc3} and required asymmetry on the second-pole-to-clear with extended loop ($k_{pp} = 1,3$)	second-pole-to-clear ^b	0,97	1,3	(Table L.13 or L.16 col. 12)
6	Os	Major loop – rated ^b	$\Delta t_{a2} - T \times d\alpha/360^\circ$	t_{arc2} and required asymmetry on the last-pole-to-clear with extended loop ($k_{pp} = 1,5$)	last-pole-to-clear ^b	0,58	1,5	(Table L.12 or L.15 col. 12)

In case of failure during test 5 or 6, the circuit-breaker may be reconditioned and tests 4 to 6 shall be repeated. The test series is passed if no further failure occurs.

Test 5 and 6 may be combined, using the TRV and di/dt of test 5 and the arcing time of test 6.

Values for the TRV reduction due to asymmetry can be found in Annex I.

a	Where Δt_{a1} is the relevant parameter to be selected from Table L.12 or Table L.15 column 6; Δt_{a2} is the relevant parameter to be selected from Table L.12 or Table L.15 column 14; Δt_{a3} is the relevant parameter to be selected from Table L.13 or Table L.16 column 14; $d\alpha = 18^\circ$.
b	If the current circuit is with unearthed neutral, for tests 4 to 6, the synthetic circuit shall be applied on the last-pole-to-clear with extended loop. See Table L.12 or Table L.15 column 10 and 11 for amplitude and duration of the last current loop. If the current circuit is with earthed neutral, for tests 4 to 6, the synthetic circuit shall be applied on the second-pole-to-clear with extended loop. See Table L.13 or Table L.16 column 10 and 11 for amplitude and duration of the last current loop.

Annex L (normative) Splitting of test duties in test series taking into account the associated TRV for each pole-to-clear

Replace the existing text, including tables, by the following:

L.1 General

Depending on the limitation of a laboratory, three-phase tests are not always possible. It is common practice to perform such tests using a single-phase circuit with a single TRV that covers the first, second and last pole-to-clear. This test procedure may result in higher stresses on the circuit-breaker under test compared to the corresponding three-phase direct test procedure.

The procedure in this annex may be used in substitution of three-phase tests where single-phase testing is permitted.

A combination of the first-pole-to-clear factors 1,5 and 1,3 in accordance with 6.102.10.3.4 of IEC 62271-100:2008/AMD2:2017 while splitting the test-duties at the same time may be made according to L.3.

L.2 Test-duties T10, T30, T60, T100s(b), OP1 and OP2

L.2.1 Test procedure for first-pole-to-clear factors 1,5 and 2,5

The single-phase test procedures for splitting of test duties to demonstrate arcing times with the correct TRV for each pole-to-clear according to 6.102.10.3.5 of IEC 62271-100:2008/AMD2:2017 are given in Table L.1 for the first-pole-to-clear factors of 1,5 and 2,5.

Table L.1 – Test procedure for $k_{pp} = 1,5$ and 2,5

Test no.	Test sequence ^a	Arc duration (additional to the $t_{arc \min}$) ms ^d	Test condition (with reference to the three-phase system)	TRV		Injected current di/dr %
				RRRV p.u.	u_c value p.u.	
1	Os CdOs ^b	0	$t_{arc \min}$ first-pole-to-clear	1,0	1,0	100
2	Os CdOs ^b	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc \min}$	1,0	1,0	100
3	Od- t -CdOs Os ^c	$T \times 42^\circ / 360^\circ$	$t_{arc \max}$ first-pole-to-clear	1,0	1,0	100
4	Os	$T \times 90^\circ / 360^\circ$	$t_{arc \min}$ last-pole-to-clear	0,7	0,58	87
5	CdOs Os ^c	$T \times 132^\circ / 360^\circ$	$t_{arc \max}$ last-pole-to-clear	0,7	0,58	87
For T10, T30 and T60, the Cd operation may be omitted.						
^a Abbreviations are in accordance with Table 6. ^b Test sequence for OP2, the Cd operation may be carried out under no-load conditions, see also Table 5. ^c Test sequence for OP1 and OP2, see also Table 5. ^d Where $d\alpha = 18^\circ$.						

L.2.2 Test procedure for first-pole-to-clear factors 1,3 and 2,0

The single-phase test procedures for splitting of test duties to demonstrate arcing times with the correct TRV for each pole-to-clear according to 6.102.10.3.5 of IEC 62271-100:2008/AMD2:2017 are given in Tables L.2 and L.3 for the first-pole-to-clear factors of 1,3 and 2,0. A simplified procedure is given in Table L.3 which is more severe than the procedure given in Table L.2.

In case of a failure during tests 5 or 6 as given in Table L.2, the circuit-breaker may be reconditioned and tests 4 to 6 shall be repeated. The test series is passed if no further failure occurs.

In case of a failure during test 5 as given in Table L.3, the circuit-breaker may be reconditioned and tests 3 to 5 shall be repeated. The test series is passed if no further failure occurs.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 6.102.9.5 of IEC 62271-100:2008.

Table L.2 – Test procedure for $k_{pp} = 1,3$ and 2,0

Test no.	Test sequence ^a	Arc duration (additional to the $t_{\text{arc min}}$) ms ^d	Test condition (with reference to the three-phase system)	TRV		Injected current di/dt %
				RRRV p.u.	u_c value p.u.	
1	Os CdOs ^b	0	$t_{\text{arc min}}$ first-pole-to-clear	1,0	1,0	100
2	Os CdOs ^b	$-T \times d\alpha/360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{\text{arc min}}$	1,0	1,0	100
3	Od- t -CdOs Os ^c	$T \times 42^\circ/360^\circ$	$t_{\text{arc max}}$ first-pole-to-clear	1,0	1,0	100
4	CdOs Os ^c	$T \times 77^\circ/360^\circ$	$t_{\text{arc min}}$ second-pole-to-clear	0,95	0,97	89
5	Od- t -CdOs Os ^c	$T \times 119^\circ/360^\circ$	$t_{\text{arc max}}$ second-pole-to-clear	0,95	0,97	89
6	Od- t -CdOs Os ^c	$T \times 162^\circ/360^\circ$	$t_{\text{arc max}}$ third-pole-to-clear	0,70	0,77	57

For T10, T30 and T60, the Cd operation may be omitted.

^a Abbreviations are in accordance with 6.106.

^b Test sequence for OP2, the Cd operation may be carried out under no-load conditions, see also Table 5.

^c Test sequence for OP1 and OP2, see also Table 5.

^d Where $d\alpha = 18^\circ$.

Table L.3 – Simplified test procedure for $k_{pp} = 1,3$ and 2,0

Test no.	Test sequence ^a	Arc duration (additional to the $t_{\text{arc min}}$) ms ^d	Test condition (with reference to the three-phase system)	TRV		Injected current di/dt %
				RRRV p.u.	u_c value p.u.	
1	Os CdOs ^b	0	$t_{\text{arc min}}$ first-pole-to-clear	1,0	1,0	100
2	Os CdOs ^b	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{\text{arc min}}$	1,0	1,0	100
3	Od- <i>i</i> -CdOs Os ^c	$T \times 119^\circ / 360^\circ$	$t_{\text{arc max}}$ second-pole-to-clear	1,0	1,0	100
4	CdOs Os ^c	$T \times 60^\circ / 360^\circ$	$t_{\text{arc med}}$ first- and second-pole-to-clear	1,0	1,0	100
5	Od- <i>i</i> -CdOs Os ^c	$T \times 162^\circ / 360^\circ$	$t_{\text{arc max}}$ third-pole-to-clear	0,70	0,77	57

For T10, T30 and T60, the Cd operation may be omitted.

^a Abbreviations are in accordance with Table 6.

^b Test sequence for OP2, the Cd operation may be carried out under no-load conditions, see also Table 5.

^c Test sequence for OP1 and OP2, see also Table 5.

^d Where $d\alpha = 18^\circ$.

The single-phase test procedures for splitting of test duties to demonstrate arcing times with the correct TRV for each pole-to-clear according to 6.102.10.3.5 of IEC 62271-100:2008/AMD2:2017 are given in Tables L.4 and L.5 for a first-pole-to-clear factor of 1.2.

In case of a failure during test 5 or 6 as given in Table L.4, the circuit-breaker may be reconditioned and tests 4 to 6 shall be repeated. The test series is passed if no further failure occurs.

Table L.4 – Test procedure for $k_{pp} = 1,2$

Table L.5 – Simplified test procedure for $k_{pp} = 1, 2$

Test no.	Test sequence ^a	Arc duration (additional to the $t_{arc \min}$) ms ^b	Test condition (with reference to the three-phase system)	TRV		Injected current di/dt %
				RRRV p.u.	" c value p.u.	
1	Os	0	$t_{arc \min}$ first-pole-to-clear	1,0	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc \min}$	1,0	1,0	100
3	Od- t -CdOs	$T \times 113^\circ / 360^\circ$	$t_{arc \max}$ second-pole-to-clear	1,0	1,0	100
4	CdOs	$T \times 57^\circ / 360^\circ$	$t_{arc \text{ med}}$ first-and second-pole-to-clear	1,0	1,0	100
5	Od- t -CdOs	$T \times 162^\circ / 360^\circ$	$t_{arc \max}$ third-pole-to-clear	0,83	0,83	75

For T10, T30 and T60, the Cd operation may be omitted.

^a Abbreviations are in accordance with Table 6.

^b Where $d\alpha = 18^\circ$.

L.3 Test duty T100a

L.3.1 General

The test procedure described here is based on the determination of the minimum arcing time after a major loop with intermediate asymmetry.

The voltage correction for the first-pole-to-clear shall be derived from Tables L.1 to L.6 or calculated according Annex I. The voltage correction for the second- and third-pole-to-clear shall be derived from the values of the first-pole-to-clear multiplied by the standard multipliers for the corresponding pole-to-clear as given in Tables L.6, L.7, L.8 and L.11.

L.3.2 Test procedure for first-pole-to-clear factor 1,5

The test series shows the clearing capability for the different asymmetrical conditions and their associated TRV values. The aim is to obtain a series of 5 valid tests.

The corresponding tests can be found in Table L.6.

In case of a failure during test 5 as given in Table L.6, the circuit-breaker may be reconditioned and tests 3 to 5 shall be repeated. The test series is passed if no further failure occurs.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 6.102.9.5 of IEC 62271-100:2008.

Table L.6 – Test procedure for asymmetrical currents for $k_{pp} = 1,5$

Test no.	Test sequence	Asymmetry condition	Arc duration ^a (additional to the $t_{arc\ min}$) ms	Test condition (with reference to the three-phase system)	TRV		Injected current di/dt %
					RRRV p.u.	u_c value p.u.	
1	Os	Major loop intermediate (col. 7 and 8)	0	$t_{arc\ min}$ first-pole-to-clear	1,0	1,0	(col. 9)
2	Os	Major loop intermediate (col. 7 and 8)	$-T \times d\alpha/360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	1,0	1,0	(col. 9)
3	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a1} - T \times d\alpha/360^\circ$	$t_{arc\ max} (= t_{arc1})$ first-pole-to-clear	1,0	1,0	(col. 5)
4	Os	Major loop rated (col. 3 and 4)	(col. 13) $-T \times d\alpha/360^\circ$	$t_{arc\ min}$ last-pole-to-clear	0,7	0,58	(col.12)
5	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a2} - T \times d\alpha/360^\circ$	$t_{arc\ max} (= t_{arc2})$ last-pole-to-clear	0,7	0,58	(col.12)

Figure L.1 gives an exemplary representation of the testing conditions.

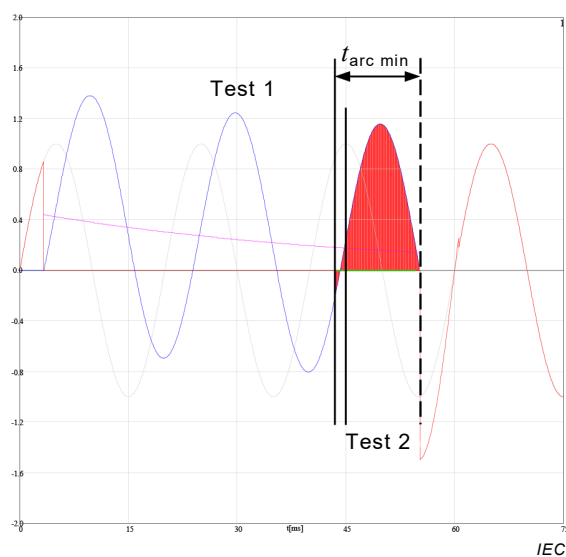
Column numbers refer to columns in Table L.12 or Table L.15.

^a Where

Δt_{a1} is the relevant parameter to be selected from Table L.12 or Table L.15 column 6;

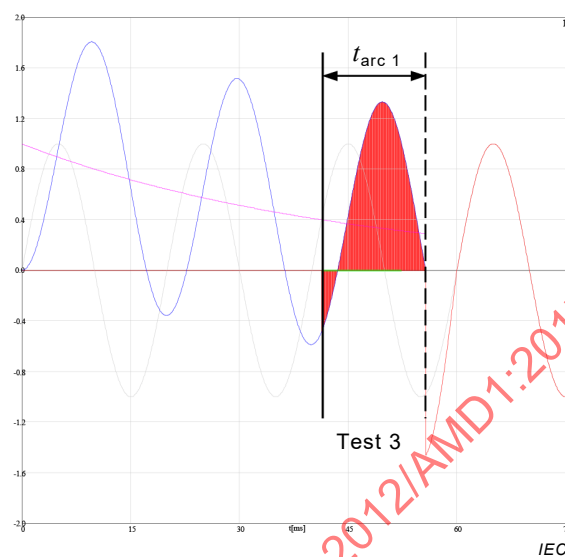
Δt_{a2} is the relevant parameter to be selected from Table L.12 or Table L.15 column 14;

$d\alpha = 18^\circ$.



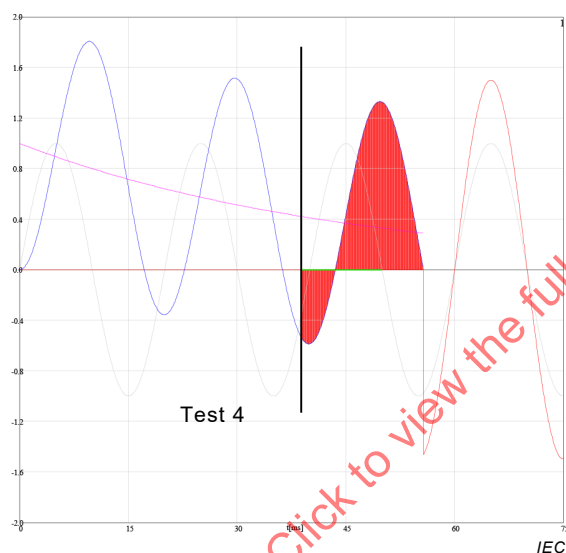
L.1a – Intermediate asymmetry

TRV 1,0 p.u.



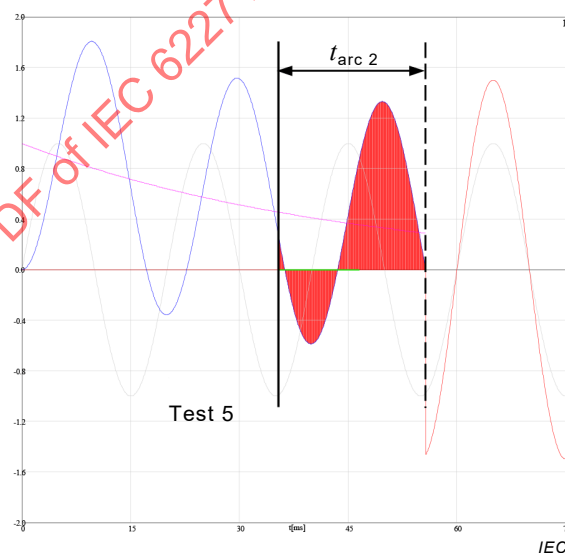
L.1b – Required asymmetry

TRV 1,0 p.u.



L.1c – Required asymmetry

TRV 0,58 p.u. ($k_{pp} = 1,5$)



L.1d – Required asymmetry

TRV 0,58 p.u. ($k_{pp} = 1,5$)

Figure L.1 – Example of graphical representation of the tests shown in Table L.6

L.3.3 Test procedure for first-pole-to-clear factor 1,3

The test series shows the clearing capability for the different asymmetrical conditions and their associated TRV values. The aim is to obtain a series of 5 valid tests.

The corresponding tests can be found in Table L.7.

In case of a failure during test 5 as given in Table L.7, the circuit-breaker may be reconditioned and tests 3 to 5 shall be repeated. The test series is passed if no further failure occurs.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 6.102.9.5 of IEC 62271-100:2008.

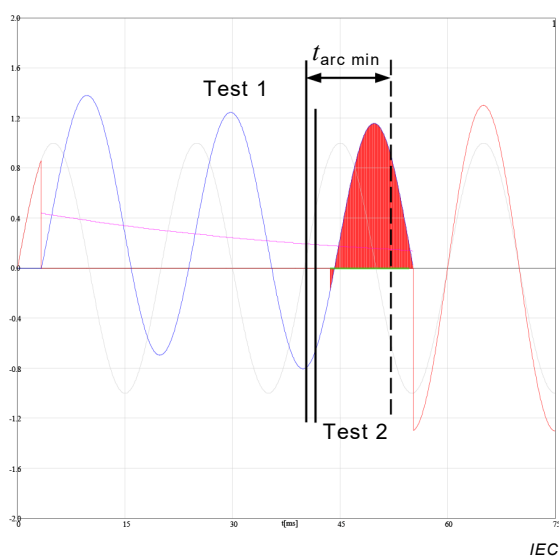
Table L.7 – Test procedure for asymmetrical currents for $k_{pp} = 1,3$

Test no.	Test sequence	Asymmetry condition	Arc duration ^a (additional to the $t_{arc\ min}$) ms	Test condition (with reference to the three-phase system)	TRV		Injected current di/dt %
					RRRV p.u.	u_c value p.u.	
1	Os	Major loop intermediate (col. 7 and 8)	0	$t_{arc\ min}$ first-pole-to-clear	1,0	1,0	(col. 9)
2	Os	Major loop intermediate (col. 7 and 8)	$-T \times d\alpha/360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	1,0	1,0	(col. 9)
3	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a1} - T \times d\alpha/360^\circ$	$t_{arc\ max} (= t_{arc1})$ first-pole-to-clear	1,0	1,0	(col. 5)
4	Os	Major loop rated (col. 3 and 4)	(col. 13) $-T \times d\alpha/360^\circ$	$t_{arc\ min}$ second-pole-to-clear	0,95	0,97	(col. 12)
5	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a3} - T \times d\alpha/360^\circ$	$t_{arc\ max} (= t_{arc3})$ second-pole-to-clear	0,95	0,97	(col. 12)

Figure L.2 gives an exemplary representation of the testing conditions.
Column numbers refer to columns in Table L.13 or Table L.16.

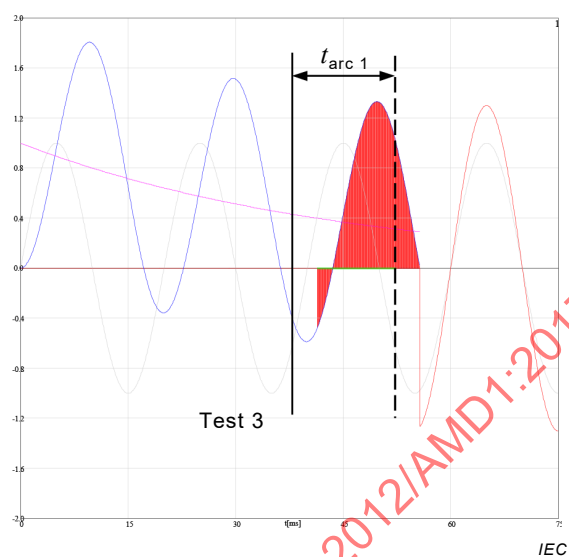
^a Where

Δt_{a1} is the relevant parameter to be selected from Table L.13 or Table L.16, column 6;
 Δt_{a3} is the relevant parameter to be selected from Table L.13 or Table L.16, column 14;
 $d\alpha = 18^\circ$.



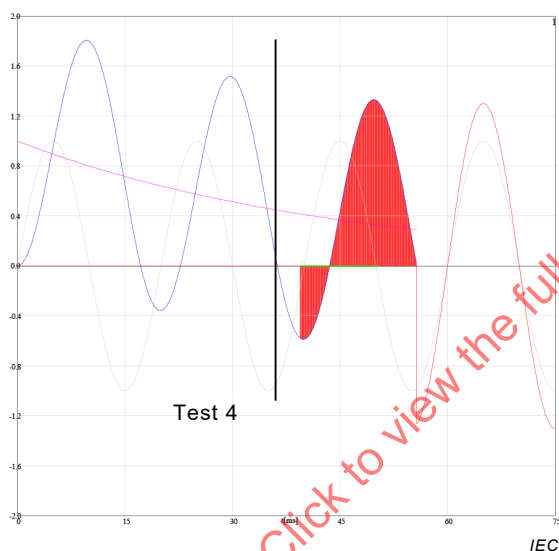
L.2a – Intermediate asymmetry

TRV 1,0 p.u.



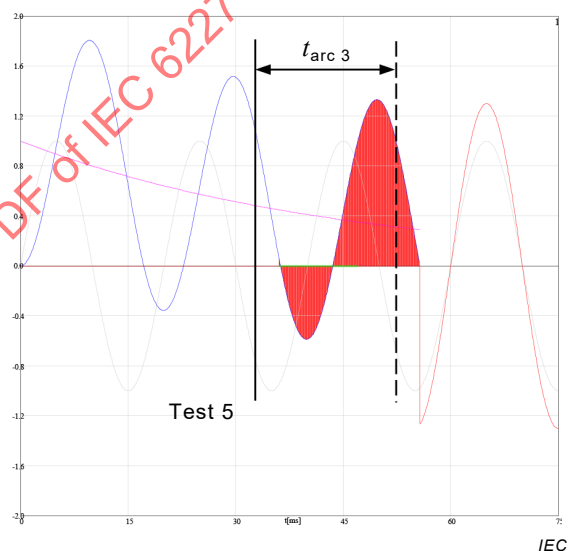
L.2b – Required asymmetry

TRV 1,0 p.u.



L.2c – Required asymmetry

TRV 0,97 p.u.(kpp = 1,3) and 0,95 p.u.(kpp = 1,2)



L.2d – Required asymmetry

TRV 0,97 p.u. (kpp = 1,3) and 0,95 p.u.(kpp = 1,2)

Figure L.2 – Example of graphical representation of the tests shown in Tables L.7 and L.8

L.2.4 Test procedure for first-pole-to-clear factor 1,2

The test series shows the clearing capability for the different asymmetrical conditions and their associated TRV values. The aim is to obtain a series of 5 valid tests.

The corresponding tests can be found in Table L.8.

In case of a failure during test 5 as given in Table L.8, the circuit-breaker may be reconditioned and tests 3 to 5 shall be repeated. The test series is passed if no further failure occurs.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 6.102.9.5 of IEC 62271-100:2008.

Table L.8 – Test procedure for asymmetrical currents for $k_{pp} = 1,2$

Test no.	Test sequence	Asymmetry condition	Arc duration ^a (additional to the $t_{arc\ min}$) ms	Test condition (with reference to the three-phase system)	TRV		Injected current di/dt %
					RRRV p.u.	u_c value p.u.	
1	Os	Major loop intermediate (col. 7 and 8)	0	$t_{arc\ min}$ first-pole-to-clear	1,0	1,0	(col. 9)
2	Os	Major loop intermediate (col. 7 and 8)	$-T \times d\alpha/360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	1,0	1,0	(col. 9)
3	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a1} - T \times d\alpha/360^\circ$	$t_{arc\ max} (=t_{arc1})$ first-pole-to-clear	1,0	1,0	(col. 5)
4	Os	Major loop rated (col. 3 and 4)	(col. 13) $-T \times d\alpha/360^\circ$	$t_{arc\ min}$ second-pole-to-clear	0,95	0,95	(col. 12)
5	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a3} - T \times d\alpha/360^\circ$	$t_{arc\ max} (=t_{arc3})$ second-pole-to-clear	0,95	0,95	(col. 12)
Figure L.2 gives an exemplary representation of the testing conditions. Column numbers refer to columns in Table L.14 or Table L.17.							
^a Where Δt_{a1} is the relevant parameter to be selected from Table L.14 or Table L.17, column 6; Δt_{a3} is the relevant parameter to be selected from Table L.14 or Table L.17, column 14; $d\alpha = 18^\circ$.							

L.4 Combination of first-pole-to-clear factors

L.4.1 General

It is recognized that some of the test conditions are more severe than those given in the tables for the respective first-pole-to-clear factor. But all the tests given in Tables L.9 to L.11 shall be performed in order to keep the equivalence with those tests specified in this standard for each test-duty.

L.4.2 Combination of first-pole-to-clear factors 1,3 and 1,5 for test duties T10, T30, T60 and T100s(b)

The corresponding tests can be found in Table L.9.

In case of failure during tests 5 or 6, the circuit-breaker may be reconditioned and tests 4 to 6 shall be repeated. The test series is passed if no further failure occurs.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 6.102.9.5 of IEC 62271-100:2008.

Table L.9 – Procedure for combining $k_{pp} = 1,3$ and 1,5 for test-duties T10, T30, T60 and T100s(b)

Test no.	Test sequence ^a	Arc duration (additional to $t_{arc\ min}$) ms ^b	Test condition (with reference to the three-phase system)	TRV			Injected current di/dt %
				RRRV p.u.	u_c value p.u.	k_{pp} p.u.	
1	Os	0	$t_{arc\ min}$ first-pole-to-clear ($k_{pp} = 1,3$ and 1,5)	1,0	1,0	1,5	100
2	Os	$-T \times d\alpha/360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	1,0	1,0	1,5	100
3	Od- t -CdOs	$T \times 42^\circ/360^\circ$	$t_{arc\ max}$ first-pole-to-clear ($k_{pp} = 1,3$ and 1,5)	1,0	1,0	1,5	100
4	CdOs	$T \times 90^\circ/360^\circ$	$t_{arc\ min}$ second-pole-to-clear ($k_{pp} = 1,3$) last-pole-to-clear ($k_{pp} = 1,5$)	0,95	0,97	1,3	89
5	Od- t -CdOs	$T \times 132^\circ/360^\circ$	$t_{arc\ max}$ second-pole-to-clear ($k_{pp} = 1,3$) last-pole-to-clear ($k_{pp} = 1,5$)	0,95	0,97	1,3	89
6	Od- t -CdOs	$T \times 162^\circ/360^\circ$	$t_{arc\ max}$ last-pole-to-clear ($k_{pp} = 1,3$)	0,70	0,77	1,3	57
For T10, T30 and T60, the Cd operation may be omitted.							
^a Abbreviations are in accordance with Table 6.							
^b Where $d\alpha = 18^\circ$.							

L.4.3 Combination of first-pole-to-clear factors 2,0 and 2,5 for test duties OP1 and OP2

The corresponding tests can be found in Table L.10.

In case of failure during tests 5 or 6, the circuit-breaker may be reconditioned and tests 4 to 6 shall be repeated. The test series is passed if no further failure occurs.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 6.102.9.5 of IEC 62271-100:2008.

**Table L.10 – Procedure for combining $k_{pp} = 2,0$ and 2,5
for test-duties OP1 and OP2**

Test no.	Test sequence ^a	Arc duration (additional to $t_{arc\ min}$) ms ^c	Test condition (with reference to the three-phase system)	TRV			Injected current di/dt %
				RRRV p.u.	u_c value p.u.	K_{pp} p.u.	
1	Os CdOs ^b	0	$t_{arc\ min}$ first-pole-to-clear ($k_{pp} = 2,0$ and 2,5)	1,0	1,0	2,5	100
2	Os CdOs ^b	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	1,0	1,0	2,5	100
3	Os	$T \times 42^\circ / 360^\circ$	$t_{arc\ max}$ first-pole-to-clear ($k_{pp} = 2,0$ and 2,5)	1,0	1,0	2,5	100
4	Os	$T \times 90^\circ / 360^\circ$	$t_{arc\ min}$ second-pole-to-clear ($k_{pp} = 2,0$) last-pole-to-clear ($k_{pp} = 2,5$)	0,95	0,97	2,0	89
5	Os	$T \times 132^\circ / 360^\circ$	$t_{arc\ max}$ second-pole-to-clear ($k_{pp} = 2,0$) last-pole-to-clear ($k_{pp} = 2,5$)	0,95	0,97	2,0	89
6	Os	$T \times 162^\circ / 360^\circ$	$t_{arc\ max}$ last-pole-to-clear ($k_{pp} = 2,0$)	0,70	0,77	2,0	57
^a Abbreviations are in accordance with Table 6. ^b Test for OP2, the Cd operation may be carried out under no-load conditions, see also Table 5. ^c Where $d\alpha = 18^\circ$.							

L.4.4 Combination of first-pole-to-clear factors 1,3 and 1,5 for test duty T100a

The corresponding tests can be found in Table L.11.

Arc durations, current loop parameters and di/dt values depending on degree of asymmetry and d.c. time constant can be found in Tables L.12, L.13, L.15 and L.16. In case of failure during tests 5 or 6, the circuit-breaker may be reconditioned and tests 4 to 6 shall be repeated. The test series is passed if no further failure occurs.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 6.102.9.5 of IEC 62271-100.

Table L.11 – Procedure for combining $k_{pp} = 1,5$ and 1,3 for test-duty T100a

Test no.	Test sequence	Asymmetry condition	Arc duration ^a (additional to $t_{arc \min}$) ms	Test condition (with reference to the three-phase system)	TRV			Injected current di/dt %
					RRRV p.u.	u_c value p.u.	k_{pp} p.u.	
1	Os	Major loop intermediate (col. 7 and 8)	0	$t_{arc \min}$ first-pole-to-clear ($k_{pp} = 1,3$ and 1,5)	1,0	1,0	1,5	(col. 9)
2	Os	Major loop intermediate (col. 7 and 8)	$-T \times da/360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc \min}$	1,0	1,0	1,5	(col. 9)
3	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a1} - T \times da/360^\circ$	$t_{arc \max}$ (= t_{arc1}) first-pole-to-clear ($k_{pp} = 1,3$ and 1,5)	1,0	1,0	1,5	(col. 5)
4	Os	Major loop rated (col. 3 and 4)	(col. 13) $-T \times da/360^\circ$	$t_{arc \min}$ second-pole-to-clear ($k_{pp} = 1,3$) last-pole-to-clear ($k_{pp} = 1,5$)	0,95	0,97	1,3	(col. 12)
5	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a3} - T \times da/360^\circ$	$t_{arc \max}$ (= t_{arc3}) second-pole-to-clear ($k_{pp} = 1,3$)	0,95	0,97	1,3	(col. 12)
6	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a2} - T \times da/360^\circ$	$t_{arc \max}$ (= t_{arc2}) last-pole-to-clear ($k_{pp} = 1,5$)	0,70	0,58	1,5	(col. 12)

Tests 1, 2, 3 and 6: Column numbers refer to columns in Table L.12 or Table L.15.

Tests 4 and 5: Column numbers refer to columns in Table L.13 or Table L.16.

Tests 5 and 6 may be combined applying test voltage of test 5 and arcing time of test 6.

^a Where

Δt_{a1} is the relevant parameter to be selected from Table L.12 or Table L.15, column 6;

Δt_{a2} is the relevant parameter to be selected from Table L.12 or Table L.15, column 14;

Δt_{a3} is the relevant parameter to be selected from Table L.13 or Table L.16, column 14;

$da = 18^\circ$.

Table L.12 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,5$, $f_r = 50$ Hz

Column 1	Column 2	First-pole-to-clear (major loop)				Intermediate asymmetry ^a			Last-pole-to-clear (major extended loop)				
		3	4	5	6	7	8	9	10	11	12	13	14
τ	Minimum clearing time	I_{peak}	Duration of the loop, Δt_{r1}	di/dr first-pole-to-clear ^b	Maximum arcing window, Δt_{a1}	I_{peak}	Duration of the loop	di/dr first-pole to clear ^b	I_{peak}	Duration of the loop, Δt_{r2}	di/dr last-pole-to-clear ^b	Minimum arcing window	Maximum arcing window Δt_{a2}
ms	ms	p.u.	ms	%	ms	p.u.	ms	%	p.u.	ms	%	ms	ms
45	10,0< t ≤27,0	1,52	13,6	92,7	4,1	1,24	11,6	99,2	1,52	15,0	82,2	5,6	10,6
	27,0< t ≤47,5	1,33	12,2	97,8	3,8	1,16	11,0	100	1,33	13,7	85,4	5,4	9,8
	47,5< t ≤68,0	1,21	11,4	99,6	3,7	1,10	10,6	100	1,21	12,9	86,5	5,2	9,2
60	10,0< t ≤27,0	1,61	14,2	86,9	4,3	1,29	11,9	97,8	1,61	15,6	78,5	5,7	11,1
	27,0< t ≤47,5	1,44	12,9	94,1	4,0	1,21	11,4	99,2	1,44	14,3	83,0	5,5	10,2
	47,5< t ≤67,5	1,31	12,1	97,4	3,8	1,15	11,0	99,8	1,31	13,6	85,1	5,4	9,7
	67,5< t ≤88,0	1,22	11,4	99,0	3,7	1,11	10,7	100	1,22	13,0	86,1	5,3	9,3
	10,0< t ≤27,0	1,67	14,8	81,8	4,4	1,33	12,1	96,7	1,67	16,1	75,3	5,8	11,3
75	27,0< t ≤47,5	1,51	13,4	90,2	4,2	1,25	11,6	98,3	1,51	14,9	80,5	5,6	10,6
	47,5< t ≤67,5	1,39	12,6	94,7	3,9	1,19	11,2	99,2	1,39	14,1	83,4	5,5	10,1
	67,5< t ≤87,5	1,30	12,0	97,2	3,8	1,15	10,9	99,6	1,30	13,5	84,9	5,3	9,7
	87,5< t ≤108	1,23	11,5	98,6	3,7	1,11	10,7	99,9	1,23	13,1	85,8	5,2	9,3
120	10,0< t ≤27,0	1,78	15,7	70,2	4,8	1,38	12,5	94,1	1,78	17,0	68,3	6,0	11,9
	27,0< t ≤47,0	1,66	14,6	80,0	4,4	1,32	12,1	96,0	1,66	15,9	74,1	5,8	11,3
	47,0< t ≤67,5	1,56	13,8	86,4	4,3	1,27	11,8	97,3	1,56	15,2	78,0	5,7	10,8
	67,5< t ≤87,5	1,47	13,2	90,6	4,1	1,23	11,5	98,1	1,47	14,6	80,7	5,6	10,4
	87,5< t ≤108	1,40	12,6	93,5	4,0	1,20	11,3	98,7	1,40	14,1	82,5	5,5	10,1

^a Intermediate asymmetry, see 3.19.

^b Corresponding di/dr at current zero (percentage of the di/dr of the symmetrical rated short-circuit current).

Table L.13 – Required test parameters for different asymmetrical conditions in the case of a $k_{pp} = 1,3$, $f_1 = 50$ Hz

		First-pole-to-clear (major loop)				Intermediate asymmetry ^a				Second-pole-to-clear (major extended loop)			
Column 1	2	3	4	5	6	7	8	9	10	11	12	13	14
τ	Minimum clearing time	I_{peak}	Duration of the loop, Δt_1	d/dt first-pole-to-clear ^b	Maximum arcing window, Δt_{a1}	I_{peak}	Duration of the loop	d/dt first-pole-to-clear ^b	I_{peak}	Duration of the loop, Δt_3	d/dt second-pole-to-clear ^b	Minimum arcing window	Maximum arcing window, Δt_{a3}
ms	ms	p.u.	ms	%	ms	p.u.	ms	%	p.u.	ms	%	ms	ms
45	10,0<=t<=27,0	1,52	13,6	92,7	4,1	1,24	11,6	99,2	1,52	14,4	84,0	5,0	10,0
	27,0<=t<=47,5	1,33	12,2	97,8	3,8	1,16	11,0	100	1,33	13,1	88,1	4,7	9,1
	47,5<=t<=88,0	1,21	11,4	99,6	3,7	1,10	10,6	100	1,21	12,3	89,5	4,5	8,6
60	10,0<=t<=27,0	1,61	14,2	86,9	4,3	1,29	11,9	97,8	1,61	15,1	79,2	4,4	10,5
	27,0<=t<=47,5	1,44	12,9	94,1	4,0	1,21	11,4	99,2	1,44	13,8	84,9	5,1	9,6
	47,5<=t<=87,5	1,31	12,1	97,4	3,8	1,15	11,0	99,8	1,31	12,9	87,5	4,9	9,1
75	67,5<=t<=88,0	1,22	11,4	99,0	3,7	1,11	10,7	100	1,22	12,3	88,8	4,7	8,6
	10,0<=t<=27,0	1,67	14,8	81,8	4,4	1,33	12,1	96,7	1,67	15,6	74,9	5,3	10,8
	27,0<=t<=47,5	1,51	13,4	90,2	4,2	1,25	11,6	98,3	1,51	14,3	81,6	5,0	10,0
120	47,5<=t<=87,5	1,39	12,6	94,7	3,9	1,19	11,2	99,2	1,39	13,4	85,2	4,8	9,4
	67,5<=t<=87,5	1,30	12,0	97,2	3,8	1,15	10,9	99,6	1,30	12,8	87,2	4,7	9,0
	87,5<=t<=108	1,23	11,5	98,6	3,7	1,11	10,7	99,9	1,23	12,4	88,3	4,6	8,7
120	10,0<=t<=27,0	1,78	15,7	70,2	4,8	1,38	12,5	94,1	1,78	16,6	65,5	5,6	11,4
	27,0<=t<=47,0	1,66	14,6	80,0	4,4	1,32	12,1	96,0	1,66	15,3	73,2	5,3	10,8
	47,0<=t<=67,5	1,56	13,8	86,4	4,3	1,27	11,8	97,3	1,56	14,6	78,3	5,1	10,3
120	67,5<=t<=87,5	1,47	13,2	90,6	4,1	1,23	11,5	98,1	1,47	14,0	81,7	5,0	9,8
	87,5<=t<=108	1,40	12,6	93,5	4,0	1,20	11,3	98,7	1,40	13,5	84,0	4,8	9,5

^a Intermediate asymmetry, see 3.19.

^b Corresponding d/dt at current zero (percentage of the d/dt of the symmetrical rated short-circuit current).

Table L.14 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1, 2$, $f_r = 50$ Hz

		First-pole-to-clear (major loop)				Intermediate asymmetry ^a			Second-pole-to-clear (major extended loop)				
Column 1	2	3	4	5	6	7	8	9	10	11	12	13	14
τ	Minimum clearing time	I_{peak}	Duration of the loop, Δt_1	di/dr first-pole-to-clear ^b	Maximum arcing window, Δt_{a1}	I_{peak}	Duration of the loop	di/dr first-pole-to-clear ^b	I_{peak}	Duration of the loop Δt_3	di/dr second-pole-to-clear ^b	Minimum arcing window	Maximum arcing window, Δt_{a3}
ms	ms	p.u.	ms	%	ms	p.u.	ms	%	p.u.	ms	%	ms	ms
120	$10,0 < \tau \leq 27,0$	1,78	15,7	70,2	4,8	1,38	12,5	94,1	1,78	16,3	65,9	5,3	11,2
	$27,0 < \tau \leq 47,0$	1,66	14,6	80,0	4,4	1,32	12,1	96,0	1,66	15,2	74,5	5,0	10,5
	$47,0 < \tau \leq 67,5$	1,56	13,8	86,4	4,3	1,27	11,8	97,3	1,56	14,4	80,0	4,8	10,0
	$67,5 < \tau \leq 87,5$	1,47	13,2	90,6	4,1	1,23	11,5	98,1	1,47	13,7	83,8	4,7	9,5
	$87,5 < \tau \leq 108$	1,40	12,6	93,5	4,0	1,20	11,3	98,7	1,40	13,2	86,3	4,5	9,1

^a Intermediate asymmetry, see 3.19.

^b Corresponding di/dr at current zero (percentage of the di/dr of the symmetrical rated short-circuit current).

^a Intermediate asymmetry, see 3.19.

b. Corresponding di/dt at current zero (percentage of the symmetrical rated short-circuit current).

Table L.15 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,5$, $f_r = 60$ Hz (1 of 2)

		First-pole-to-clear (major loop)					Intermediate asymmetry ^a			Last-pole-to-clear (major extended loop)				
Column 1	2	3	4	5	6	7	8	9	10	11	12	13	14	
τ	Minimum clearing time	I_{peak}	Duration of the loop, Δt_1	d <i>i</i> / <i>d</i> <i>t</i> first-pole-to-clear ^b	Maximum arcing window, Δt_{a1}	I_{peak}	Duration of the loop	d <i>i</i> / <i>d</i> <i>t</i> first-pole-to-clear ^b	I_{peak}	Duration of the loop, Δt_2	d <i>i</i> / <i>d</i> <i>t</i> last-pole-to-clear ^b	Minimum arcing window	Maximum arcing window, Δt_{a2}	
ms	ms	p.u.	ms	%	ms	p.u.	ms	%	p.u.	ms	%	ms	ms	
45	8,5< <i>t</i> ≤22,5	1,58	11,6	89,1	3,5	1,28	9,8	98,4	1,58	12,8	79,9	4,7	9,1	
	22,5< <i>t</i> ≤39,5	1,40	10,5	95,6	3,3	1,19	9,4	99,5	1,40	11,8	84,0	4,5	8,4	
	39,5< <i>t</i> ≤56,5	1,27	9,8	98,4	3,1	1,13	9,0	100	1,27	11,1	85,7	4,4	7,9	
	56,5< <i>t</i> ≤73,0	1,19	9,3	99,5	3,0	1,09	8,8	100	1,19	10,7	86,4	4,3	7,6	
60	8,5< <i>t</i> ≤22,5	1,66	12,2	82,8	3,7	1,32	10,0	96,9	1,66	13,3	75,9	4,8	9,4	
	22,5< <i>t</i> ≤39,5	1,50	11,1	91,0	3,4	1,24	9,6	98,5	1,50	12,4	81,0	4,7	8,8	
	39,5< <i>t</i> ≤56,5	1,38	10,4	95,3	3,3	1,18	9,3	99,3	1,38	11,7	83,7	4,5	8,3	
	56,5< <i>t</i> ≤73,0	1,29	9,9	97,6	3,1	1,14	9,1	99,7	1,29	11,2	85,2	4,4	8,0	
75	73,0< <i>t</i> ≤90,0	1,22	9,5	98,6	3,1	1,10	8,9	100	1,22	10,8	85,9	4,4	7,7	
	8,5< <i>t</i> ≤22,5	1,72	12,6	77,4	3,8	1,35	10,2	95,7	1,72	13,7	72,6	4,8	9,6	
	22,5< <i>t</i> ≤39,5	1,57	11,6	86,5	3,6	1,28	9,8	97,4	1,57	12,8	78,2	4,7	9,1	
	39,5< <i>t</i> ≤56,0	1,46	10,9	91,9	3,4	1,22	9,5	98,5	1,46	12,1	81,5	4,6	8,6	
	56,0< <i>t</i> ≤73,0	1,37	10,3	95,1	3,2	1,18	9,3	99,2	1,37	11,6	83,6	4,5	8,3	
	73,0< <i>t</i> ≤90,0	1,30	9,9	97,1	3,1	1,14	9,1	99,6	1,30	11,2	84,8	4,5	8,0	
	90,0< <i>t</i> ≤107	1,24	9,6	98,3	3,1	1,12	9,0	99,8	1,24	10,9	85,6	4,4	7,8	

4

	2	3	4	5	6	Intermediate asymmetry ^a			Last-pole-to-clear (major extended loop)				
Column 1													
τ	Minimum clearing time	I_{peak}	Duration of the loop, Δt_1	di/dt first-pole-to-clear ^b	Maximum arcing window, Δt_{a1}	I_{peak}	Duration of the loop	di/dt first-pole-to-clear ^b	I_{peak}	Duration of the loop, Δt_2	di/dt last-pole-to-clear ^b	Minimum arcing window	Maximum arcing window, Δt_{a2}
ms	ms	p.u.	ms	%	ms	p.u.	ms	%	p.u.	ms	%	ms	ms
120	8,5<= τ <22,5	1,81	13,4	65,6	4,1	1,40	10,5	93,2	1,81	14,4	65,6	5,1	10,1
	22,5< τ <39,0	1,71	12,5	75,6	3,8	1,35	10,2	95,0	1,71	13,6	71,4	4,9	9,6
	39,0< τ <56,0	1,62	11,8	82,2	3,7	1,30	10,0	96,3	1,62	13,0	75,5	4,8	9,3
	56,0< τ <73,0	1,54	11,3	87,1	3,5	1,26	9,8	97,3	1,54	12,5	78,5	4,7	8,9
	73,0< τ <89,5	1,47	10,9	90,5	3,4	1,23	9,6	98,0	1,47	12,1	80,6	4,6	8,7
	89,5<= τ <106	1,41	10,6	93,0	3,3	1,20	9,4	98,6	1,41	11,8	82,2	4,5	8,4

^a Intermediate asymmetry, see 3.19.

^b Corresponding di/dt at current zero (percentage of the di/dt of the symmetrical rated short-circuit current).

Table L.16 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,3$, $f_r = 60$ Hz (1 of 2)

		First-pole-to-clear (major loop)					Intermediate asymmetry ^a			Second-pole-to-clear (major extended loop)				
Column 1	2	3	4	5	6	7	8	9	10	11	12	13	14	
τ	Minimum clearing time	I_{peak}	Duration of the loop, Δt_1	di/dt first-pole-to-clear ^b	Maximum arcing window, Δt_{a1}	I_{peak}	Duration of the loop	di/dt first-pole-to-clear ^b	I_{peak}	Duration of the loop, Δt_3	di/dt second-pole-to-clear ^b	Minimum arcing window	Maximum arcing window, Δt_{a3}	
ms	ms	p.u.	ms	%	ms	p.u.	ms	%	p.u.	ms	%	ms	ms	
45	8,5<=22,5	1,58	11,6	89,1	3,5	1,28	9,8	98,4	1,58	12,4	81,0	4,2	8,6	
	22,5<=39,5	1,40	10,5	95,6	3,3	1,19	9,4	99,5	1,40	11,2	86,2	4,0	7,9	
	39,5<=56,5	1,27	9,8	98,4	3,1	1,13	9,0	100	1,27	10,6	88,4	3,9	7,4	
	56,5<=73,0	1,19	9,3	99,5	3,0	1,09	8,8	100	1,19	10,1	89,3	3,8	7,1	
60	8,5<=22,5	1,66	12,2	82,8	3,7	1,32	10,0	96,9	1,66	12,9	75,7	4,4	9,0	
	22,5<=39,5	1,50	11,1	91,0	3,4	1,24	9,6	98,5	1,50	11,8	82,3	4,2	8,3	
	39,5<=56,5	1,38	10,4	95,3	3,3	1,18	9,3	99,3	1,38	11,2	85,7	4,0	7,8	
	56,5<=73,0	1,29	9,9	97,6	3,1	1,14	9,1	99,7	1,29	10,6	87,6	3,9	7,5	
75	73,0<=90,0	1,22	9,5	98,6	3,1	1,10	8,9	100	1,22	10,2	88,5	3,8	7,2	
	8,5<=22,5	1,72	12,6	77,4	3,8	1,35	10,2	95,7	1,72	13,3	71,3	4,5	9,2	
	22,5<=39,5	1,57	11,6	86,5	3,6	1,28	9,8	97,4	1,57	12,3	78,6	4,3	8,6	
	39,5<=56,0	1,46	10,9	91,9	3,4	1,22	9,5	98,5	1,46	11,6	82,6	4,1	8,1	
	56,0<=73,0	1,37	10,3	95,1	3,2	1,18	9,3	99,2	1,37	11,1	85,4	4,0	7,8	
	73,0<=90,0	1,30	9,9	97,1	3,1	1,14	9,1	99,6	1,30	10,7	87,0	3,9	7,5	
	90,0<=107	1,24	9,6	98,3	3,1	1,12	9,0	99,8	1,24	10,4	88,0	3,8	7,3	

4

[illegible]

Table L.17 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1, 2, f_r \neq 60 \text{ Hz}$

		First-pole-to-clear (major loop)				Intermediate asymmetry ^a			Second-pole-to-clear (major extended loop)				
Column 1	2	3	4	5	6	7	8	9	10	11	12	13	14
τ	Minimum clearing time	I_{peak}	Duration of the loop, Δt_1	di/dr first-pole-to-clear ^b	Maximum arcing window, Δt_{a1}	I_{peak}	Duration of the loop	di/dr first-pole-to-clear ^b	I_{peak}	Duration of the loop, Δt_3	di/dr second-pole-to-clear ^b	Minimum arcing window	Maximum arcing window, Δt_{a3}
ms	ms	p.u.	ms	%	ms	p.u.	ms	%	p.u.	ms	%	ms	ms
120	8,5<I≤22,5	1,81	13,4	65,6	4,1	1,40	10,5	93,2	1,81	13,9	61,9	4,5	9,5
	22,5<I≤39,0	1,71	12,5	75,6	3,8	1,35	10,2	95,0	1,71	13,0	70,5	4,3	9,0
	39,0<I≤56,0	1,62	11,8	82,2	3,7	1,30	10,0	96,3	1,62	12,3	76,4	4,1	8,6
	56,0<I≤73,0	1,54	11,3	87,1	3,5	1,26	9,8	97,3	1,54	11,8	80,6	4,0	8,2
	73,0<I≤89,5	1,47	10,9	90,5	3,4	1,23	9,6	98,0	1,47	11,4	83,6	3,9	7,9
	89,5<I≤106	1,41	10,6	93,0	3,3	1,20	9,4	98,6	1,41	11,0	85,8	3,8	7,7

^a Intermediate asymmetry, see 3.19.

^b Corresponding di/dr at current zero (percentage of the di/dr of the symmetrical rated short-circuit current).

Table M.1 – Tolerances on test quantities for type tests

Replace Table M.1 by the following new table:

Designation of the test	Test quantity	Specified test value	Test tolerances/ limits of test values
Basic short-circuit test duty	dI/dt at current zero for T10 ^a	10 % of dI/dt at current zero of rated short-circuit breaking current	±20 %
	dI/dt at current zero for T30 ^a	30 % of dI/dt at current zero of rated short-circuit breaking current	±20 %
	dI/dt at current zero for T60 ^a	60 % of dI/dt at current zero of rated short-circuit breaking current	±10 %
	dI/dt at current zero in T100s and T100a ^a	dI/dt at current zero of rated short-circuit breaking current	+5 % 0
Critical current tests	dI/dt at current zero ^a	dI/dt at current zero of current defined in 6.107.2 of IEC 66271-100:2008	±20 %
Double earth fault tests	dI/dt at current zero ^a	dI/dt at current zero of current defined in Figure 45 of IEC 62274-100:2008	+5 % 0
Demonstration of arcing times	Medium arcing time $t_{arc\ med}$	As defined in 6.102.10	±1 ms
	Maximum arcing time $t_{arc\ max}$	As defined in 6.102.10	+0,5 ms -1
	Ultimate maximum arcing time	As defined in 6.102.10.3.101	±1 ms
	Maximum arcing time first-pole-clear t_{arc1}	As defined in 6.102.10.2.2 and 6.102.10.3.3	+0,5 ms -1
	Maximum arcing time second-pole-clear t_{arc2}	As defined in 6.102.10.2.2 and 6.102.10.3.3	+0,5 ms -1
	Maximum arcing time second-pole-clear t_{arc3}	As defined in 6.102.10.2.2 and 6.102.10.3.3	+0,5 ms -1

Designation of the test	Test quantity	Specified test value	Test tolerances/ limits of test values
Short-line fault tests	Breaking current for L_{90} ^a	90 % of the rated short-circuit current	90 % to 95 %
	di/dr at current zero for L_{90} ^a	di/dr at current zero of rated short-circuit breaking current	90 % to 92 %
	Rate of rise of the source side recovery voltage for L_{90}	90 % of the rate of rise given in Table 49 of IEC 62271-100:2008/AMD2:2017	+5 % 0
	di/dr at current zero for L_{75} ^a	di/dr at current zero of rated short-circuit breaking current	71 % to 79 %
	Rate-of-rise of the source side recovery voltage for L_{75}	75 % of the rate of rise given in Table 49 of IEC 62271-100:2008/AMD2:2017	+5 % 0
	di/dr at current zero for L_{60} ^a	di/dr at current zero of rated short-circuit breaking current	55 % to 65 %
Annex K	Rate-of-rise of the source side recovery voltage for L_{60}	60 % of the rate of rise given in Tables 1 through 5 of IEC 62271-100:2008	+5 % 0
	Maximum arcing time first-pole-to-clear	As defined in Tables K.1 to K.10	+0,5 ms -1
	Medium arcing time	As defined in Tables K.1 to K.10	±1 ms
	Minimum arcing time second-pole-to-clear	As defined in Tables K.1 to K.10	±1 ms
	Maximum arcing time second-pole-to-clear	As defined in Tables K.1 to K.10	+0,5 ms -1
Annex L	Arching time of Od during Od Cd Os, or Cd Od-Cd Os	Minimum arcing time first pole-to-clear	±2 ms
	Maximum arcing time first-pole-to-clear	As defined in Tables L.1 to L.11	+0,5 ms -1
	Medium arcing time	As defined in Tables L.1 to L.11	±1 ms
	Minimum arcing time second-pole-to-clear	As defined in Tables L.1 to L.11	±1 ms
	Maximum arcing time second-pole-to-clear	As defined in Tables L.1 to L.11	+0,5 ms -1
Out-of-phase making and breaking tests	Arching time of Od during Od Cd Os ^a or Cd Od-Cd Os	Minimum arcing time first pole-to-clear	±2 ms
	di/dr at current zero for OP1 ^a	di/dr at current zero of 30 % rated out-of-phase breaking current	±20 %
	di/dr at current zero for OP2 ^a	di/dr at current zero of rated out-of-phase breaking current	+10 % 0
Capacitive current switching tests	Frequency of the breaking current	Rated frequency	45 Hz to 65 Hz
^a These tolerances apply to current injection test circuit only.			

Annex N (informative) Typical test circuits for metal-enclosed and dead tank circuit-breakers

Replace the title of this annex by the following:

Examples of test circuits for metal-enclosed and dead tank circuit-breakers

Replace the existing text before Figure N.1 by the following:

This annex outlines some examples of synthetic test circuits for type testing relevant to short-circuit making, breaking and switching performance of metal-enclosed and dead tank circuit-breakers. Test procedures applicable for metal-enclosed and dead tank circuit-breakers are described in Annex O of IEC 62271-100:2008/AMD2:2017.

Many circuits are possible with different features. Some examples are given in Figures N.1 to N.9 as follows:

- terminal fault tests on one or more units of metal-enclosed or dead tank circuit-breakers (Figures N.1 to N.4);
- capacitive current switching tests (Figures N.5 to N.7);
- full pole terminal fault tests with voltage applied to both terminals and the metal enclosure (Figure N.9).

Figure N.1 – Test circuit for unit testing (circuit-breaker with interaction due to gas circulation)

Replace the title of subfigure N.1a by the following:

a – Example of an injection circuit with voltage circuit in parallel with the unit(s) under test

Replace the title of subfigure N.1b by the following:

b – Example of an injection circuit with voltage circuit in parallel with the unit(s) used as auxiliary circuit-breaker

Replace the main title of Figure N.1 by the following:

Figure N.1 – Example of a test circuit for unit testing (circuit-breaker with interaction due to gas circulation)

Figure N.2 – Half-pole testing of a circuit-breaker in test circuit given by Figure N.1 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure

Replace the text below the left-hand figure of Figure N.2 by the following:

Example of voltage waveshapes in a current injection circuit, in accordance with Figure N.1a, with the voltage circuit in parallel with the unit(s) as test circuit-breaker

Replace the text below the right-hand figure of Figure N.2 by the following:

Example of voltage waveshapes in a voltage injection circuit, in accordance with Figure N.1b, with the voltage circuit in parallel with the unit(s) as auxiliary circuit-breaker

Replace the main title of Figure N.2 by the following:

Figure N.2 – Oscillogram corresponding to Figure N.1 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure

Figure N.3 – Synthetic test circuit for unit testing (if unit testing is allowed as per 6.102.4.2 of IEC 62271-100:2008)

Replace the title of subfigure N.3a by the following:

a – Example of an injection circuit with voltage circuit in parallel with the unit(s) under test

Replace the title of subfigure N.3b by the following:

b – Example of an injection circuit with voltage circuit in parallel with the auxiliary circuit-breaker

Replace the main title of Figure N.3 by the following:

**Figure N.3 – Example of a synthetic test circuit for unit testing
(if unit testing is allowed as per 6.102.4.2 of IEC 62271-100:2008/AMD1:2012)**

Figure N.4 – Half-pole testing of a circuit-breaker in the test circuit of Figure N.3 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure

Replace the title of Figure N.4 by the following:

Figure N.4 – Oscillogram corresponding to Figure N.3 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure

Figure N.5 – Capacitive current injection circuit with enclosure of the circuit-breaker energized

Replace the title of Figure N.5 by the following:

Figure N.5 – Example of a capacitive current injection circuit with enclosure of the circuit-breaker energized

Figure N.6 – Capacitive synthetic circuit using two power-frequency sources and with the enclosure of the circuit-breaker energized

Replace the title of Figure N.6 by the following:

Figure N.6 – Example of a capacitive synthetic circuit using two power-frequency sources and with the enclosure of the circuit-breaker energized

Figure N.7 – Capacitive synthetic current injection circuit – Example of unit testing on half a pole of a circuit-breaker with two units per pole – Enclosure energized with d.c. voltage source

Replace the title of Figure N.7 by the following:

Figure N.7 – Example of a capacitive synthetic current injection circuit – Unit testing on half a pole of a circuit-breaker with two units per pole – Enclosure energized with d.c. voltage source

Figure N.8 – Symmetrical synthetic test circuit for out-of-phase switching tests on a complete pole of a circuit-breaker

Delete the entire figure and title.

Figure N.9 – Full pole test with voltage applied to both terminals and the metal enclosure

Replace the title of Figure N.9 by the following:

Figure N.9 – Example of a full pole test with voltage applied to both terminals and the metal enclosure

O.1 Current injection methods

Replace "Annex B of this standard" by "IEC 62271-306".

O.2 Voltage injection methods

Replace "Annex C of this standard" by "IEC 62271-306".

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2012/AMD1:2017

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2012/AMD1:2017

AVANT-PROPOS

Le présent amendement a été établi par le sous-comité 17A: Appareils de connexion, du comité d'études 17 de l'IEC: Appareillage haute tension.

Le texte de cet amendement est issu des documents suivants:

FDIS	Rapport de vote
17A/1149/FDIS	17A/1154/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cet amendement.

Le comité a décidé que le contenu de cet amendement et de la publication de base ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

Le contenu du corrigendum de janvier 2018 a été pris en considération dans cet exemplaire.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

INTRODUCTION à l'Amendement

Cet amendement inclut les modifications techniques majeures suivantes:

- la procédure d'essai pour la séquence d'essais T100a a été alignée sur celle de l'IEC 62271-100;
- les Annexes A à D ont été transférées vers l'IEC 62271-306;
- l'Annexe I a été révisée et comprend désormais l'Annexe P de l'IEC 62271-100;
- les Annexes K, L et N ont été révisées.

2 Références normatives

Remplacer la référence existante à l'IEC 62271-100:2008 par la nouvelle référence suivante:

IEC 62271-100:2008, *Appareillage à haute tension – Partie 100: Disjoncteurs à courant alternatif*

IEC 62271-100:2008/AMD 1:2012

IEC 62271-100:2008/AMD 2:2017

3.17

durée minimale d'interruption

Remplacer l'ensemble du terme, de la définition, de la note et de la source comme suit:

3.17

(vide)

Ajouter, après la définition 3.18, un nouveau terme et sa définition comme suit:

3.19

asymétrie intermédiaire

niveau d'asymétrie dans les deux autres phases ayant un niveau d'asymétrie (intermédiaire) réduit lorsque dans un réseau triphasé, le courant de court-circuit est initié simultanément dans toutes les phases et que l'asymétrie maximale est obtenue dans l'une des phases

4.1.2 Période de fort courant

Remplacer le paragraphe entier par ce qui suit:

Les tolérances sur l'amplitude et la fréquence industrielle du courant de coupure présumé sont indiquées en 6.103.2 et 6.104.3 de l'IEC 62271-100:2008. Par conséquent, les conditions suivantes concernant le courant réel circulant dans le disjoncteur en essai doivent être satisfaites:

- pour les essais symétriques, l'amplitude du courant et la durée de la dernière alternance ne doivent pas être inférieures à 90 % des valeurs exigées issues du courant de la séquence d'essais prise en considération;
- pour les séquences d'essais de défaut proche en ligne (SLF) et les séquences T100s et T100a lorsqu'elles sont mises en œuvre avec TTRI, le produit de l'amplitude du courant et de la durée de la dernière alternance ne doit pas être inférieur à 95 % des valeurs exigées issues du courant de la séquence d'essais prise en considération;
- pour les essais asymétriques, l'amplitude du courant et la durée de la dernière alternance doivent être comprises entre 90 % et 110 % des valeurs exigées, issues du courant de la séquence d'essais prise en considération et de la constante de temps (voir Tableaux L.12 à L.17).

Dans de rares cas, lorsque la tension appliquée provenant de la source fort courant présente la même amplitude que la tension d'essai exigée dans un circuit d'essais directs, un écart plus important de la dernière alternance de courant est accepté, à condition que l'alternance de courant présumée, en présence de l'arc du disjoncteur auxiliaire, soit comprise dans les limites de tolérance spécifiées.

4.1.4 Période de haute tension

Remplacer la première phrase du premier tiret par ce qui suit:

La valeur initiale de la tension de rétablissement à fréquence industrielle, à l'exclusion des oscillations transitoires, ne doit pas être inférieure à la valeur initiale équivalente de la tension de rétablissement à fréquence industrielle indiquée en 6.104.7 de l'IEC 62271-100:2008 qui, pour un essai avec un courant symétrique, apparaît avec une valeur crête minimale de $0,95 \times k_{pp} \times U_r \sqrt{2/3}$.

4.2.1 Méthodes par injection de courant

Remplacer, dans la première phrase, «(voir Annexe B)» par «(voir IEC 62271-306)».

Ajouter, après le deuxième tiret, les nouvelles phrases suivantes:

La méthode par injection de courant est obligatoire pour:

- les séquences d'essais de défaut proche en ligne;
- les séquences T100s et T100a lorsqu'elles sont mises en œuvre avec TTRI.

Le temps pendant lequel l'arc est alimenté uniquement par le courant injecté doit être considéré comme faisant partie de la durée de la dernière alternance de courant.

Remplacer l'alinéa en dessous du deuxième tiret par ce qui suit:

Si un quelconque dispositif ayant un pouvoir de coupure coupe le courant traversant le disjoncteur en essai en même temps que le disjoncteur en essai, la méthode n'est pas une méthode par injection de courant valide.

Remplacer, au point c), «(voir Annexe B)» par «(voir IEC 62271-306)».

4.2.2 Méthode par injection de tension

Remplacer, dans la première phrase, «(voir aussi Annexe C)» par «(voir IEC 62271-306)».

Supprimer la phrase en dessous du troisième tiret de la première liste.

4.2.3 Circuit de Skeats (ou par transformateur)

Remplacer, dans la première phrase, «(voir aussi Annexe D)» par «(voir IEC 62271-306)».

Supprimer l'avant-dernier alinéa:

Remplacer, dans le dernier alinéa, «(voir Annexe D)» par «(voir IEC 62271-306)».

4.2.4 Autres méthodes d'essais synthétiques

Supprimer les deux derniers alinéas.

Tableau 3 – Paramètres d'essais pendant la coupure triphasée pour les séquences T10, T30, T60 et T100s, $k_{pp} = 1,3$

Remplacer «98» par «97» (3 occurrences).

5.2.2 Circuit d'essai

Remplacer la deuxième phrase du premier alinéa par ce qui suit:

Des exemples de circuits présentant des formes d'ondes de tension et de courant sont donnés aux Figures 5 et 6 pour le monophasé et à la Figure 7 pour le triphasé.

6 Exigences spécifiques pour les essais synthétiques de fermeture et de coupure relatives aux exigences de 6.102 à 6.111 de la CEI 62271-100:2008

Remplacer le titre existant par le nouveau titre suivant:

6 Essais de type

Ajouter, avant le texte existant de cet article, le nouveau titre suivant:

6.1 Généralités

Remplacer le deuxième alinéa par les nouveaux alinéas et le nouveau tableau suivants:

Les exigences relatives aux essais des disjoncteurs sous enveloppe métallique et à cuve mise à la terre sont données dans l'Annexe N.

Les exigences générales applicables aux disjoncteurs équipés de résistances d'ouverture sont données dans l'Annexe R de l'IEC 62271-100:2008/AMD1:2012. Une méthode d'essai pour les disjoncteurs équipés de résistances d'ouverture est présentée à l'Annexe F.

Les abréviations données dans le Tableau 6 sont utilisées pour préciser les manœuvres à réaliser.

Tableau 6 – Abréviations utilisées pour les manœuvres à réaliser pendant les essais synthétiques

Cd	Manœuvre de fermeture dans un circuit direct à la tension du circuit de courant qui peut être inférieure à la tension spécifiée en 6.104.1 de l'IEC 62271-100:2008
(Cd)	Manœuvre de fermeture semblable à Cd, qui peut être effectuée à vide
Cd _{asy}	Manœuvre de fermeture avec le pouvoir d'établissement assigné en court-circuit selon 6.104.2 de l'IEC 62271-100:2008/AMD2:2017 dans un circuit direct aux conditions décrites en Cd
Cs _{sym}	Manœuvre de fermeture avec un courant symétrique égal au pouvoir de coupure assigné en court-circuit, effectuée à la tension appliquée exigée dans un circuit d'essais synthétiques
Od	Manœuvre de coupure à la tension du circuit de courant uniquement et avec le courant de coupure spécifié
Os	Manœuvre de coupure avec des paramètres spécifiés dans un circuit d'essais synthétiques
<i>t</i>	Intervalle de temps entre les manœuvres (0,3 s ou 3 min selon la séquence de manœuvre assignée)
<i>t'</i>	Intervalle de temps entre les manœuvres (3 min)
<i>t''</i>	Intervalle de temps entre les manœuvres (15 s)
SP	Essai monophasé tel que défini en 6.108 de l'IEC 62271-100:2008/AMD2:2017
DEF	Essai de double défaut à la terre tel que défini en 6.108 de l'IEC 62271-100:2008/AMD2:2017
NOTE Du fait des caractéristiques des essais synthétiques, il peut être difficile de satisfaire aux intervalles de temps spécifiés des séquences de manœuvres assignées. Voir 6.105.1 de l'IEC 62271-100:2008/AMD1:2008.	

Pour satisfaire à toutes les exigences d'essai, il peut être nécessaire de réaliser plus de manœuvres que spécifié dans la séquence d'essais normale. Dans de tels cas, le disjoncteur peut être remis en état et la séquence d'essais répétée.

6.102.10 Démonstration des durées d'arc

Remplacer le paragraphe par ce qui suit:

6.102.10 Démonstration des durées d'arc

6.102.10.1 Généralités

Les exigences de base à satisfaire sont spécifiées en 6.102.10 de l'IEC 62271-100:2008/AMD2:2017.

De manière à pouvoir réaliser les essais synthétiques avec les mêmes bases que les essais directs, il sera normalement nécessaire d'utiliser les méthodes spéciales de réallumage pour maintenir l'arc du disjoncteur en essai pendant le nombre nécessaire de zéros du courant à fréquence industrielle. L'Annexe H donne des méthodes de réallumage permettant la prolongation de l'arc.

La méthode «pas à pas», décrite en Annexe H, est celle utilisée dans la plupart des essais synthétiques. Elle est considérée comme étant une approximation suffisamment proche de la procédure d'essais directs.

La durée d'arc est prolongée par réallumages thermiques. Etant donné que cette méthode permet d'imposer que le disjoncteur en essai se réallume en toutes circonstances, on doit veiller à ne pas réallumer le disjoncteur à un zéro de courant où il peut interrompre. Pour cela, il est nécessaire de déterminer pour chaque séquence d'essais de défaut aux bornes, de défaut proche en ligne et de discordance de phase, la durée d'arc minimale du disjoncteur. Au moins deux essais de coupure, une interruption et un réallumage, sont nécessaires à cette détermination.

L'interruption à la durée d'arc minimale est la première coupure valable. L'autre essai est réalisé pour prouver que le réallumage à un zéro de courant prématuré se produirait entre les contacts d'arc. Cet essai de réallumage ne doit pas être le dernier de la séquence d'essais.

Pour les manœuvres Od, une tolérance de ± 2 ms sur la durée d'arc s'applique.

Les essais supplémentaires nécessaires pour prouver le comportement correct aux zéros de courant prématurés ne contribueront généralement que dans une faible mesure à l'usure des contacts, etc., étant donné la courte durée d'arc. C'est pourquoi il convient de ne pas nécessairement remettre en état l'appareil du fait de ces essais.

Le ou les réallumage(s) obtenu(s) durant la détermination de la durée d'arc minimale n'indique(nt) pas un défaut du disjoncteur. Cependant, il est important de vérifier que ce réallumage s'est produit entre les contacts d'arc uniquement. Lorsque l'on utilise une méthode par injection de courant, la coupure du courant injecté quelques alternances après le réallumage est souvent un moyen utile d'appréciation. Il convient aussi d'effectuer l'examen détaillé des écrans, des contacts d'arc et des contacts principaux, etc., pour vérifier que le comportement est correct.

NOTE Lors de l'exécution des manœuvres Od-COs ou COd-COs, la première manœuvre d'ouverture est réalisée dans un circuit d'essais directs. Il convient que cette première manœuvre d'ouverture représente la durée d'arc minimale obtenue pour des manœuvres d'ouverture uniques. Dans le cas où la durée d'arc de cette première manœuvre d'ouverture est plus longue que prévu, l'essai est considéré comme plus contraignant.

La durée minimale de coupure pour la séquence d'essais T100a est validée par la durée d'arc minimale d'une coupure après une grande alternance avec une asymétrie intermédiaire.

6.102.10.2 Essais triphasés

Selon le circuit d'essai utilisé, les procédures d'essais données ici peuvent ne pas couvrir les conditions du troisième pôle qui coupe pour les réseaux mis directement à la terre ($k_{pp} = 1,3$). Pour ce cas, les mêmes procédures peuvent être appliquées, avec l'accord du constructeur, en combinant les paramètres de TTR et de di/dt pour le deuxième pôle qui coupe et la durée d'arc correspondant au troisième pôle qui coupe. En variante, un essai supplémentaire peut être réalisé avec la TTR, di/dt et la durée d'arc maximale correspondant au troisième pôle qui coupe.

Pour les autres procédures d'essais des disjoncteurs sous enveloppes multiples avec des caractéristiques de mécanisme d'entraînement qui nécessitent un courant triphasé, voir l'Annexe K.

6.102.10.2.1 Séquences d'essais T10, T30, T60, T100s, T100s(b)

La procédure d'essai est la suivante:

Pour la commodité des essais, le pôle de la phase A est maintenu comme le premier pôle qui coupe.

Premièrement, la durée d'arc minimale et le comportement de réallumage correct sont établis. Cela est réalisé en modifiant le réglage de l'ordre d'ouverture par pas de 18° (il est possible qu'il faille répéter cela plusieurs fois). Après avoir effectué cela, le réglage de la commande de l'ordre d'ouverture doit être avancé d'environ 40° , en commençant par la durée d'arc la plus courte avec laquelle le disjoncteur a coupé. Pour le dernier essai, le réglage de la commande de l'ordre d'ouverture doit être avancé d'environ 20° , en commençant par la durée d'arc la plus courte avec laquelle le disjoncteur a coupé:

- première manœuvre de coupure valable: $t_{\text{arc min}}$, durée d'arc minimale en phase A;
- essai de réallumage: $t_{\text{arc reig}} = t_{\text{arc min}} - 18^\circ$, réallumage en phase A;
- deuxième manœuvre de coupure valable: $t_{\text{arc max}} = t_{\text{arc min}} + 40^\circ$, durée d'arc maximale en phase A;
- troisième manœuvre de coupure valable: $t_{\text{arc med}} = t_{\text{arc min}} + 20^\circ$, durée d'arc moyenne en phase A.

La première manœuvre de coupure valable et l'essai de réallumage se composent de manœuvres simples d'ouverture. Les deuxième et troisième manœuvres de coupures valables sont effectuées comme partie de la séquence de manœuvre assignée. Si la séquence de manœuvre assignée est CO-15s-CO, la troisième manœuvre de coupure valable n'est pas exigée (voir 6.102.10 de l'IEC 62271-100:2008/AMD2:2017).

A titre de comparaison avec les réglages de durée d'arc utilisés dans les essais directs triphasés, voir la Figure 8.

6.102.10.2.2 Séquence d'essais T100a

L'objectif est de démontrer, à travers une série d'essais de coupure, les exigences a) et b) telles qu'elles sont définies en 6.102.10.2.2 de l'IEC 62271-100:2008/AMD2:2017:

- condition a), selon laquelle l'extinction d'arc survient dans le premier pôle qui coupe à la fin d'une grande alternance dans la première phase avec les critères d'asymétrie exigés et avec la plus longue durée d'arc t_{arc1} possible;
- condition b), selon laquelle l'extinction d'arc survient à la fin d'une grande alternance rallongée dans le dernier pôle qui coupe ou dans le deuxième pôle qui coupe avec les critères d'asymétrie exigés et avec la plus longue durée d'arc t_{arc2} et t_{arc3} possible, comme suit:
 - la plus longue durée d'arc t_{arc2} possible s'applique au dernier pôle qui coupe pour les disjoncteurs présentant une valeur assignée de $k_{\text{pp}} = 1,5$;
 - la plus longue durée d'arc t_{arc3} possible s'applique au deuxième pôle qui coupe pour les disjoncteurs présentant une valeur assignée de $k_{\text{pp}} = 1,3$ ou $1,2$

La procédure d'essai pour les essais triphasés est la suivante:

Afin de simplifier la procédure d'essai, le pôle en phase A est maintenu comme le premier pôle qui coupe. Par conséquent, le pôle en phase C est soumis à une usure électrique accrue. Afin d'obtenir une usure électrique similaire sur les pôles des phases B et C, les essais peuvent être réalisés en échangeant les pôles des phases B et C pour la deuxième manœuvre de coupure.

Premièrement, la durée d'arc minimale $t_{\text{arc min}}$ (Figures 9 et 10, premier essai) et le comportement de réallumage (Figures 9 et 10, deuxième essai) doivent être démontrés en

présence d'une asymétrie intermédiaire dans la phase A (Tableaux L.12 à L.17, colonnes 7, 8 et 9), la grande alternance rallongée survenant dans la phase C. Cette opération s'effectue en modifiant le réglage de l'ordre d'ouverture par pas de $d\alpha = 18^\circ$ (il est possible qu'il faille répéter cela plusieurs fois).

Avant la manœuvre suivante, l'initiation du courant de court-circuit doit être avancée de 60° lorsque l'asymétrie exigée est transposée en phase A (Figures 9 et 10, troisième essai). L'extinction d'arc doit survenir dans la phase A, le premier pôle qui coupe à la fin d'une grande alternance avec les critères d'asymétrie exigés et avec la durée d'arc maximale, démontrant la condition a) mentionnée ci-dessus.

La durée d'arc maximale t_{arc1} pour le premier pôle qui coupe est atteinte lorsque la condition suivante est satisfaite:

$$t_{arc1} = t_{arc \min} + \Delta t_{a1} - T \times d\alpha/360^\circ$$

Dans la manœuvre suivante, l'initiation du courant de court-circuit doit être retardée de 60° . En conséquence, l'asymétrie exigée est transposée en phase C. L'extinction d'arc doit survenir dans la phase C à la fin d'une grande alternance rallongée avec les critères d'asymétrie exigés et avec la durée d'arc maximale, démontrant la condition b) mentionnée ci-dessus:

- la durée d'arc maximale t_{arc2} du dernier pôle qui coupe pour les disjoncteurs destinés à être utilisés dans des réseaux à neutre non effectivement à la terre (Figure 9, quatrième essai) est atteinte lorsque la condition suivante est satisfaite:

$$t_{arc2} = t_{arc \min} + \Delta t_{a2} - T \times d\alpha/360^\circ$$

- la durée d'arc maximale t_{arc3} du deuxième pôle qui coupe pour les disjoncteurs destinés à être utilisés dans des réseaux à neutre effectivement à la terre (Figure 10, quatrième essai) est atteinte lorsque la condition suivante est satisfaite:

$$t_{arc3} = t_{arc \min} + \Delta t_{a3} - T \times d\alpha/360^\circ$$

où Δt_{a1} , Δt_{a2} , Δt_{a3} sont les paramètres de temps applicables à choisir dans les Tableaux L.12 à L.17.

L'ordre des deux dernières manœuvres de coupure n'a pas d'importance.

Certains disjoncteurs ne coupent pas à la fin d'une grande alternance après la durée d'arc exigée. Néanmoins, cet essai est valable si le disjoncteur coupe après la petite alternance suivante, qui devient le dernier pôle qui coupe. Les paramètres correspondants pour le dernier pôle qui coupe doivent être appliqués.

Pour une comparaison avec les réglages d'arc utilisés dans les essais directs triphasés, voir les Figures 9 et 10.

6.102.10.3 Essais monophasés en substitution des essais triphasés, des essais en discordance de phase et des essais de défaut proche en ligne

6.102.10.3.1 Généralités

Les procédures décrites en 6.102.10.3 de l'IEC 62271-100:2008/AMD2:2017 sont applicables avec les modifications suivantes. Ces procédures visent à démontrer les conditions du premier pôle qui coupe, du deuxième pôle qui coupe et du troisième pôle qui coupe, avec les paramètres de courant et de tension applicables pour le premier pôle qui coupe.

6.102.10.3.3 Séquence d'essais T100a

La procédure d'essai est la suivante.

La durée d'arc minimale $t_{\text{arc min}}$ et le comportement de réallumage doivent être démontrés avec la grande alternance à une asymétrie intermédiaire (Tableaux L.12 à L.17, colonnes 8 et 9). Cette opération s'effectue en modifiant le réglage de l'ordre d'ouverture par pas de 18° (il est possible qu'il faille répéter cela plusieurs fois).

Deux manœuvres de coupure doivent ensuite être réalisées à une asymétrie exigée tel que décrit ci-dessous. Les colonnes 3 et 4 des Tableaux L.12 à L.17 donnent les valeurs exigées du courant crête de court-circuit et de la durée de l'alternance qui doivent être atteintes dans la dernière alternance avant la coupure.

Une manœuvre de coupure correspondant à la condition a) de 6.102.10.2.2 de l'IEC 62271-100:2008/AMD2:2017 doit démontrer la coupure à la fin de la grande alternance avec une durée d'arc équivalente à la durée d'arc maximale dans les conditions triphasées t_{arc1} du premier pôle qui coupe.

La durée d'arc maximale t_{arc1} pour le premier pôle qui coupe est atteinte lorsque la condition suivante est satisfaite:

$$t_{\text{arc1}} = t_{\text{arc min}} + \Delta t_{a1} - T \times d\alpha/360^\circ$$

Une autre manœuvre de coupure correspondant à la condition b) de 6.102.10.2.2 de l'IEC 62271-100:2008/AMD2:2017 doit démontrer la coupure à la fin de la grande alternance avec une durée d'arc équivalente à la durée d'arc maximale dans les conditions triphasées:

- la durée d'arc maximale t_{arc2} du dernier pôle qui coupe pour les disjoncteurs destinés à être utilisés dans des réseaux à neutre non effectivement à la terre ($k_{\text{pp}} = 1,5$) est atteinte lorsque la condition suivante est satisfaite:

$$t_{\text{arc2}} = t_{\text{arc min}} + \Delta t_{a2} - T \times d\alpha/360^\circ$$

- la durée d'arc maximale t_{arc3} du deuxième pôle qui coupe pour les disjoncteurs destinés à être utilisés dans des réseaux à neutre effectivement à la terre ($k_{\text{pp}} = 1,3$ ou $k_{\text{pp}} = 1,2$) est atteinte lorsque la condition suivante est satisfaite:

$$t_{\text{arc3}} = t_{\text{arc min}} + \Delta t_{a3} - T \times d\alpha/360^\circ$$

où Δt_{a1} , Δt_{a2} , Δt_{a3} sont les paramètres de temps applicables à choisir dans les Tableaux L.12 à L.17.

Les deux dernières manœuvres de coupure peuvent être effectuées dans n'importe quel ordre.

Étant donné que certains disjoncteurs ne coupent pas à l'issue de la grande alternance, un essai est encore valable si le disjoncteur coupe après la petite alternance suivante.

6.102.10.3.5 Séparation des séquences d'essais en séries d'essai en tenant compte de la TTR exacte de chaque pôle qui coupe

Les procédures décrites en 6.102.10.3.5 de l'IEC 62271-100:2008/AMD2:2017 s'appliquent et la procédure d'essai pour les essais synthétiques est donnée à l'Annexe L.

6.102.10.3.101 Procédure modifiée applicable lorsque le disjoncteur ne coupe pas lors d'un essai avec une durée d'arc moyenne, lors des essais de coupure avec un courant symétrique

Si le disjoncteur ne coupe pas au zéro de courant attendu lors d'une manœuvre de coupure avec un courant symétrique et une durée d'arc moyenne, il est nécessaire de réaliser une manœuvre de coupure supplémentaire.

La manœuvre de coupure doit démontrer l'interruption avec la «durée d'arc maximale ultime» $t_{\text{arc ult max}}$, à savoir:

$$t_{\text{arc ult max}} = t_{\text{arc med}} + T \times (150 / 360), \text{ si } k_{\text{pp}} = 1,5$$

$$t_{\text{arc ult max}} = t_{\text{arc med}} + T \times (180 / 360), \text{ si } k_{\text{pp}} = 1,3, 1,2 \text{ ou } 1,0$$

où

$t_{\text{arc med}}$ est la durée d'arc moyenne à laquelle le disjoncteur n'a pas coupé.

$t_{\text{arc ult max}}$ est la durée d'arc maximale ultime.

Si le disjoncteur ne coupe pas pendant cette manœuvre de coupure supplémentaire, il est admis de procéder à des travaux de maintenance sur le disjoncteur conformément au 6.102.9.5 de l'IEC 62271-100:2008/AMD2:2017 et de répéter la séquence d'essais au cours de laquelle la manœuvre de coupure avec la durée d'arc moyenne est remplacée par la manœuvre de coupure avec la durée d'arc maximale ultime.

Pour les séquences d'essais T10, T30, T60, L₉₀, L₇₅ et L₆₀, la $t_{\text{arc ult max}}$ est démontrée avec (Cd)Os.

Pour la séquence d'essais T100s, la $t_{\text{arc ult max}}$ est démontrée avec CdOs.

Pour les séquences d'essais OP1 et OP2, la $t_{\text{arc ult max}}$ est démontrée avec Os.

6.106 Séquences d'essais de court-circuit fondamentales

Supprimer le deuxième alinéa et la liste des abréviations.

6.106.5 Séquence d'essais T100a

Remplacer le deuxième alinéa du point a) par ce qui suit:

Les valeurs exigées du courant crête de court-circuit et de la durée de l'alternance doivent être conformes aux valeurs des Tableaux L.12 à L.17.

Supprimer le quatrième alinéa du point a) commençant par «Il convient d'utiliser le niveau d'asymétrie requise».

Remplacer le troisième alinéa du point b) par ce qui suit:

Les valeurs corrigées correspondantes sont indiquées dans les Tableaux L.12 à L.17.

Remplacer la dernière phrase de 1) du point c) par ce qui suit:

Voir l'Annexe I pour des préconisations complémentaires.

Remplacer le dernier alinéa de 2) du point c) par ce qui suit:

Différents circuits d'essai pour différentes conditions d'asymétrie peuvent être nécessaires afin d'obtenir les valeurs exigées. Un essai avec un seul circuit d'essai peut produire des contraintes excessives sur le disjoncteur et exige l'accord du constructeur.

Ajouter l'alinéa suivant au point c):

- 3) La valeur de u_c et la VATR pour le deuxième pôle qui coupe et le dernier pôle qui coupe sont obtenues à partir des valeurs respectives en conditions de symétrie diminuées du même facteur que le di/dt correspondant.

Ajouter, à la fin de la liste, le nouveau point e) suivant:

e) Asymétrie intermédiaire

La phase avec l'asymétrie intermédiaire exigée pour les essais T100a selon 6.102.10.2.2 et 6.102.10.3.3 fait référence, dans un réseau triphasé, à la phase dont le zéro de courant apparaît juste avant le zéro de courant de la phase avec l'asymétrie exigée. Cette phase commence également avec une grande alternance de courant, au moment de l'initiation du courant. À titre d'exemple, la phase de couleur rouge dans les essais 1 et 2 des Figures 9 et 10 (essai synthétique, partie droite des figures) remplit cette condition d'asymétrie intermédiaire.

Dans cette phase particulière, les grandes alternances sont appelées grandes alternances intermédiaires.

Les paramètres de la grande alternance intermédiaire sont indiqués dans les Tableaux L.12 à L.17.

6.109 Essais de défaut proche en ligne

Remplacer le troisième alinéa par ce qui suit:

La dernière alternance de courant avant l'interruption doit avoir une amplitude égale au courant d'essai fois $\sqrt{2}$ avec une tolérance de $\pm 10\%$ y compris les dispositions de 4.1.2.

6.111.2 Généralités

Supprimer le titre et le texte existants.

6.111.3 Caractéristiques des circuits d'alimentation

Remplacer le deuxième alinéa par ce qui suit:

Les effets d'arrachement du courant décrits en G.7 peuvent modifier la tension de rétablissement lors des essais d'établissement et de coupure de courants capacitifs.

Ajouter, après le deuxième alinéa, le nouvel alinéa suivant:

Un circuit d'essai avec un circuit de courant de 50 Hz peut être utilisé pour prouver la capacité d'établissement et de coupure de courants capacitifs pour des caractéristiques assignées de 60 Hz, à condition que la tension de rétablissement satisfasse aux exigences de 60 Hz (voir 6.111.3 de l'IEC 62271-100:2008/AMD2:2017). Il convient que le réglage de la séparation des contacts soit basé sur la fréquence du circuit de courant.

6.111.7 Tension d'essai

Remplacer le texte existant par ce qui suit:

La tension de rétablissement présumée lors des essais synthétiques d'établissement et de coupure de courants capacitifs doit être calculée en fonction de la tension d'essai de l'essai direct monophasé correspondant, tel que défini en 6.111.7 de

l'IEC 62271-100:2008/AMD2:2017, et satisfaire aux exigences de 6.111.10 de l'IEC 62271-100:2008/AMD2:2017.

En raison des limitations de certains circuits d'essai synthétiques, les exigences supplémentaires suivantes s'appliquent à la tension de rétablissement:

- Il convient de maintenir la valeur de crête de la composante alternative de la tension de rétablissement aussi proche que possible de $k_c \times U_r \sqrt{2/\sqrt{3}}$;
- La composante continue de la tension de rétablissement ne doit pas décroître de plus de 10 % dans un intervalle de 0,3 s après l'extinction d'arc finale, sauf pour la séquence d'essais LC1 et/ou CC1;
- La tension de rétablissement ne doit pas tomber au-dessous de $1,5 \times k_c \times U_r \sqrt{2/\sqrt{3}}$ dans un intervalle de 0,1 s après l'extinction d'arc finale.

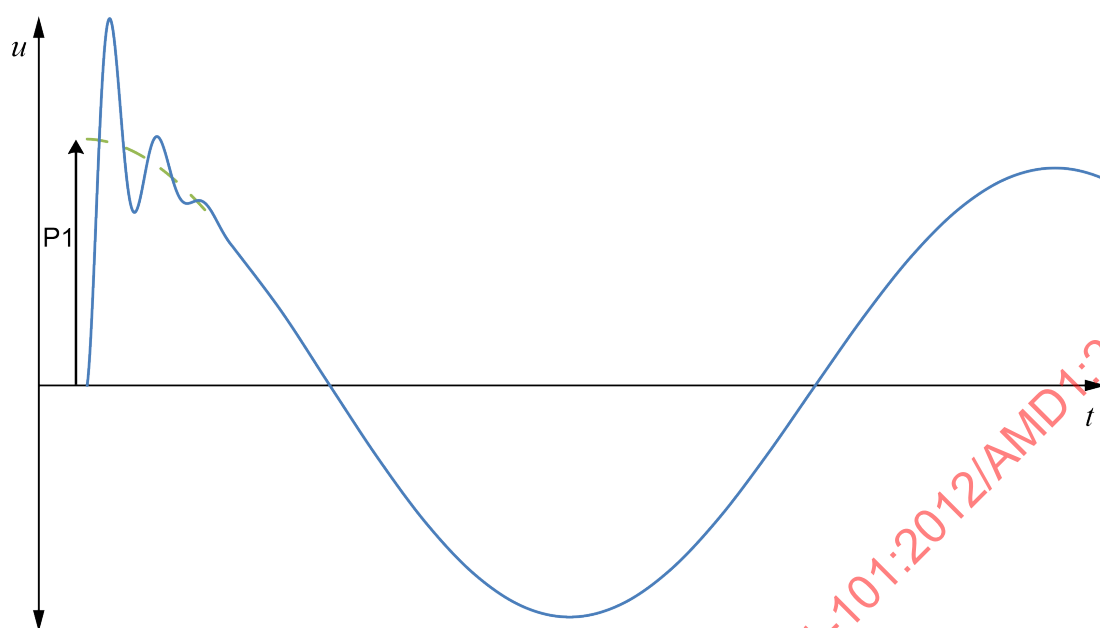
Une représentation graphique est donnée à la Figure 8.

Des exemples de circuits d'essais synthétiques d'établissement et de coupure de courants capacitifs sont donnés à l'Annexe G.

Figure 2 – Exemples d'évaluation de la tension de rétablissement

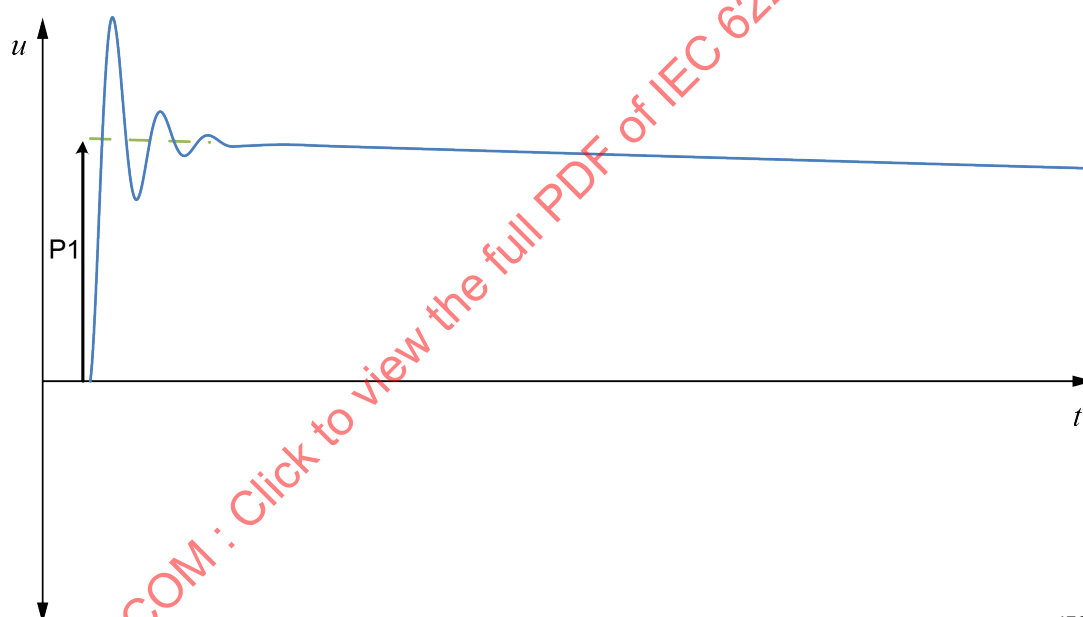
Remplacer la Figure 2 par ce qui suit:

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2012/AMD1:2017



IEC

a) Exemple d'une tension de rétablissement à fréquence industrielle



IEC

b) Exemple d'une tension de rétablissement en courant continu en régime établi

P1 Point de la valeur initiale de la tension de rétablissement (à fréquence industrielle ou en courant continu en régime établi),

$$\geq 0,95 \times k_{pp} \times U_r \times \sqrt{\frac{2}{3}}$$

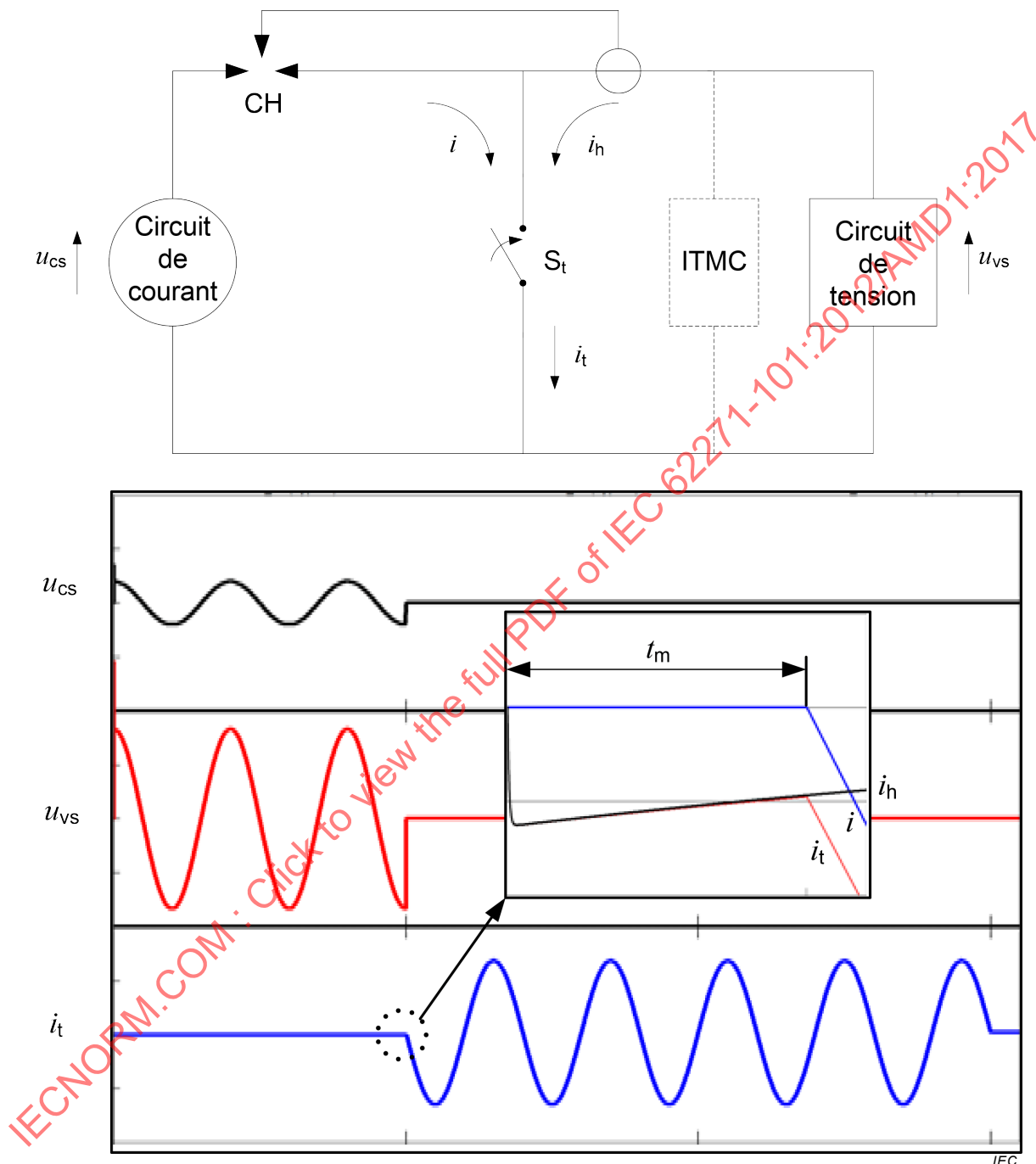
Ligne bleue Tension de rétablissement pendant l'essai

Ligne verte en pointillé Tension de rétablissement à fréquence industrielle ou en courant continu en régime établi pendant l'essai

Figure 2 – Exemples d'évaluation de la tension de rétablissement initiale

Figure 5 – Circuit type d'essais synthétiques d'établissement pour les essais monophasés

Remplacer la Figure 5 par ce qui suit:



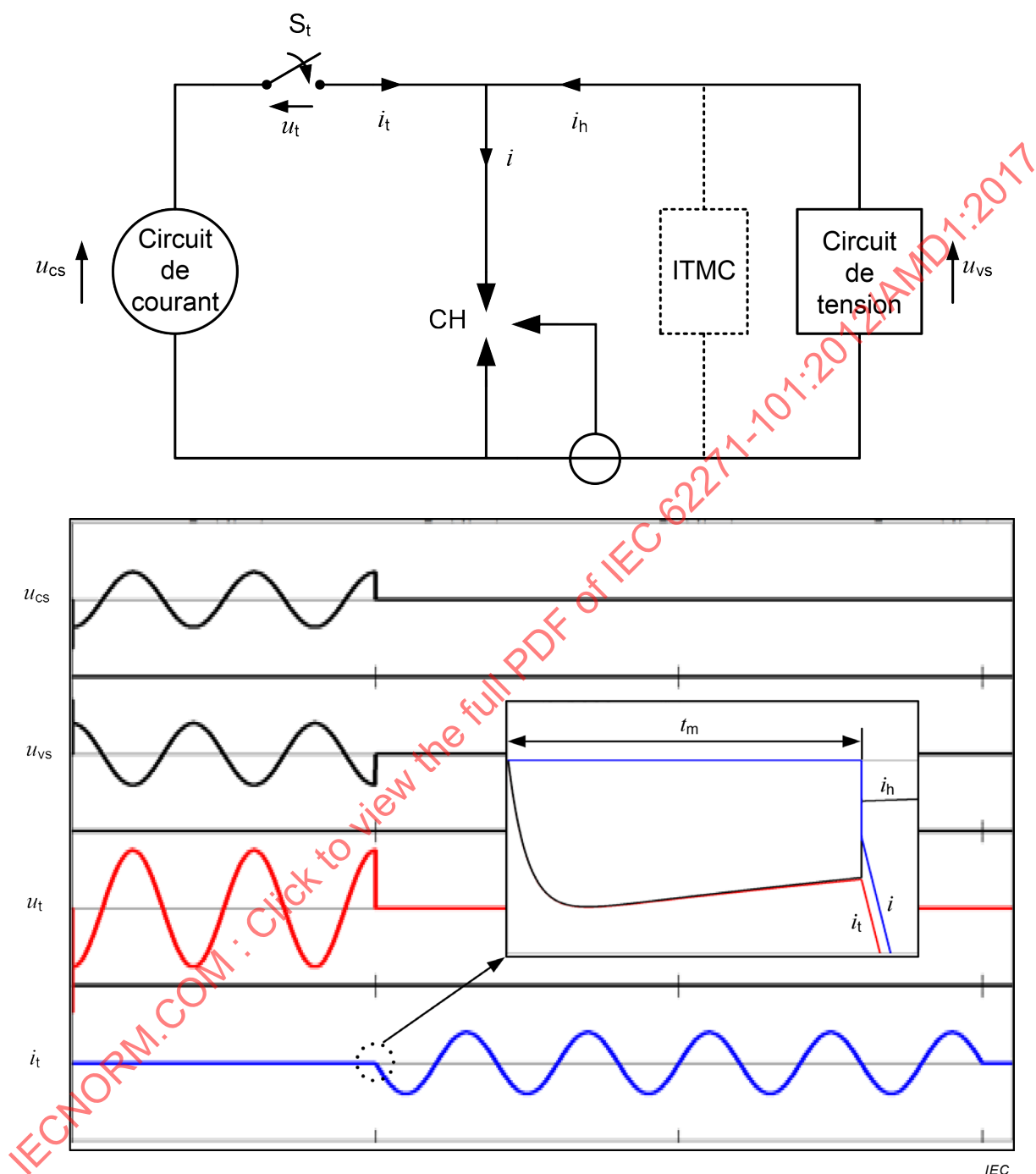
Légende

u_{cs}	tension du circuit de courant	u_{vs}	tension du circuit de tension
CH	enclencheur (éclateur commandé)	i_h	courant transitoire initial d'établissement (ITMC)
i	courant à fréquence industrielle fourni par le circuit de courant	i_t	courant dans le disjoncteur en essai
S_t	disjoncteur en essai	t_m	retard de l'enclencheur

Figure 5 – Exemple de circuit d'essais synthétiques d'établissement pour les essais monophasés

Figure 6 – Circuit type d'essais synthétiques d'établissement pour les essais en discordance de phase

Remplacer la Figure 6 par ce qui suit:



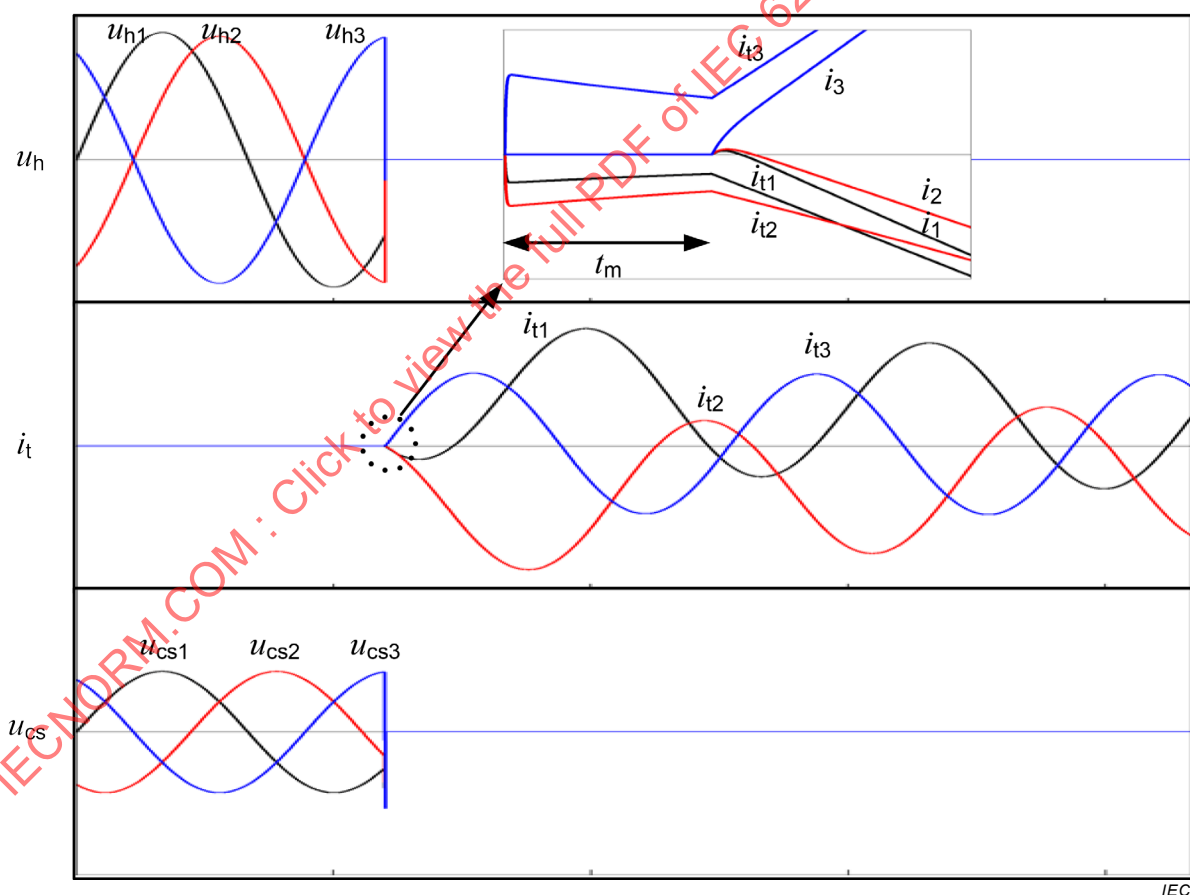
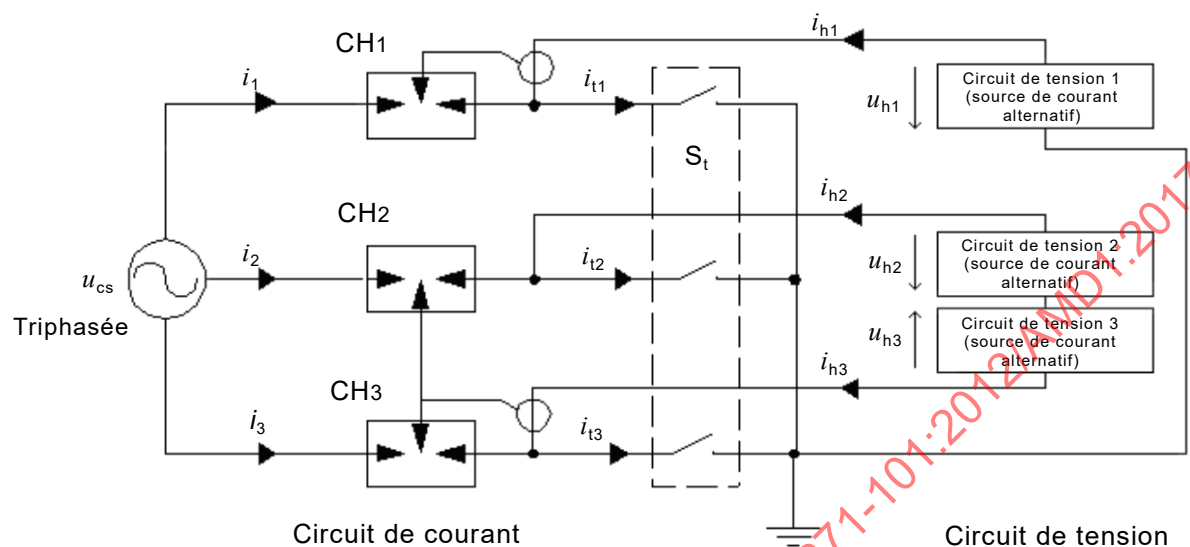
Légende

u_{cs}	tension du circuit de courant	u_{vs}	tension du circuit de tension
CH	enclencheur (éclateur commandé)	i_h	courant transitoire initial d'établissement (ITMC)
i	courant à fréquence industrielle fourni par le circuit de courant	i_t	courant dans le disjoncteur en essai
S_t	disjoncteur en essai	u_t	tension d'essai aux bornes du disjoncteur en essai
t_m	retard de l'enclencheur		

Figure 6 – Exemple de circuit d'essais synthétiques d'établissement pour les essais en discordance de phase

Figure 7 – Circuit type d'essais synthétiques d'établissement pour les essais triphasés ($k_{pp} = 1,5$)

Remplacer la Figure 7 par ce qui suit:



Légende

$u_{cs1}, u_{cs2}, u_{cs3}$	tension du circuit de courant	u_{h1}, u_{h2}, u_{h3}	tension appliquée
i_1, i_2, i_3	courant fourni par le circuit de courant	CH1, CH2, CH3	enclencheur (éclateur commandé)
i_{t1}, i_{t2}, i_{t3}	courant traversant l'objet en essai	S_t	disjoncteur en essai
i_{h1}, i_{h2}, i_{h3}	courant transitoire initial d'établissement (ITMC)	t_m	retard de l'enclencheur

Figure 7 – Exemple de circuit d'essais synthétiques d'établissement pour les essais triphasés ($k_{pp} = 1,5$)

Figure 8 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100s avec $k_{pp} = 1,5$

Remplacer la Figure 8 par ce qui suit:

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2012/AMD1:2017

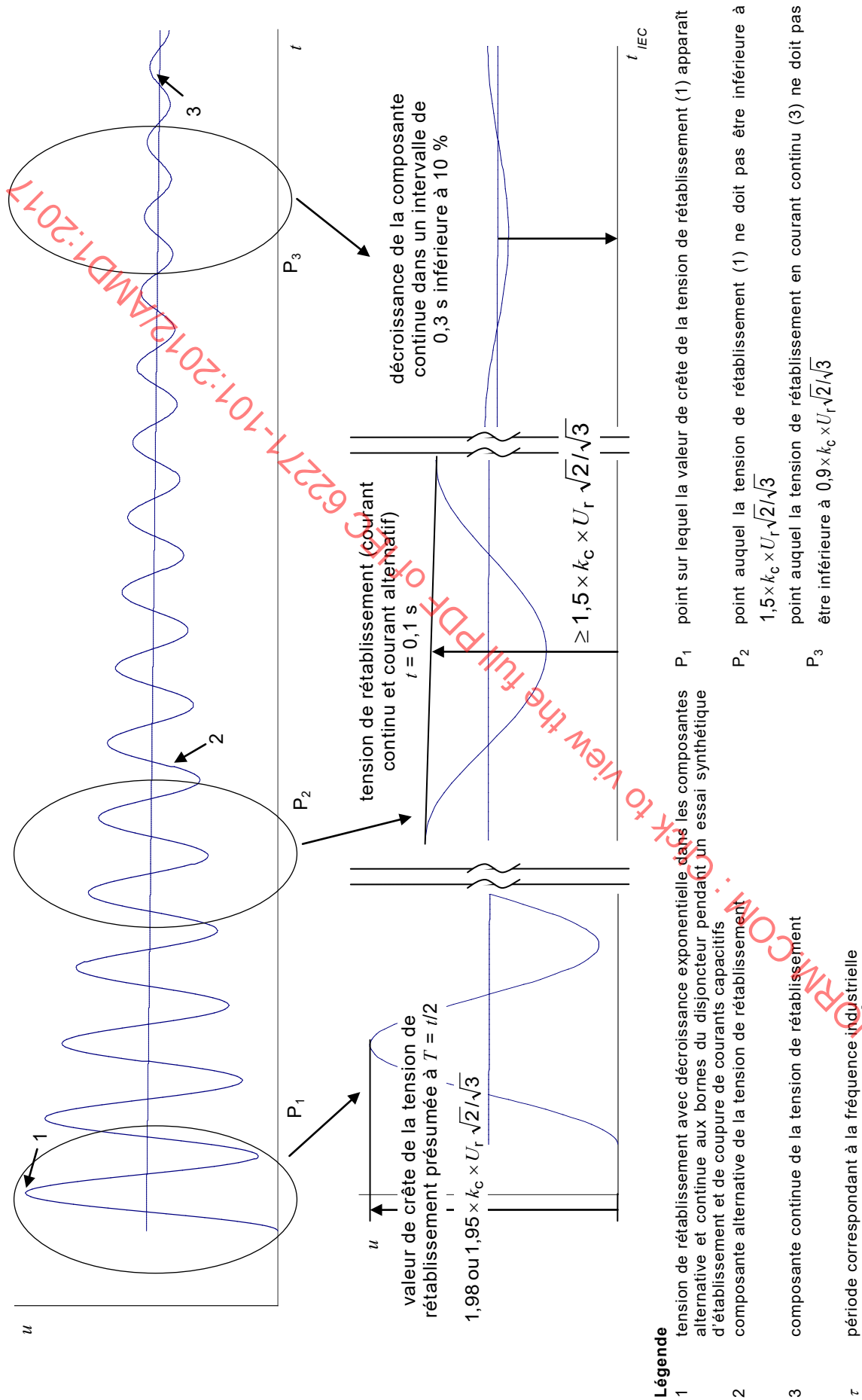
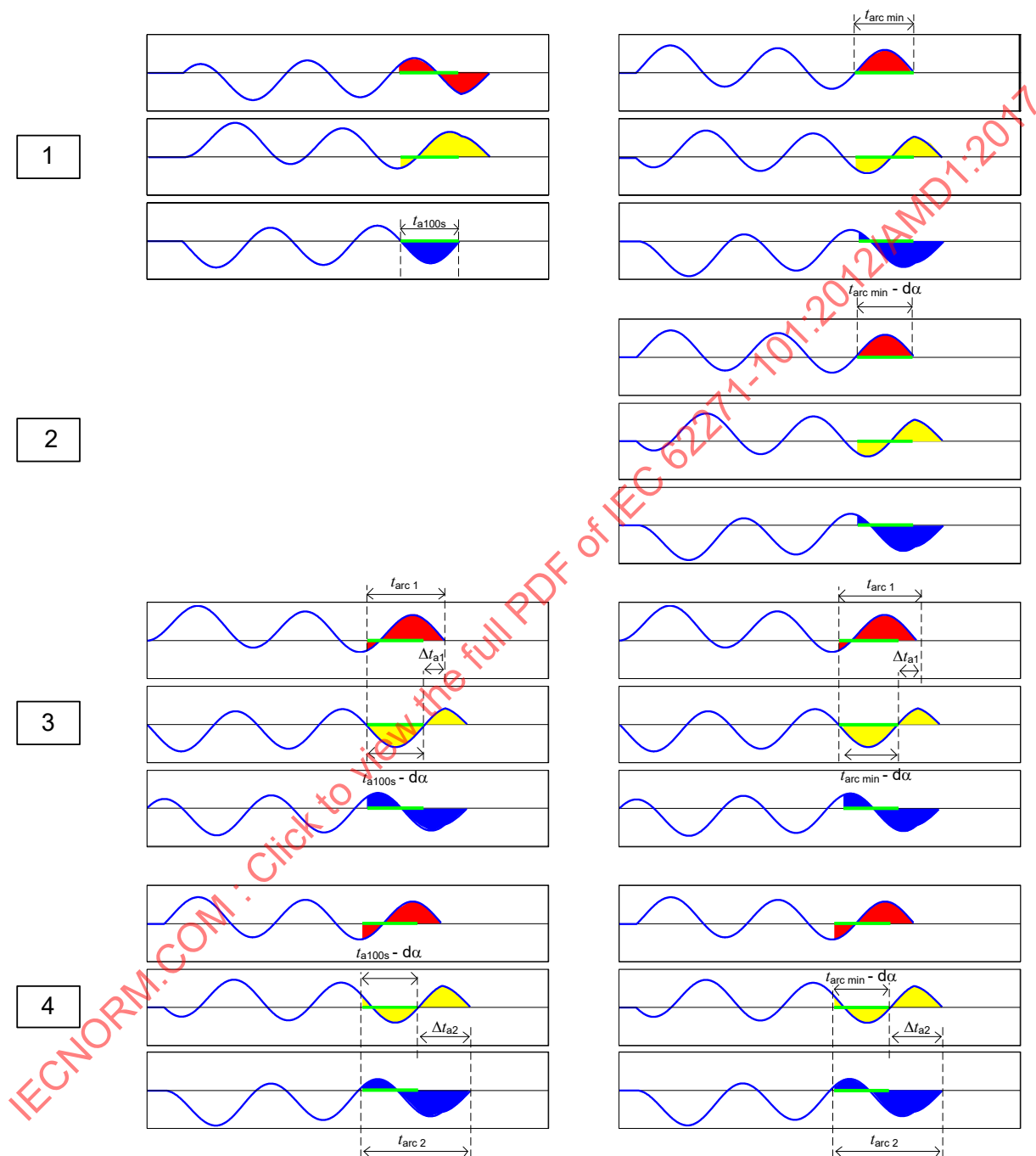


Figure 9 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec $k_{pp} = 1,5$

Remplacer la Figure 9 par ce qui suit:



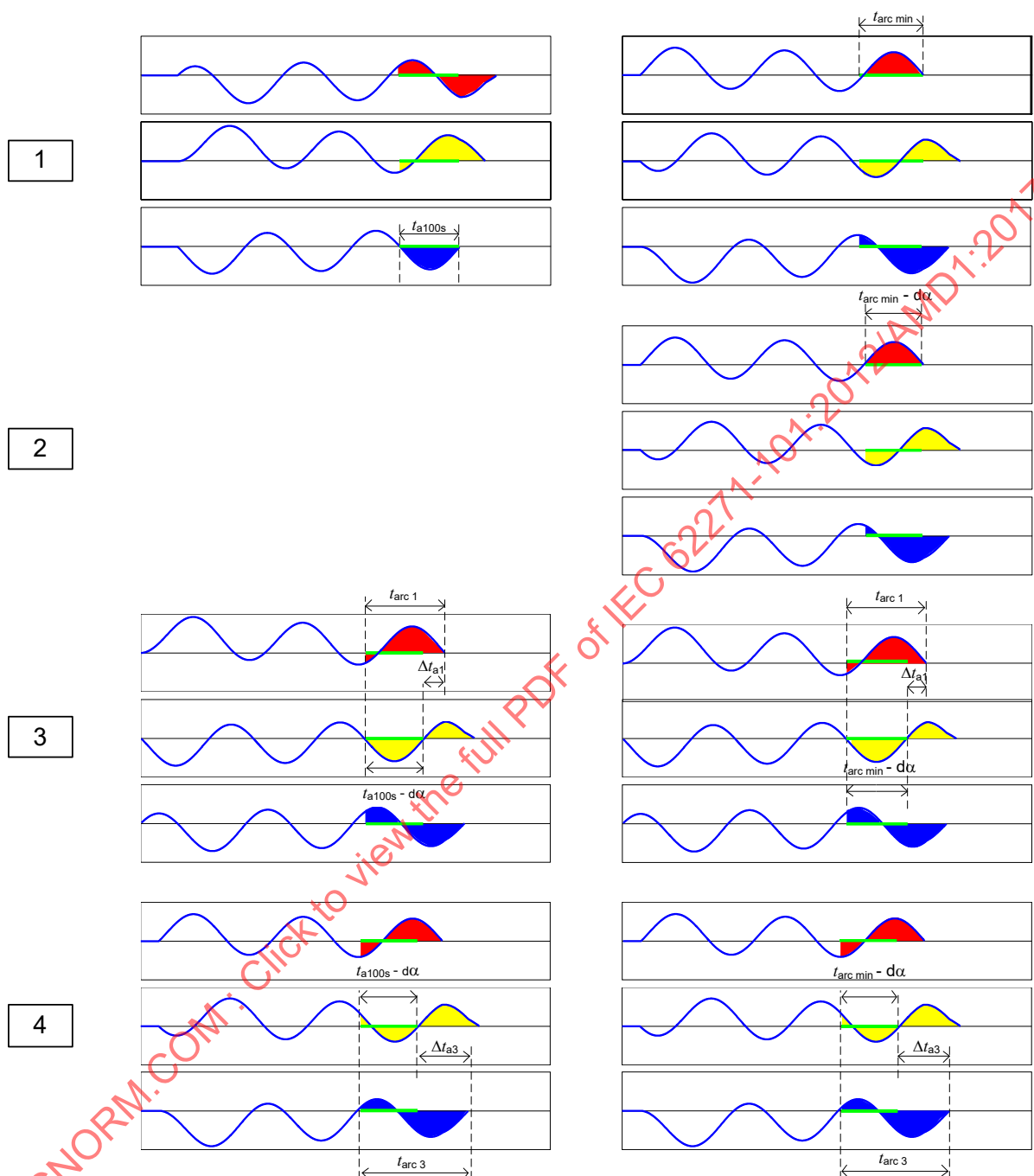
IEC

Légende

- 1 Premier essai, $t_{arc \min}$
- 2 Deuxième essai, $t_{arc \min} - d\alpha$, donnant lieu à un réallumage
- 3 Condition a) premier pôle qui coupe après une grande alternance
- 4 Condition b) dernier pôle qui coupe après une grande alternance rallongée

Figure 9 – Comparaison des réglages de la durée d'arc entre les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec $k_{pp} = 1,5$

Ajouter, après la nouvelle Figure 9 insérée par cet amendement, la nouvelle Figure 10 suivante:



IEC

Légende

- 1 Premier essai, $t_{\text{arc min}}$
- 2 Deuxième essai, $t_{\text{arc min}} - d\alpha$, donnant lieu à un réallumage
- 3 Condition a) premier pôle qui coupe après une grande alternance
- 4 Condition b) deuxième pôle qui coupe après une grande alternance rallongée

Figure 10 — Comparaison des réglages de la durée d'arc entre les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec $k_{pp} = 1,3$

E.1 Généralités

Remplacer «Annexe C de l'IEC 62271-100:2008» par «IEC 62271-306».

E.3 Conditions d'essais

Remplacer le point a) par ce qui suit:

- a) Paramètres de circuit des circuits.

E.4.2 Tensions

Ajouter, après le point b), le point suivant:

- c) Tension appliquée à l'enveloppe pour le disjoncteur en essai, le cas échéant.

E.4.3 Courants

Supprimer l'alinéa en dessous du point b).

Annexe G (informative) Méthodes d'essais synthétiques pour l'essai d'établissement et de coupure de courants capacitifs

Remplacer le texte entier de cette annexe, y compris les figures, par ce qui suit:

G.1 Généralités

Les essais synthétiques d'établissement et de coupure de courants capacitifs sont généralement effectués en utilisant des circuits d'essais monophasés. Il existe principalement deux types de circuits:

- a) Circuits combinés de courant et de tension

Le circuit d'essai est composé d'un circuit de courant et d'un circuit de tension. Les deux circuits ont une nature capacitive, mais un circuit de courant inductif ou résistif peut également être utilisé, à condition que l'angle de phase entre les deux sources soit modifié en conséquence.

Les deux sources peuvent être soit des transformateurs alimentés à la fréquence industrielle, soit des condensateurs chargés, ou encore une combinaison des deux. L'application de ce type de circuit implique l'utilisation d'un disjoncteur auxiliaire afin d'isoler le disjoncteur en essai du circuit de courant.

Il convient que la durée entre la séparation du circuit de tension et du circuit de courant par le disjoncteur auxiliaire (zéro de courant dans le circuit de courant) et le zéro de courant dans le circuit de tension ne dépasse pas 500 µs.

- b) Circuits oscillants LC

Le circuit d'essai se compose d'un circuit oscillant LC qui fournit à la fois le courant et la tension à partir d'une seule source. L'application de ce type de circuit n'exige pas l'utilisation d'un disjoncteur auxiliaire.

Pour l'applicabilité des méthodes mentionnées dans le cas de disjoncteurs sous enveloppe métallique ou à cuve mise à la terre, voir l'Annexe N du présent document et l'Annexe O de l'IEC 62271-100:2008/AMD2:2017.

NOTE Les phénomènes qui surviennent à l'issue d'un réamorçage ou d'un réallumage ne sont pas représentatifs des conditions de service, étant donné que les circuits d'essais ne reproduisent pas de manière adéquate les conditions de tensions apparaissant par suite de tels événements.

De nombreux circuits d'essais sont possibles avec des caractéristiques différentes. Les Figures G.1 à G.7 en donnent quelques exemples.

Une impédance peut être ajoutée pour protéger le circuit d'essai et/ou contrôler le courant d'appel, à condition que la tension de rétablissement présumée soit conforme au 6.111.10 de l'IEC 62271-100:2008/AMD2:2017.

G.2 Tension de rétablissement

En principe, la tension de rétablissement se compose d'une tension alternative appliquée à une borne du disjoncteur en essai, tandis qu'une tension continue décroissant lentement contraint l'autre borne. Dans certains circuits d'essais, les deux tensions sont superposées sur l'une des bornes du disjoncteur en essai, l'autre borne étant reliée à la terre. Cette méthode implique une contrainte plus sévère sur l'isolation par rapport à la terre et aux bornes des contacts. Les circuits de courant et de tension combinés des Figures G.4 et G.5 peuvent être utilisés pour appliquer les contraintes de tension correctes à chaque borne du disjoncteur. Pour la méthode d'essais synthétiques, il convient que la décroissance de la tension alternative ne dépasse pas les limites données en 6.111.7 et à la Figure 8.

G.3 Circuits combinés de courant et de tension

Lorsque des essais sont effectués en utilisant les circuits décrits au point a) de G.1, la connexion des circuits de courant et de tension aux disjoncteurs auxiliaire et en essai peut, en mode parallèle, soustraire la tension du disjoncteur auxiliaire ou, en mode série, ajouter cette tension sur le disjoncteur en essai.

Selon que le circuit de tension est connecté de façon permanente ou commutée avant ou après le zéro de courant à fréquence industrielle, une distinction peut être établie entre la superposition de courants à fréquence industrielle, les circuits à injection de courants et les circuits à injection de tension.

G.4 Essais d'établissement

Un exemple de circuit d'essai est donné à la Figure G.7.

Le circuit de tension fournit la tension d'essai pendant la fermeture des contacts jusqu'au moment du claquage diélectrique, provoquant la circulation du courant transitoire initial d'établissement.

G.5 Arrachement du courant

Les phénomènes d'arrachement du courant, causés par l'interaction entre un disjoncteur et son circuit (en service ou pendant des essais de laboratoire), provoquent généralement une réduction de la tension côté charge et, en conséquence, de la contrainte diélectrique appliquée au disjoncteur.

En service ou pendant les essais de laboratoire dans les circuits d'essais directs, des arrachements de faibles courants capacitifs peuvent se produire. Dans les circuits d'essais synthétiques, la probabilité d'apparition de ces événements est augmentée, pour les raisons suivantes:

- en termes généraux, les paramètres caractéristiques des éléments répartis et des éléments localisés de certains circuits d'essais synthétiques sont différents et peuvent influencer le comportement d'arrachement du courant du disjoncteur;

- l'effet du montage en série des disjoncteurs supplémentaires (auxiliaires) avec le disjoncteur en essai dans les circuits de courant et de tension combinés;
- l'augmentation du rapport de la tension d'arc à la tension à fréquence industrielle.

En conséquence, lorsque des essais synthétiques sont effectués en utilisant les circuits d'essais décrits au point a) de G.1, il peut être difficile de déterminer si les arrachements du courant représentent une caractéristique significative du disjoncteur en essai ou non. Pour réduire les arrachements du courant, les mesures suivantes peuvent être prises:

- modification des capacités vues des bornes du disjoncteur;
- utilisation d'un disjoncteur auxiliaire avec une courte durée minimale d'arc et une basse tension d'arc dans les circuits de courant et de tension combinés.

Certains circuits d'essais synthétiques sont moins sensibles aux arrachements du courant et peuvent par conséquent fournir une tension de rétablissement compatible avec de longues durées d'arc, qui serait autrement réduite dans un circuit d'essais directs.

G.6 Exemples de circuits d'essais

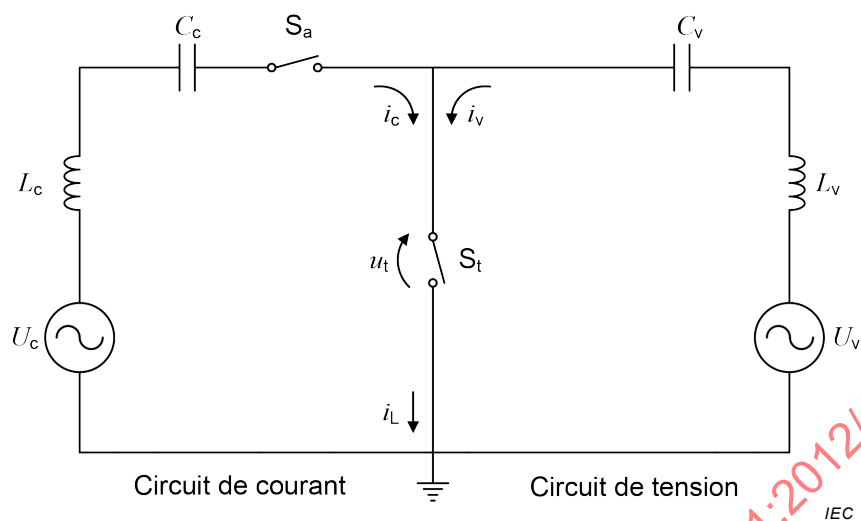
Les Figures G.1 à G.7 donnent des exemples de circuits d'essais synthétiques pour l'établissement et la coupure de courants capacitifs. La liste des symboles et explications relatives aux figures est donnée ci-dessous pour alléger leur contenu et éviter les répétitions.

Les équations applicables aux circuits présentés ne sont fournies qu'à titre de préconisations. Elles ne tiennent pas compte des pertes ni des autres phénomènes pouvant survenir dans les circuits d'essais.

C_c	= capacité du circuit de courant
C_{hB}, C_B	= capacités du circuit de tension B
C_v	= capacité du circuit de tension
C_h, L_{pf}	= fréquence industrielle du circuit oscillant
f_{appel}	= fréquence du courant d'appel
f_L	= fréquence du courant i_L
f_r	= fréquence industrielle assignée
f_{RV}	= fréquence de la tension de rétablissement
G	= éclateur
i_c	= courant du circuit de courant
$i_{max\ crête}$	= valeur de crête du courant d'appel
i_L	= courant de charge (courant à travers le disjoncteur en essai S_t)
i_v	= courant du circuit de tension
L_c	= inductance du circuit de courant
L_v	= inductance du circuit de tension
m	= rapport du courant i_L sur le courant i_v
n	= rapport de la tension u_t sur la tension U_c
R_v	= résistance du circuit de tension
R_B	= résistance du circuit B
R_p	= résistance de terre
S_a	= disjoncteur auxiliaire
S_{a1}, S_{a2}, S_{a3}	= disjoncteurs auxiliaires
S_t	= disjoncteur en essai

$\hat{t}$	= temps jusqu'à la crête du courant injecté
U_c	= tension du circuit de courant
U_h	= tension de charge de C_h
U_{hB}	= tension de charge de C_{hB}
U_v	= tension du circuit de tension
u_A, u_B	= tension par rapport à la terre aux points A et B, respectivement
u_t	= tension aux bornes du disjoncteur en essai S_t
U_t	= tension d'essai conformément à l'IEC 62271-100
ω	= pulsation du circuit d'essai, $\omega = 2 \times \pi \times f_r$

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2012/AMD1:2017



$$U_c = u_t/n$$

$$i_c = i_L(1 - 1/m)$$

$$\omega L_c \ll 1/\omega C_c$$

$$C_c = n(1 - 1/m)C_L$$

C_L = capacité de charge équivalente

$$U_v = u_t$$

$$i_v = i_L/m$$

$$\omega L_v \ll 1/\omega C_v$$

$$C_v = C_L/m$$

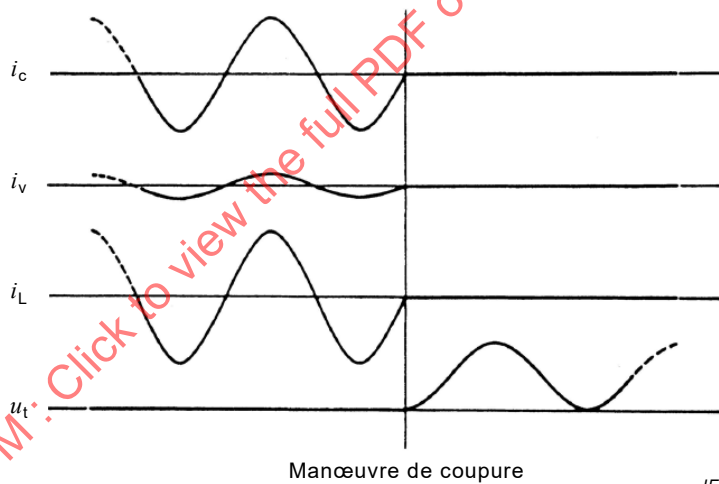
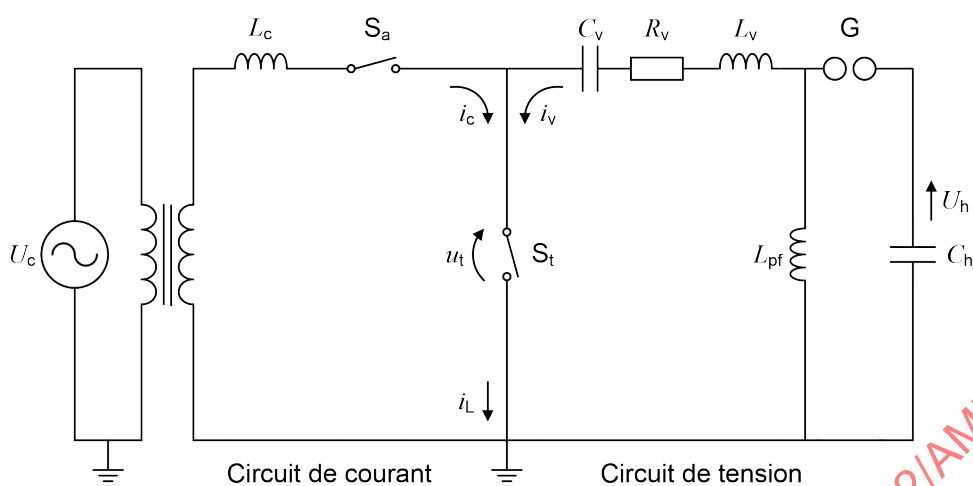


Figure G.1 – Circuits à fréquence industrielle connectés en parallèle



IEC

$$U_h = \frac{(C_v + C_h)}{C_h} U_t \sqrt{2}$$

$$i_v = \frac{U_h}{\omega_0 L_v} e^{-\alpha t} \sin \omega_0 t, \text{ avec } \alpha = \frac{R_v}{2L_v}$$

$$i_L = i_c + i_v$$

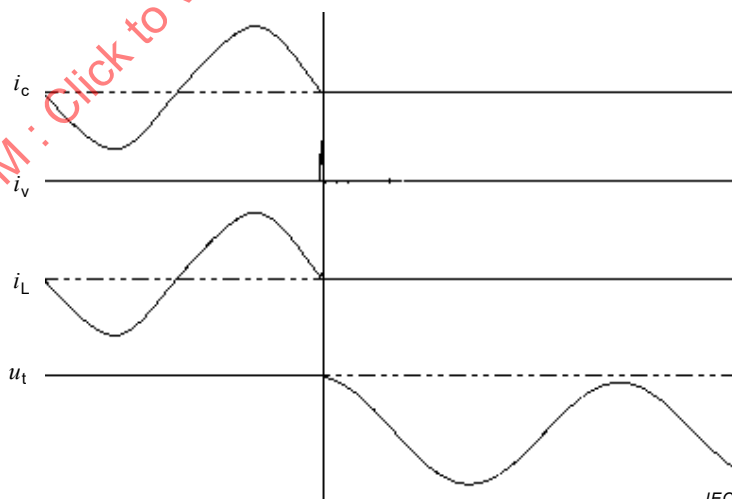
$$\omega L_c = \frac{1}{n \times \omega \times C_L}$$

$$\text{et } \omega_0 = \sqrt{\frac{1}{L_v} \left(\frac{1}{C_h} + \frac{1}{C_v} \right) - \left(\frac{R_v}{2L_v} \right)^2}$$

$$L_v = \frac{U_h}{i_L \times \omega \times \sqrt{2}}$$

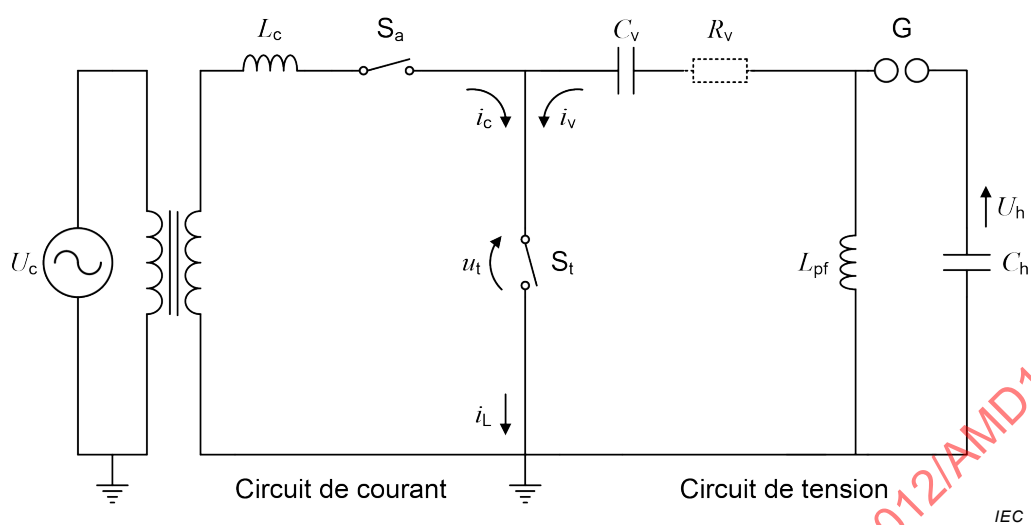
$$f_{RV} = \frac{1}{2\pi \sqrt{C_h \times L_{pf}}}$$

C_L = capacité de charge équivalente



IEC

Figure G.2 – Circuit à injection de courant



$$i_c = i_L - i_v$$

$$i_c = \frac{U_c}{\omega_r L_c}, \text{ avec } \omega_r = 2\pi f_r$$

$$i_v = 2\pi f_L \times C_v \times U_h$$

$$U_h = U_t \sqrt{2}$$

$$f_L = \frac{1}{2\pi \sqrt{(C_h + C_v) \times L_{pf}}}$$

$$f_{RV} = \frac{1}{2\pi \sqrt{C_h \times L_{pf}}}$$

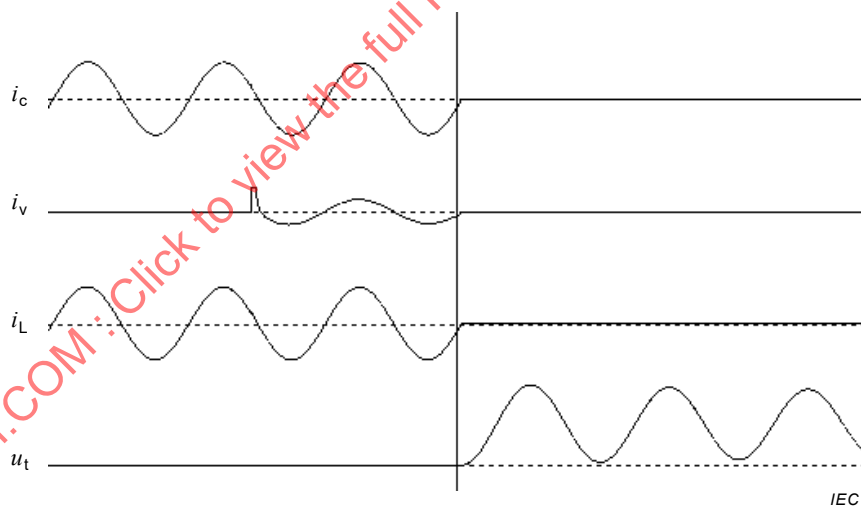
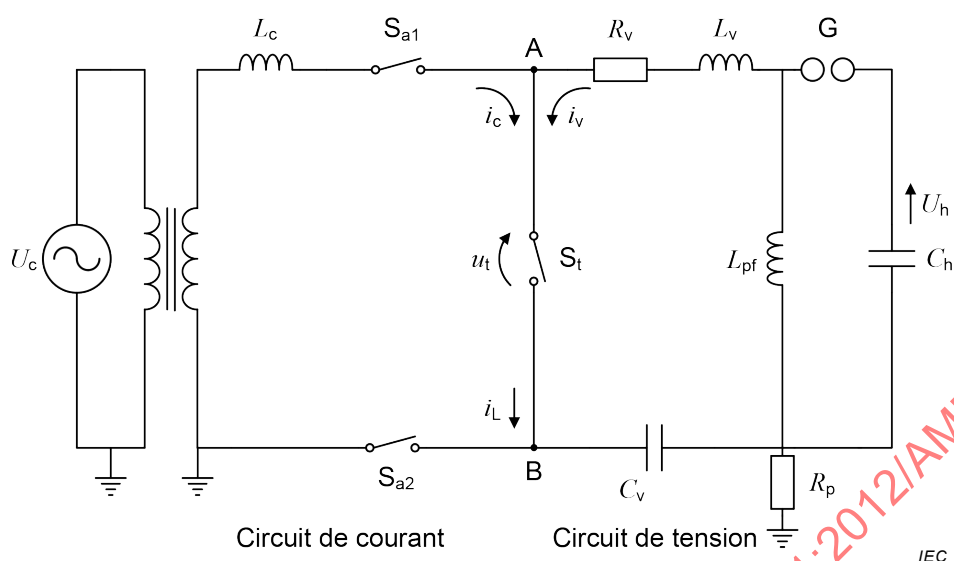


Figure G.3 – Circuit à injection de courant à fréquence industrielle



$$U_c = \frac{U_t}{n}$$

$$U_h = \frac{(C_v + C_h)}{C_h} U_t \sqrt{2}$$

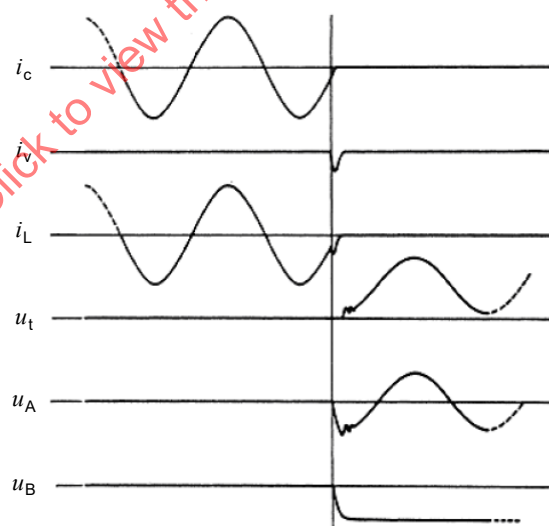
$$i_v = \frac{U_h}{\omega_0 L_v} e^{-\alpha t} \sin \omega_0 t, \text{ avec } \alpha = \frac{R_v}{2L_v}$$

$$i_L = i_c + i_v$$

$$\text{et } \omega_0 = \sqrt{\frac{1}{L_v} \left(\frac{1}{C_h} + \frac{1}{C_v} \right) - \left(\frac{R_v}{2L_v} \right)^2}$$

$$\omega L_c = \frac{1}{n \times \omega \times C_L}$$

$$L_v = \frac{U_h}{i_L \times \omega \times \sqrt{2}}$$

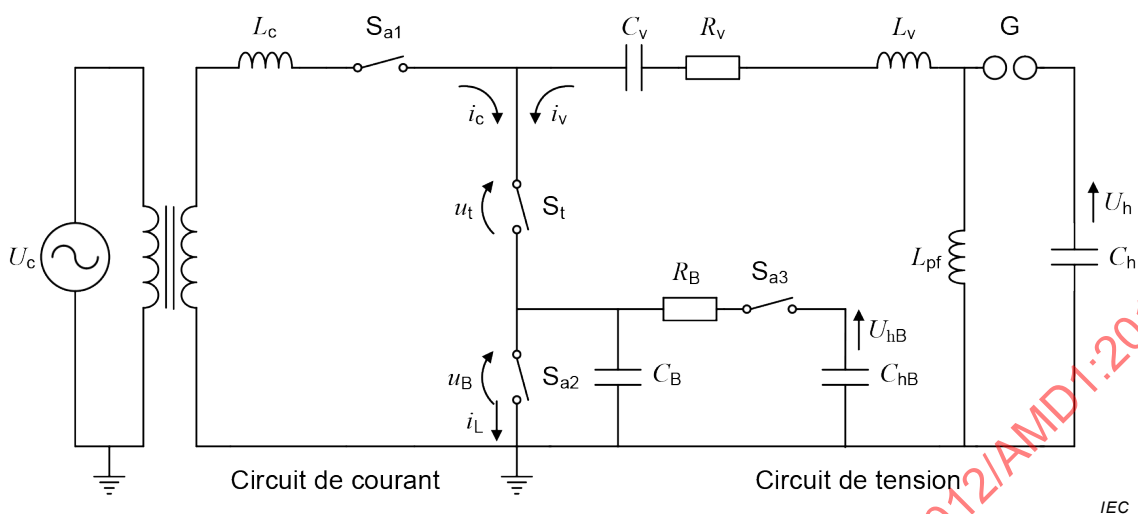


Manœuvre de coupure

IEC

NOTE Le circuit peut également être utilisé avec la méthode par injection de courant à fréquence industrielle.

Figure G.4 – Circuit à injection de courant, tension de rétablissement appliquée aux deux bornes du disjoncteur



$$U_c = \frac{U_t}{n}$$

$$i_L = i_c + i_v$$

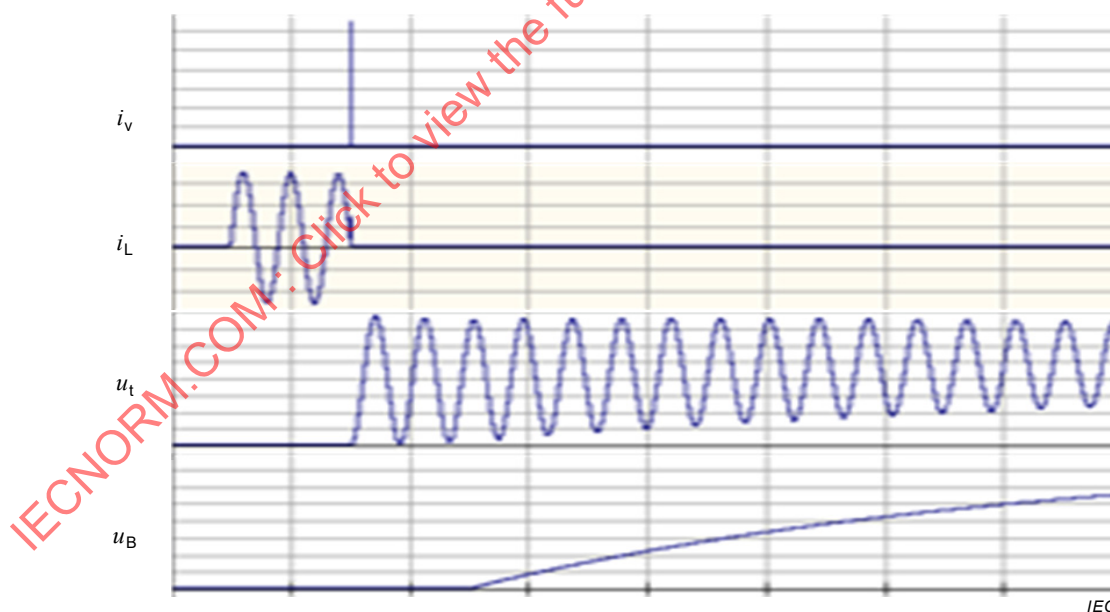
$$\omega L_c = \frac{1}{n \times \omega \times C_L}$$

$$U_h = \frac{(C_v + C_h)}{C_h} U_t \sqrt{2}$$

$$i_v = \frac{U_h}{\omega_0 L_v} e^{-\alpha t} \sin \omega_0 t, \text{ avec } \alpha = \frac{R_v}{2L_v}$$

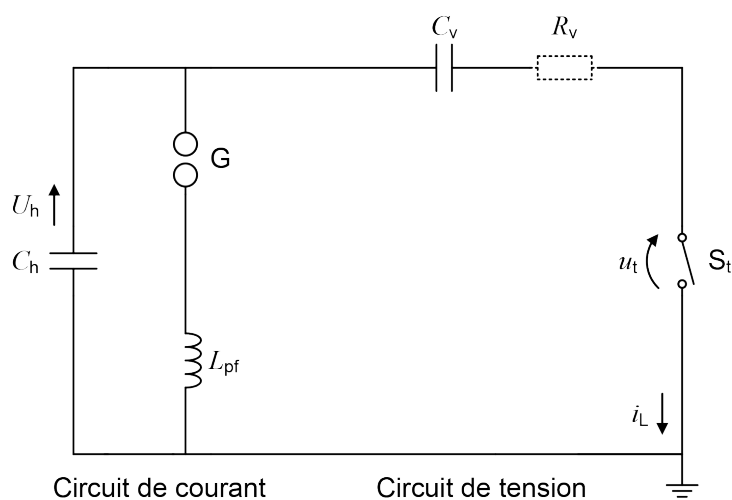
$$\text{et } \omega_0 = \sqrt{\frac{1}{L_v} \left(\frac{1}{C_h} + \frac{1}{C_v} \right) - \left(\frac{R_v}{2L_v} \right)^2}$$

$$L_v = \frac{U_h}{i_L \times \omega \times \sqrt{2}}$$



NOTE Le circuit peut également être utilisé avec la méthode par injection de courant à fréquence industrielle.

Figure G.5 – Circuit à injection de courant avec compensation de la décroissance



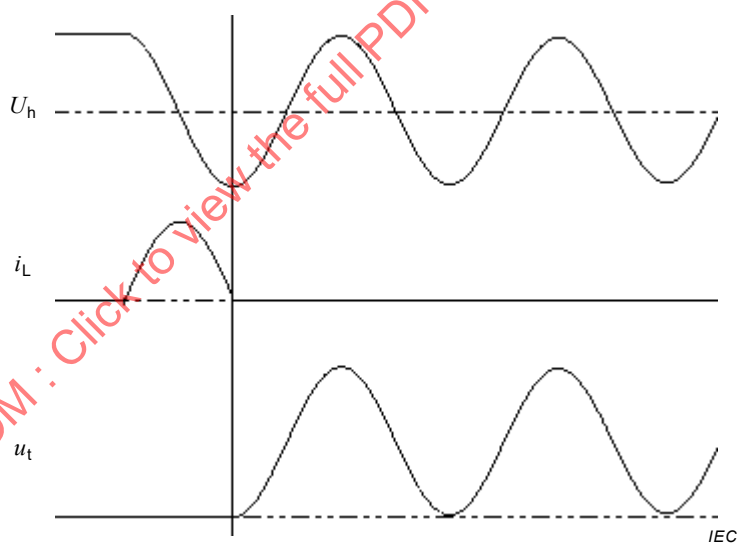
$$U_h = U_t \sqrt{2}$$

$$f_{RV} = \frac{1}{2\pi \sqrt{C_h \times L_{pf}}}$$

C_v = capacité de charge équivalente

$$i_L = 2\pi f_L \times C_v \times U_h$$

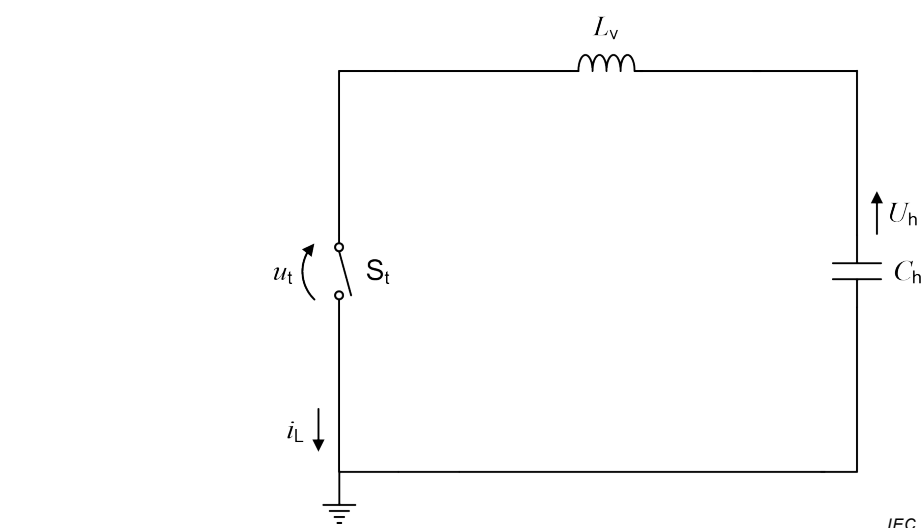
$$f_L = \frac{1}{2\pi \sqrt{(C_h + C_v) \times L_{pf}}}$$



C_h et C_v sont préchargées à la tension U_h .

NOTE La capacité côté charge C_v peut également être insérée entre le disjoncteur en essai et la terre. Il convient de veiller à assurer une distribution correcte de la tension dans le cas de disjoncteurs sous enveloppe métallique.

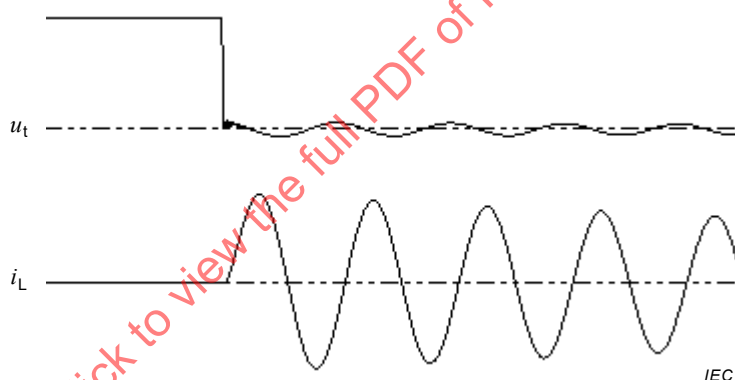
Figure G.6 – Circuit oscillant LC



$$U_h = U_t \times \sqrt{2}$$

$$f_{\text{appel}} = \frac{1}{2\pi\sqrt{C_h \times L_v}}$$

$$i_{\text{max crête}} = U_h \times C_h \times 2\pi f_{\text{appel}}$$



NOTE Ce circuit ne reproduit pas les interactions possibles pour l'essai en opposition d'établissement du courant d'appel de fermeture lorsque le disjoncteur peut couper pendant la durée de préarc.

Figure G.7 – Circuit d'essai d'établissement du courant d'appel de fermeture

Annexe H (informative) Méthodes de réallumage pour l'entretien de l'arc

Remplacer le titre de l'Annexe H par le suivant:

Méthode pas à pas pour l'entretien de l'arc

H.1 Méthode «pas à pas»

Supprimer le titre existant.

Supprimer les deux dernières phrases du premier alinéa.

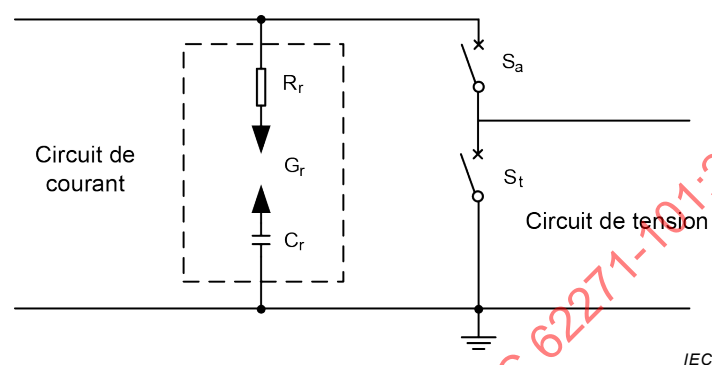
Remplacer, au point a), "un circuit de réallumage est représenté à la Figure H.1" par "un circuit de réallumage est illustré en Figure H.1 et Figure H.2".

H.2 Méthode utilisant un circuit double

Supprimer H.2.

Figure H.1 – Schéma type du circuit de réallumage servant à prolonger la durée d'arc

Remplacer la Figure H.1 par ce qui suit:



Légende

S_t	disjoncteur en essai	C_r	condensateur du circuit de réallumage
S_a	disjoncteur auxiliaire	G_r	éclateur pour fermer le circuit de réallumage
R_r	résistance du circuit de réallumage		

Figure H.1 – Exemple de schéma de circuit de réallumage servant à prolonger la durée d'arc

Figure H.2 – Circuits combinés à injection de courant et de Skeats

Remplacer la Figure H.2 par ce qui suit:

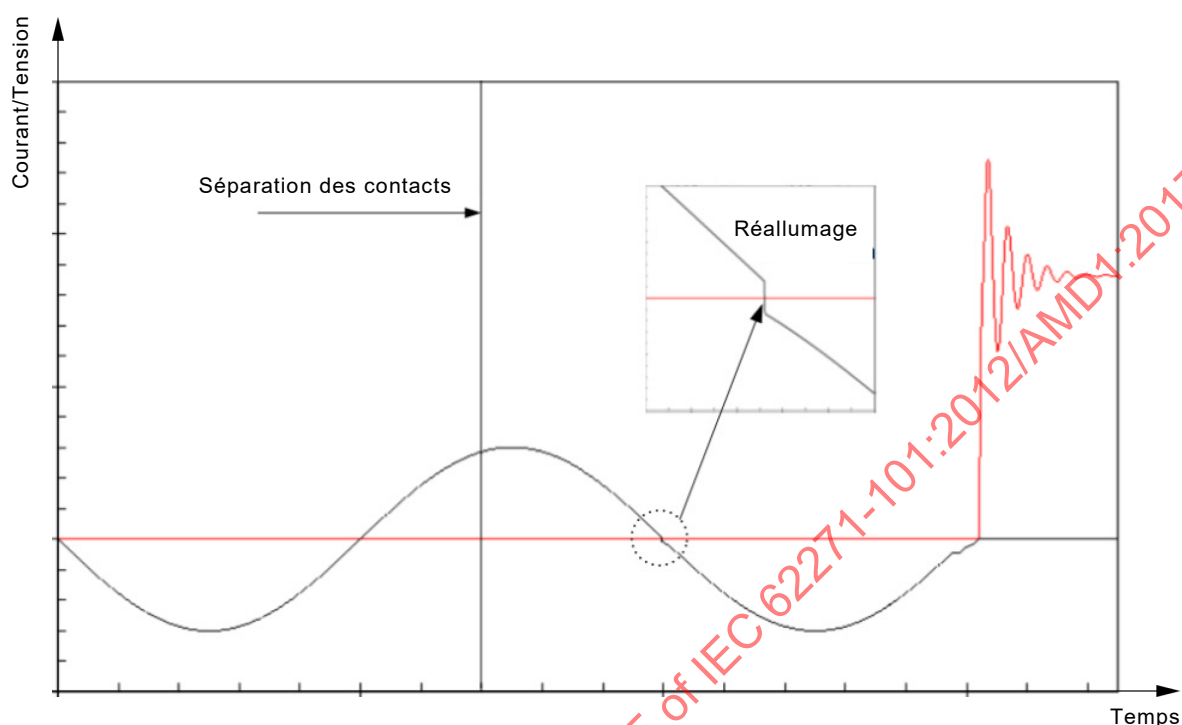


Figure H.2 – Exemple de formes d'ondes obtenues pendant un essai symétrique en utilisant le circuit de la Figure H.1

Figure H.3 – Formes d'ondes typiques obtenues pendant un essai asymétrique en utilisant le circuit de la Figure H.2

Supprimer le titre et la figure existants.

Annexe I (normative) Réduction du di/dt et de la TTR pour la séquence d'essais T100a

Remplacer la totalité de l'annexe par ce qui suit:

Annexe I (normative)

Correction du di/dt et de la TTR pour la séquence d'essais T100a

I.1 Généralités

Pendant la condition de défaut d'asymétrie, le di/dt et la TTR obtenus sont modifiés par la composante continue du courant de défaut.

Deux options sont possibles:

- 1) Réglage du circuit d'essai pour obtenir la TTR assignée associée à la séquence T100s

Dans ce cas, il est impossible de respecter simultanément l'ensemble des paramètres (di/dt , u_1 et u_c), dans la mesure où ces derniers ne varient pas de manière linéaire avec la composante continue au zéro de courant. La tension de charge du circuit d'essais synthétiques doit être réglée pour obtenir le paramètre d'essai le plus contraignant. Pour les essais sur la grande alternance, le paramètre d'essai le plus contraignant est toujours di/dt , tandis que le paramètre le plus contraignant pour les essais sur la petite alternance suivante est u_c . Dans le cas d'une méthode d'essai par injection de tension, le paramètre d'essai le plus contraignant pour les essais sur la grande alternance devient u_1 .

- 2) Utilisation de deux circuits d'essais différents; l'un réglé pour obtenir la TTR modifiée associée aux essais sur la petite alternance et l'autre réglé pour obtenir la TTR modifiée associée aux essais sur la grande alternance.

Dans ce cas, tous les paramètres exigés (di/dt , u_1 et u_c) peuvent être respectés simultanément.

Le choix de l'option est laissé au constructeur, car l'option 1) peut produire des contraintes excessives sur le disjoncteur (par exemple, pour les essais sur la grande alternance, la correction exigée du di/dt produit un u_c supérieur à la normale).

I.2 Réduction du di/dt

Pour les paramètres de la dernière alternance de courant, se référer aux Tableaux I.7 et I.8 et aux Tableaux L.12 à L.17.

I.3 TTR corrigée pour le premier pôle qui coupe avec asymétrie exigée

Les Tableaux I.1 à I.6 regroupent les valeurs corrigées de TTR pour $k_{pp} = 1,5$, $1,3$ et $1,2$ pour $f_r = 50$ Hz et $f_r = 60$ Hz.

**Tableau I.1 – Valeurs corrigées de TTR pour le premier pôle qui coupe
pour $k_{pp} = 1,3$ et $f_r = 50$ Hz**

Durée minimale de coupure ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 68,0		68,0 < t ≤ 87,9			
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV		
τ=45 ms grande alternance	100	74	136	78	144	79	147	a	a		
	123	90	166	96	177	97	181				
	145	106	195	113	208	115	213				
	170	125	228	132	243	134	249				
	245	179	325	190	348	194	357				
	300	219	394	232	423	237	436				
	362	264	471	280	508	286	524				
	420	306	541	324	586	331	606				
	550	399	693	424	757	433	787				
800	576	965	613	1 074	628	1 126					
τ = 45 ms petite alternance suivante	100	72	135	76	143	78	146	a	a		
	123	88	167	94	176	96	180				
	145	104	197	110	208	113	212				
	170	122	232	129	244	132	249				
	245	176	338	187	354	191	360				
	300	216	417	229	435	234	442				
	362	261	507	276	528	283	535				
	420	304	593	321	615	328	623				
	550	399	789	421	814	430	821				
800	584	1 184	615	1 207	627	1 209					
Durée minimale de coupure ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 67,5		67,5 < t ≤ 88,0			
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV		
τ = 60 ms grande alternance	100	69	127	75	138	77	143	79	146		
	123	85	155	92	169	95	176	97	179		
	145	100	182	108	199	112	207	114	211		
	170	117	212	127	232	131	242	134	247		
	245	168	301	182	331	189	347	192	355		
	300	205	364	223	403	231	422	235	433		
	362	247	434	269	482	279	506	284	520		
	420	286	497	311	554	323	584	329	601		
τ = 60 ms petite alternance suivante	100	68	128	73	138	76	143	78	146		
	123	83	159	90	171	94	177	96	180		
	145	98	188	107	202	111	209	113	212		
	170	115	221	125	237	130	245	132	249		
	245	167	323	181	345	187	355	191	360		
	300	205	399	221	425	229	437	234	442		
	362	248	487	267	517	277	530	282	536		
	420	288	570	311	603	322	618	328	623		
Durée minimale de coupure ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 67,5		67,5 < t ≤ 87,5		87,5 < t ≤ 108	
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV
τ = 75 ms grande alternance	550	349	580	388	669	409	722	421	754	428	775
	800	501	785	560	928	592	1 015	610	1 070	621	1 106
τ = 75 ms petite alternance suivante	550	360	737	394	786	413	808	423	819	429	823
	800	529	1 126	577	1 184	603	1 207	618	1 215	626	1 216
a La séquence d'essais T100a n'est pas applicable, niveau d'asymétrie inférieur à 20 % pour les deux alternances de courant.											

Tableau I.2 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,3$ et $f_r = 60$ Hz

Durée minimale de coupure ms		8,5 < t ≤ 22,5		22,5 < t ≤ 39,5		39,5 < t ≤ 56,5		56,5 < t ≤ 73,0											
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV										
τ = 45 ms grande alternance	100	71	130	76	140	78	145	a	a										
	123	87	159	93	172	96	178												
	145	102	186	110	202	113	209												
	170	120	217	129	236	133	244												
	245	172	307	185	336	191	350												
	300	210	371	226	408	234	426												
	362	253	441	273	488	282	511												
	420	293	505	316	561	326	589												
τ = 45 ms petite alternance suivante	550	381	640	412	720	426	761	a	a										
	800	548	873	595	1 006	617	1 079												
	100	69	132	75	141	77	145												
	123	85	163	92	173	95	178												
	145	101	192	108	205	112	211												
	170	118	227	127	241	131	247												
	245	171	331	183	351	189	359												
	300	210	410	225	432	232	441												
τ = 60 ms grande alternance	362	254	501	272	525	280	535	a	a										
	420	295	587	315	614	325	624												
	550	388	787	414	816	426	825												
	800	570	1 196	607	1 223	623	1 225												
	100	66	120	72	133	76	140							78	144	a	a		
	123	81	146	89	162	93	171							95	176				
	145	95	171	104	191	110	201							112	207				
	170	111	199	122	222	128	235							132	242				
245	159	281	176	316	185	335	189	346											
300	194	338	215	382	226	407	232	422											
362	234	400	259	455	272	487	279	505											
420	270	456	299	522	315	560	324	582											
τ = 60 ms petite alternance suivante	100	65	124	71	135	75	141	77	144	a	a								
	123	80	153	88	167	92	174	94	178										
	145	94	181	104	197	108	206	111	210										
	170	111	214	121	232	127	242	131	247										
	245	160	314	175	339	184	352	188	358										
	300	197	390	215	419	225	434	231	441										
	362	238	478	260	511	272	527	279	535										
	420	277	562	303	599	316	616	324	624										
Durée minimale de coupure ms		8,5 < t ≤ 22,5		22,5 < t ≤ 39,5		39,5 < t ≤ 56,0		56,0 < t ≤ 73,0		73,0 < t ≤ 90,0		90,0 < t ≤ 106,5							
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV						
τ = 75 ms grande alternance	550	327	517	369	615	395	677	410	718	420	746	426	765						
	800	467	676	531	832	569	935	593	1 004	608	1 052	618	1 087						
τ = 75 ms petite alternance suivante	550	345	730	382	782	403	808	416	821	424	827	429	830						
	800	509	1 134	561	1 195	591	1 221	609	1 231	620	1 233	627	1 230						

^a La séquence d'essais T100a n'est pas applicable, niveau d'asymétrie inférieur à 20 % pour les deux alternances de courant

Tableau I.3 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,5$ et $f_r = 50$ Hz

Durée minimale de coupure ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 68,0		68,0 < t ≤ 87,9	
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV
τ=45 ms grande alternance	72,5 100 123 145 170	b 85 104 123 144	114 156 191 224 262	b 90 110 130 152	121 166 203 239 280	b 91 112 132 155	123 169 208 245 286	a	a
τ=45 ms petite alternance suivante	72,5 100 123 145 170	b 83 102 120 141	113 156 193 228 269	b 88 108 127 149	119 165 203 240 282	b 90 111 130 153	122 169 208 245 288	a	a

Durée minimale de coupure ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 67,5		67,5 < t ≤ 88,0	
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV
τ=60 ms grande alternance	72,5 100 123 145 170	b 79 98 115 135	106 146 178 209 243	b 86 106 125 146	116 159 195 229 267	b 89 110 129 152	120 165 203 238 279	b 91 112 132 154	122 168 207 243 285
τ=60 ms petite alternance suivante	72,5 100 123 145 170	b 78 96 114 133	107 149 184 217 256	b 85 104 123 144	116 160 197 233 275	b 88 108 128 150	120 166 204 241 283	b 90 110 130 153	122 168 207 245 287

^a La séquence d'essais T100a n'est pas applicable, niveau d'asymétrie inférieur à 20 % pour les deux alternances de courant.

^b u₁ n'est pas défini pour une TTR à deux paramètres.

**Tableau I.4 – Valeurs corrigées de TTR pour le premier pôle
qui coupe pour $k_{pp} = 1,5$ et $f_r = 60$ Hz**

Durée minimale de coupure ms		$8,5 < t \leq 22,5$		$22,5 < t \leq 39,5$		$39,5 < t \leq 56,5$		$56,5 < t \leq 73,0$		$73,0 < t \leq 90,0$	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
$\tau=45$ ms grande alternance	72,5 100 123 145 170	b 81 100 118 138	109 149 182 213 249	b 88 108 127 148	117 161 198 232 271	b 90 111 131 153	121 167 205 241 281	b 91 112 132 155	123 169 208 245 286	a	a
$\tau=45$ ms petite alternance suivante	72,5 100 123 145 170	b 80 99 116 137	110 152 188 223 263	b 86 106 125 147	117 162 201 237 279	b 89 109 129 151	121 167 206 243 286	b 90 111 131 154	123 169 209 246 289	a	a
Durée minimale de coupure ms		$8,5 < t \leq 22,5$		$22,5 < t \leq 39,5$		$39,5 < t \leq 56,5$		$56,5 < t \leq 73,0$		$73,0 < t \leq 90,0$	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
$\tau=60$ ms grande alternance	72,5 100 123 145 170	b 76 93 109 128	100 137 168 196 228	b 83 102 120 141	111 153 187 219 255	b 87 107 126 148	117 161 197 231 270	b 89 110 130 152	120 165 203 238 279	b 91 111 131 154	122 168 206 243 284
$\tau=60$ ms petite alternance suivante	72,5 100 123 145 170	b 75 92 109 128	103 143 177 210 249	b 82 101 120 140	113 156 193 228 269	b 86 106 125 147	118 163 201 238 280	b 89 109 128 151	120 167 206 243 285	b 90 111 130 153	122 169 208 246 288
^a La séquence d'essais T100a n'est pas applicable, niveau d'asymétrie inférieur à 20 % pour les deux alternances de courant. ^b u_1 n'est pas défini pour une TTR à deux paramètres.											

**Tableau I.5 – Valeurs corrigées de TTR pour le premier pôle qui coupe
pour $k_{pp} = 1,2$ et $f_r = 50$ Hz**

Durée minimale de coupure ms		$10,0 < t \leq 27,0$		$27,0 < t \leq 47,0$		$47,0 < t \leq 67,5$		$67,5 < t \leq 87,5$		$87,5 < t \leq 108$	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
$\tau=120$ ms grande alternance	1 100 1 200	530 574	871 924	615 667	1 070 1 145	671 729	1 206 1 297	709 772	1 304 1 406	736 801	1 375 1 487
$\tau=120$ ms petite alternance suivante	1 100 1 200	597 655	1 374 1 524	669 733	1 491 1 648	715 783	1 559 1 719	746 815	1 599 1 760	766 837	1 623 1 784

Tableau I.6 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,2$ et $f_r = 60$ Hz

Durée minimale de coupure ms		$8,5 < t \leq 22,5$		$22,5 < t \leq 39,0$		$39,0 < t \leq 56,0$		$56,0 < t \leq 73,0$		$73,0 < t \leq 89,5$		$89,5 < t \leq 106,5$	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
$\tau = 120$ ms grande alternance	1 100 1 200	483 522	727 760	569 617	931 987	629 683	1 077 1 150	672 730	1 187 1 272	704 765	1 271 1 367	728 792	1 336 1 440
$\tau = 120$ ms petite alternance suivante	1 100 1 200	571 628	1 373 1 531	645 707	1 490 1 653	693 760	1 561 1 727	727 796	1 605 1 772	751 822	1 632 1 799	768 840	1 649 1 815

Tableau I.7 – Pourcentage de la composante continue et du di/dt au zéro de courant pour le premier pôle qui coupe pour $f_r = 50$ Hz

τ	Durée minimale de coupure	Grande alternance		Petite alternance suivante			
		composante continue	di/dt	composante continue	di/dt	$I_{crête}$	durée de l'alternance
ms	ms	%	%	%	%	p.u.	ms
45	$10,0 < t \leq 27,0$	44,6	92,7	37,9	89,9	0,59	7,5
	$27,0 < t \leq 47,5$	28,9	97,8	24,1	95,3	0,74	8,5
	$47,5 < t \leq 68,0$	18,7 ^a	99,6	15,3 ^a	97,7	0,83	9,0
60	$10,0 < t \leq 27,0$	54,2	86,9	48,6	84,8	0,49	6,5
	$27,0 < t \leq 47,5$	39,2	94,1	34,5	92,0	0,63	7,5
	$47,5 < t \leq 67,5$	28,3	97,4	24,6	95,6	0,74	8,5
	$67,5 < t \leq 88,0$	20,3	99,0	17,6 ^a	97,5	0,81	9,0
75	$10,0 < t \leq 27,0$	61,0	81,8	56,4	80,2	0,41	6,0
	$27,0 < t \leq 47,5$	47,1	90,2	42,9	88,5	0,55	7,0
	$47,5 < t \leq 67,5$	36,3	94,7	32,7	93,1	0,66	8,0
	$67,5 < t \leq 87,5$	27,9	97,2	25,0	95,8	0,74	8,5
	$87,5 < t \leq 108,0$	21,4	98,6	19,1 ^a	97,3	0,80	8,5
120	$10,0 < t \leq 27,0$	73,1	70,2	70,2	69,4	0,28	5,0
	$27,0 < t \leq 47,0$	62,1	80,0	59,2	79,0	0,39	6,0
	$47,0 < t \leq 67,5$	52,8	86,4	50,0	85,3	0,49	6,5
	$67,5 < t \leq 87,5$	44,8	90,6	42,2	89,5	0,57	7,0
	$87,5 < t \leq 108,0$	38,0	93,5	35,6	92,4	0,63	7,5

^a Pourcentage de la composante continue inférieur à 20 %. Essai à réaliser sans réduction du di/dt et/ou sans les paramètres de la TTR.

Tableau I.8 – Pourcentage de la composante continue et du di/dt au zéro de courant pour le premier pôle qui coupe pour $f_r = 60$ Hz

τ	Durée minimale de coupure	Grande alternance		Petite alternance suivante			
		composante continue	di/dt	composante continue	di/dt	$I_{\text{crête}}$	durée de l'alternance
ms	ms	%	%	%	%	p.u.	ms
45	$8,5 < t \leq 22,5$	50,8	89,1	44,8	86,8	0,52	5,5
	$22,5 < t \leq 39,5$	35,4	95,6	30,6	93,4	0,67	6,5
	$39,5 < t \leq 56,5$	24,6	98,4	21,0	96,5	0,77	7,0
	$56,5 < t \leq 73,0$	17,1 ^a	99,5	14,5 ^a	98,1	0,84	7,5
60	$8,5 < t \leq 22,5$	59,8	82,8	55,0	81,1	0,43	5,0
	$22,5 < t \leq 39,5$	45,7	91,0	41,4	89,2	0,57	6,0
	$39,5 < t \leq 56,5$	34,8	95,3	31,2	93,6	0,67	6,5
	$56,5 < t \leq 73,0$	26,4	97,6	23,5	96,2	0,75	7,0
	$73,0 < t \leq 90,0$	20,1	98,6	17,8 ^a	97,6	0,81	7,5
75	$8,5 < t \leq 22,5$	66,1	77,4	62,1	76,2	0,36	4,5
	$22,5 < t \leq 39,5$	53,2	86,5	49,5	85,1	0,49	5,5
	$39,5 < t \leq 56,0$	42,8	91,9	39,5	90,5	0,59	6,0
	$56,0 < t \leq 73,0$	34,4	95,1	31,5	93,8	0,67	6,5
	$73,0 < t \leq 90,0$	27,6	97,1	25,2	95,9	0,74	7,0
	$90,0 < t \leq 106,5$	22,2	98,3	20,1	97,3	0,79	7,0
120	$8,5 < t \leq 22,5$	77,0	65,6	74,6	64,9	0,24	4,0
	$22,5 < t \leq 39,0$	67,2	75,6	64,7	74,8	0,34	4,5
	$39,0 < t \leq 56,0$	58,6	82,2	56,2	81,5	0,43	5,0
	$56,0 < t \leq 73,0$	51,1	87,1	48,8	86,2	0,50	5,5
	$73,0 < t \leq 89,5$	44,6	90,5	42,4	89,6	0,57	6,0
	$89,5 < t \leq 106,5$	38,8	93,0	36,9	92,2	0,62	6,5

^a Pourcentage de la composante continue inférieur à 20 %. Essai à réaliser sans réduction du di/dt et/ou sans les paramètres de la TTR.

I.4 Correction du di/dt et de la TTR du premier pôle qui coupe pour les essais avec asymétrie intermédiaire

Pour les paramètres de la dernière alternance de courant comprenant di/dt , se reporter aux Tableaux L.12 à L.17.

La VATR et la crête de la TTR peuvent être calculées à l'aide du pourcentage de réduction du di/dt au zéro de courant après la grande alternance intermédiaire.

I.5 Correction du di/dt et de la TTR du deuxième ou du dernier pôle qui coupe avec une grande alternance rallongée avec asymétrie exigée lors des essais triphasés

Pour les paramètres de la dernière alternance de courant comprenant di/dt , se reporter aux Tableaux L.12 à L.17.

La VATR et la crête de la TTR peuvent être calculées à l'aide du rapport entre le di/dt réduit au zéro de courant après la grande alternance rallongée et le di/dt au zéro de courant du courant de court-circuit symétrique du deuxième ou du dernier pôle qui coupe avec une alternance rallongée.

I.6 Correction du di/dt et de la TTR lors des essais avec une petite alternance suivante

Pour les essais monophasés, la TTR pour la petite alternance suivante doit être appliquée avec le même facteur de pôle qui coupe que la grande alternance qui a échoué. Les valeurs de TTR pour la petite alternance suivante dans le cas d'un premier pôle qui coupe peuvent être déduites des Tableaux I.1 à I.6 ou calculées selon I.7.

NOTE Cette procédure d'essai reproduit les conditions d'un essai direct monophasé qui couvre suffisamment les conditions de TTR lors des essais triphasés.

Aucune correction n'est appliquée aux essais triphasés.

I.7 Calcul du di/dt et de la TTR du premier pôle qui coupe

I.7.1 Généralités

L'Article I.7 est applicable pour les conditions de défaut d'asymétrie, sur la phase présentant une asymétrie exigée uniquement, lorsque les valeurs ne sont pas données dans les Tableaux I.1 à I.6 ni dans les Tableaux L.12 à L.17.

I.7.2 Calcul du di/dt

Pour le di/dt , la valeur maximale est obtenue pour la condition de défaut de symétrie. Lors de la condition de défaut d'asymétrie, le di/dt est réduit et dépend de la composante continue au zéro de courant. Le di/dt au zéro de courant est calculé au moyen des équations suivantes:

a) Pour les petites alternances:

$$\frac{di}{dt}(\text{p.u.})_- = \sqrt{(1-p^2)} - \frac{p}{2\pi f\tau} \quad (\text{I.1})$$

b) Pour les grandes alternances:

$$\frac{di}{dt}(\text{p.u.})_+ = \sqrt{(1-p^2)} + \frac{p}{2\pi f\tau} \quad (\text{I.2})$$

où

$di/dt(\text{p.u.})$ est le di/dt en p.u. de la condition de défaut de symétrie;

– est l'indice utilisé pour désigner la petite alternance;

+

est l'indice utilisé pour désigner la grande alternance;

p est la composante continue au zéro de courant en p.u.;

f est la fréquence (Hz);

τ est la constante de temps continue du courant de court-circuit (s).

I.7.3 Calcul de la TTR

Lorsque la coupure survient, le moment du zéro de courant ne correspond pas à la crête de la tension appliquée comme c'est le cas pendant la condition de défaut de symétrie. La composante continue modifie le déplacement angulaire entre les zéros de courant et la tension à fréquence industrielle appliquée. Les coordonnées de l'amplitude de la TTR (u_1 , u_c)

sont donc modifiées en fonction du déphasage entre le moment du zéro de courant et la crête de la tension à fréquence industrielle appliquée.

Les coordonnées de l'amplitude de la TTR correspondantes (u_1 , u_c) doivent être calculées à l'aide des équations suivantes:

a) TTR à deux paramètres:

$$u_c(\text{p.u.}) = \frac{k_1 A_1}{2\pi f} \quad (\text{I.3})$$

et

$$k_{1-} = \sin(2\pi f t_3 - \arcsin(p)) + p \times e^{-\frac{t_3}{\tau}} \quad (\text{pour la petite alternance}) \quad (\text{I.4})$$

$$k_{1+} = \sin(2\pi f t_3 + \arcsin(p)) - p \times e^{-\frac{t_3}{\tau}} \quad (\text{pour la grande alternance}) \quad (\text{I.5})$$

$$A_1 = \frac{2\pi f}{\sin(2\pi f t_3)} \quad (\text{I.6})$$

où

u_c est la crête de TTR en p.u. du cas symétrique;

k_1 est la constante de calcul;

– est l'indice utilisé pour désigner la petite alternance;

– est l'indice utilisé pour désigner la grande alternance;

A_1 est la variable de calcul;

p est la composante continue au zéro de courant en p.u.;

f est la fréquence (Hz);

τ est la constante de temps continue du courant de court-circuit (s);

t_3 est la coordonnée de temps t_3 spécifiée (s).

b) TTR à quatre paramètres:

$$u_1(\text{p.u.}) = \frac{k_1 A_1}{2\pi f} \quad (\text{I.7})$$

et

$$k_{1-} = \sin(2\pi f t_1 - \arcsin(p)) + p \times e^{-\frac{t_1}{\tau}} \quad (\text{pour la petite alternance}) \quad (\text{I.8})$$

$$k_{1+} = \sin(2\pi f t_1 + \arcsin(p)) - p \times e^{-\frac{t_1}{\tau}} \quad (\text{pour la grande alternance}) \quad (\text{I.9})$$

$$A_1 = \frac{2\pi f}{\sin(2\pi f t_1)} \quad (\text{I.10})$$

où

- u_1 est la crête de TTR en p.u. du cas symétrique;
 k_1 est la constante de calcul;
 $-$ est l'indice utilisé pour désigner la petite alternance;
 $+$ est l'indice utilisé pour désigner la grande alternance;
 A_1 est la variable de calcul;
 p est la composante continue au zéro de courant en p.u.;
 f est la fréquence (Hz);
 τ est la constante de temps continue du courant de court-circuit (s);
 t_1 est la coordonnée de temps t_1 spécifiée (s).
et

$$u_c(\text{p.u.}) = \frac{k_2 A_1}{\frac{1}{0,75} k_{af} \times 2\pi f} - \frac{k_3 A_2}{2\pi f} = \frac{0,75 \times k_2 A_1}{k_{af} \times 2\pi f} - \frac{k_3 A_2}{2\pi f} \quad (\text{I.11})$$

et

$$k_{2-} = \sin(2\pi f t_2 - \arcsin(p)) + p \times e^{-\frac{t_2}{\tau}} \quad (\text{pour la petite alternance}) \quad (\text{I.12})$$

$$k_{2+} = \sin(2\pi f t_2 + \arcsin(p)) - p \times e^{-\frac{t_2}{\tau}} \quad (\text{pour la grande alternance}) \quad (\text{I.13})$$

$$k_{3-} = \sin(2\pi f (t_2 - t_1) - \arcsin(p)) + p \times e^{-\frac{(t_2 - t_1)}{\tau}} \quad (\text{pour la petite alternance}) \quad (\text{I.14})$$

$$k_{3+} = \sin(2\pi f (t_2 - t_1) + \arcsin(p)) - p \times e^{-\frac{(t_2 - t_1)}{\tau}} \quad (\text{pour la grande alternance}) \quad (\text{I.15})$$

$$A_1 = \frac{2\pi f}{\sin(2\pi f t_1)} \quad (\text{I.16})$$

$$A_2 = \frac{\frac{A_1 \sin(2\pi f t_2)}{\frac{1}{0,75} k_{af}} - 2\pi f}{\sin(2\pi f (t_2 - t_1))} = \frac{\frac{0,75 \times A_1 \sin(2\pi f t_2)}{k_{af}} - 2\pi f}{\sin(2\pi f (t_2 - t_1))} \quad (\text{I.17})$$

où

- u_c est la crête de TTR en p.u. du cas symétrique;
 k_{af} est le facteur d'amplitude;
 k_2 est la variable de calcul;
 k_3 est la variable de calcul;
 $-$ est l'indice utilisé pour désigner la petite alternance;
 $+$ est l'indice utilisé pour désigner la grande alternance;
 A_1 est la variable de calcul;
 A_2 est la variable de calcul;

- p est la composante continue au zéro de courant en p.u.;
- f est la fréquence (Hz);
- τ est la constante de temps continue du courant de court-circuit (s);
- t_1 est la coordonnée de temps t_1 spécifiée (s);
- t_2 est la coordonnée de temps t_2 spécifiée (s).

I.7.4 Exemples de calcul du di/dt et de la TTR

Les paramètres suivants sont pris en compte à titre d'exemple:

- tension assignée: 145 kV
- fréquence assignée: 50 Hz
- courant assigné de court-circuit: 40 kA
- constante de temps continue du courant de court-circuit: 45 ms
- facteur assigné de premier pôle qui coupe: 1,3
- durée minimale de coupure: 43 ms
- TTR (cas symétrique): u_1 115 kV
 t_1 58 μ s
 u_c 215 kV
 t_2 232 μ s

Pour le premier pôle qui coupe (grande alternance), les paramètres suivants s'appliquent conformément au:

- Tableau I.7, pourcentage de la composante continue au zéro de courant: 28,9 % (0,289 p.u.);
- Tableau I.7, pourcentage du di/dt au zéro de courant: 97,8 % (0,978 p.u.).

Certains disjoncteurs ne coupent pas à la fin d'une grande alternance après la durée d'arc exigée. Pour la petite alternance de courant suivante, les paramètres suivants s'appliquent conformément au:

- Tableau I.7, pourcentage de la composante continue au zéro de courant: 24,1 % (0,241 p.u.);
- Tableau I.7, pourcentage du di/dt au zéro de courant: 95,3 % (0,953 p.u.).

Les valeurs suivantes sont calculées à partir des équations précédentes:

- $k_{1-} = 0,01741$;
- $k_{1+} = 0,01777$;
- $A_1 = 17242,33$;
- $u_{1-} = 0,95568$ p.u.;
- $u_{1+} = 0,97513$ p.u.;
- $k_{2-} = 0,07007$;
- $k_{2+} = 0,07043$;
- $k_{3-} = 0,05246$;
- $k_{3+} = 0,05299$;
- $A_2 = 6561,19$;
- $u_{c-} = 0,96481$ p.u.;
- $u_{c+} = 0,96419$ p.u.

Avec ces résultats, le di/dt et la TTR modifiés obtenus à appliquer au disjoncteur sont:

a) Pour la grande alternance:

$$di/dt = 0,978 \text{ p.u.} \times 40 \text{ kA} \times \sqrt{2} \times 2\pi f = 17,38 \text{ A}/\mu\text{s};$$

$$u_1 = 0,97513 \text{ p.u.} \times 115 \text{ kV} = 112 \text{ kV};$$

$$t_1 = 58 \mu\text{s};$$

$$u_1/t_1 = 1,93 \text{ kV}/\mu\text{s}$$

$$u_c = 0,96419 \text{ p.u.} \times 215 \text{ kV} = 207 \text{ kV};$$

$$t_2 = 232 \mu\text{s}.$$

b) Pour la petite alternance suivante:

$$di/dt = 0,953 \text{ p.u.} \times 40 \text{ kA} \times \sqrt{2} \times 2\pi f = 16,93 \text{ A}/\mu\text{s};$$

$$u_1 = 0,95568 \text{ p.u.} \times 115 \text{ kV} = 110 \text{ kV};$$

$$t_1 = 58 \mu\text{s};$$

$$u_1/t_1 = 1,89 \text{ kV}/\mu\text{s}$$

$$u_c = 0,96481 \text{ p.u.} \times 215 \text{ kV} = 207 \text{ kV};$$

$$t_2 = 232 \mu\text{s}.$$

J.3 Circuit d'essais synthétiques triphasés avec une injection en deux phases

Ajouter, avant la Figure J.1, l'alinéa suivant:

Le circuit représenté à la Figure J.5 n'applique pas la bonne tension entre les phases, car aucune TTR ni aucune tension de rétablissement n'est appliquée sur une phase. Par conséquent, il convient d'utiliser ce circuit avec précaution, par exemple pour un disjoncteur dont les trois pôles sont dans la même enveloppe. Ce circuit peut être utilisé en combinaison avec des essais en plusieurs parties.

Annexe K (normative) Procédure d'essai utilisant un circuit de courant triphasé et un circuit de tension

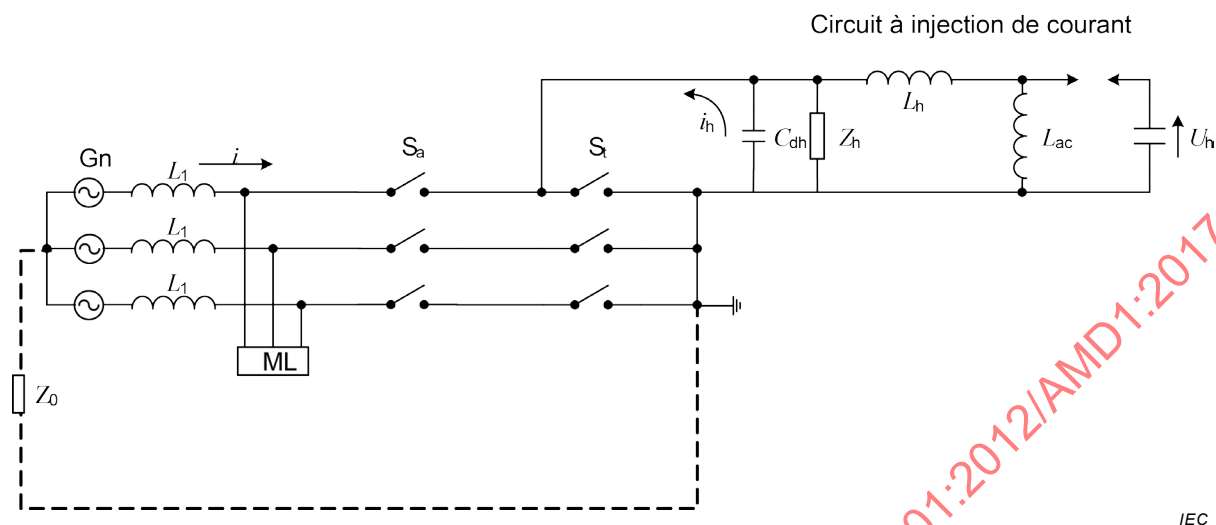
Remplacer le texte existant, y compris les figures, par ce qui suit:

K.1 Circuit d'essai

Le disjoncteur doit être connecté dans un circuit d'essai, dont un exemple est donné à la Figure K.1 avec les exigences suivantes:

- Une source de courant triphasée avec le point neutre de l'alimentation isolé et le point de court-circuit mis à la terre, comme représenté à la Figure 25a de l'IEC 62271-100:2008. Cela donne un facteur de premier pôle qui coupe de 1,5. En variante, le point neutre de l'alimentation peut être connecté à la terre par une impédance appropriée et le point de court-circuit mis à la terre, comme représenté à la Figure 26a de l'IEC 62271-100:2008, pour donner un facteur de premier pôle qui coupe de 1,3;
- Un disjoncteur auxiliaire utilisé pour séparer le circuit de courant du circuit de tension;
- Un circuit de tension à injection de courant parallèle est représenté dans l'IEC 62271-306. Ce circuit est utilisé pour appliquer la TTR et la tension de rétablissement. Il est connecté entre le pôle représentant le pôle qui coupe et la terre, conformément aux procédures d'essais données dans les Tableaux K.1 à K.10. Il est possible de fournir la tension de rétablissement alternative à fréquence industrielle à l'aide d'une impédance supplémentaire, L_{ac} ;

- d) Des circuits de réallumage connectés à chaque phase pour prolonger l'arc du disjoncteur en essai pendant le nombre nécessaire de zéros du courant à fréquence industrielle.



Légende

Gn	Source de courant triphasée	Z_h	Impédance d'onde équivalente du circuit de tension
S_a	Disjoncteur auxiliaire	C_{dh}	Capacité pour le retard du circuit de tension
S_t	Disjoncteur en essai	L_h	Inductance du circuit de tension
Z_0	Impédance au point neutre (lorsqu'un circuit avec $k_{pp} = 1,3$ est utilisé)	U_h	Tension de charge du circuit de tension
L_1	Inductance du circuit de courant	i	Courant du circuit de courant
ML	Circuit de réallumage multi-alternances	i_h	Courant injecté
		L_{ac}	Réactance supplémentaire lorsqu'une tension de rétablissement alternative est demandée

Le circuit de tension doit être connecté entre le premier ou le dernier pôle qui coupe et la terre, conformément aux exigences des tableaux.

Figure K.1 – Exemple d'un circuit de courant triphasé avec une injection synthétique monophasée

K.2 Méthode d'essai

K.2.1 Généralités

Une combinaison des facteurs de premier pôle qui coupe de 1,5 et 1,3 peut être exécutée, conformément au 6.102.10.3.4 de l'IEC 62271-100:2008/AMD2:2017, tout en découpant les séquences d'essais en tenant compte de la TTR associée à chaque pôle qui coupe, conformément à K.2.4.

Le but de cette séquence d'essais est de démontrer au moins 3 manœuvres réussies avec la TTR associée au même pôle.

K.2.2 Séquence d'essais T100s(b)

Les procédures d'essais triphasés pour la démonstration des durées d'arc conformément au 6.102.10.3.2 de l'IEC 62271-100:2008/AMD2:2017 sont données dans les Tableaux K.1 et K.2 pour un facteur de premier pôle qui coupe de 1,5 et dans les Tableaux K.3 et K.4 pour un facteur de premier pôle qui coupe de 1,3.

Il est reconnu que les essais des Tableaux K.1 et K.3 sont plus sévères que les essais triphasés, parce que la durée d'arc du dernier ou du deuxième pôle qui coupe est utilisée avec la TTR du premier pôle qui coupe. En variante, le constructeur peut choisir de diviser chaque séquence d'essais en deux ou trois séries d'essais différentes, pour une démonstration des durées d'arc conformément au 6.102.10.3.5 de l'IEC 62271-100:2008/AMD2:2017. Les procédures sont données dans le Tableau K.2 pour un facteur de premier pôle qui coupe de 1,5 et dans le Tableau K.4 pour un facteur de premier pôle qui coupe de 1,3. Pour les essais réalisés conformément aux Tableaux K.2 et K.4, chaque série d'essais doit démontrer une coupure réussie avec la durée d'arc minimale, maximale et moyenne pour chaque pôle qui coupe avec sa TTR associée. La remise en état du disjoncteur après chaque série d'essais est autorisée et doit satisfaire aux exigences de 6.102.9.5 de l'IEC 62271-100:2008.

Si une défaillance se produit en démontrant les durées d'arc maximale ou moyenne à l'aide de la procédure du Tableau K.1 ou K.3, il est alors admissible de continuer les essais en utilisant la procédure d'essai du Tableau K.2 ou K.4. Dans ce cas, à condition qu'aucune remise en état du disjoncteur n'ait eu lieu, les essais démontrant la durée d'arc minimale sur le premier pôle qui coupe peuvent être omis.

Toutes les durées d'arc exigées peuvent être appliquées sur le même pôle avec la même polarité de la tension de rétablissement.

Tableau K.1 – Démonstration des durées d'arc pour $k_{pp} = 1,5$

Essai N°	Séquence d'essais ^a	Durée d'arc (complémentaire au $t_{arc\ min}$ du premier pôle qui coupe pour la phase soumise à la TTR) ^b	Condition d'essais (par rapport au réseau triphasé)	TTR		Courant injecté di/dr %
				Application (par rapport au circuit de courant triphasé)	Valeur de u_c p.u.	
1	Os	0	$t_{arc\ min}$ sur le premier pôle qui coupe	premier pôle qui coupe	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer $t_{arc\ min}$	premier pôle qui coupe	1,0	100
3	Od- t -CdOs	$T \times 132^\circ / 360^\circ$ $(T \times 42^\circ / 360^\circ$ relative au premier pôle qui coupe)	$t_{arc\ max}$ sur le dernier pôle qui coupe	dernier pôle qui coupe avec une alternance rallongée	1,0	100
4	CdOs	$T \times 66^\circ / 360^\circ$	$t_{arc\ med}$	premier pôle qui coupe	1,0	100

Démonstration des durées d'arc selon 6.102.10.3.2 de l'IEC 62271-100:2008/AMD2:2017.

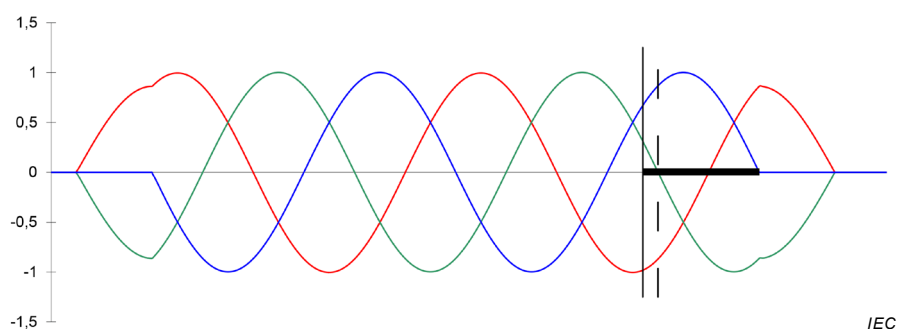
Fenêtre de coupure selon la Figure 38 de l'IEC 62271-100:2008/AMD2:2017.

La Figure K.2 donne une représentation des conditions d'essais.

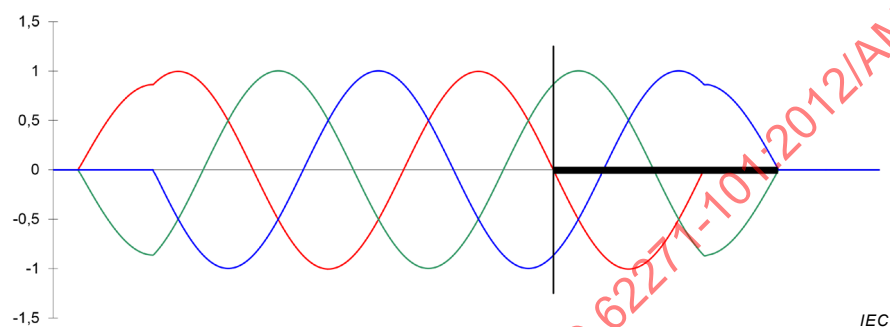
Dans le cas d'une séquence de manœuvres CO- t ''-CO, l'essai n°3 doit être remplacé par CdOd- t ''-CdOs et l'essai n°4 n'est pas exigé.

^a Les abréviations sont conformes au Tableau 6.

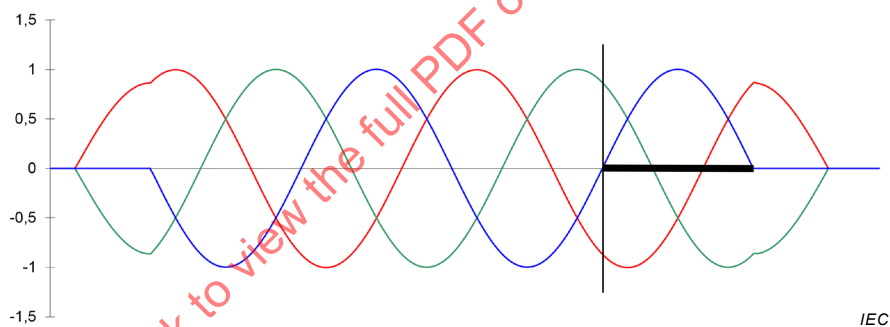
^b Où $d\alpha = 18^\circ$.



Essai n°1 et 2: Application de la TTR sur le premier pôle qui coupe



Essai n°3: Application de la TTR sur le dernier pôle qui coupe avec une alternance rallongée



Essai n°4: Application de la TTR sur le premier pôle qui coupe

Figure K.2 – Représentation des conditions d'essais du Tableau K.1

Tableau K.2 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,5$

Essai N°	Séquence d'essais ^a	Durée d'arc (complémentaire au $t_{arc\ min}$ du premier pôle qui coupe pour la phase soumise à la TTR) ^b	Condition d'essais (par rapport au réseau triphasé)	TTR		Courant injecté dI/dt %
				Application (par rapport au circuit de courant triphasé)	Valeur de u_c p.u.	
1	Os	0	$t_{arc\ min}$ sur le premier pôle qui coupe	premier pôle qui coupe	1,0	100
2	Os	$-T \times \alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer $t_{arc\ min}$	premier pôle qui coupe	1,0	100
3	Od- <i>t</i> -CdOs	$T \times 42^\circ / 360^\circ$	$t_{arc\ max}$ sur le premier pôle qui coupe	premier pôle qui coupe	1,0	100
4	Os	$T \times 90^\circ / 360^\circ$	$t_{arc\ min}$ sur le dernier pôle qui coupe	dernier pôle qui coupe avec une alternance rallongée	0,58	87
5	CdOs	$T \times 132^\circ / 360^\circ$	$t_{arc\ max}$ sur le dernier pôle qui coupe	dernier pôle qui coupe avec une alternance rallongée	0,58	87

Démonstration des durées d'arc selon 6.102.10.3.5 de l'IEC 62271-100:2008/AMD2:2017.

Fenêtre de coupure selon la Figure 38 de l'IEC 62271-100:2008/AMD2:2017.

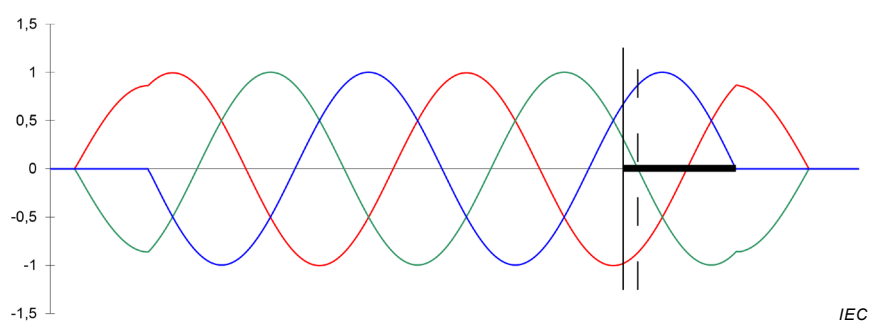
En cas de défaillance au cours de l'essai 5, le disjoncteur peut être remis en état et les essais 3 à 5 doivent être répétés. La série d'essais est démontrée si aucune autre défaillance ne se produit.

La Figure K.3 donne une représentation des conditions d'essais.

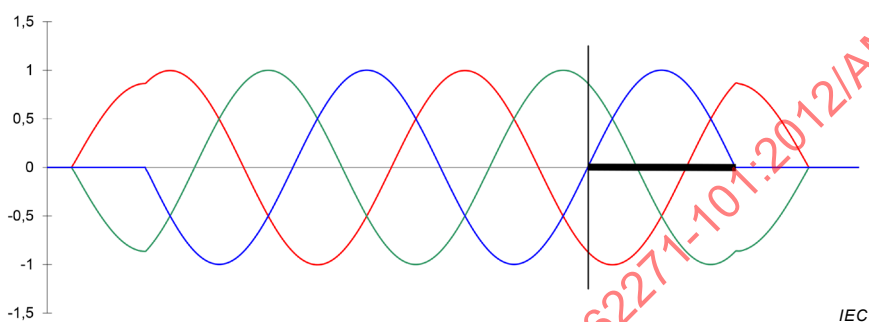
Dans le cas d'une séquence de manœuvres CO-*t*-CO, l'essai n°3 doit être remplacé par CdOd-*t*-CdOs et l'essai n°4 n'est pas exigé.

^a Les abréviations sont conformes au Tableau 6.

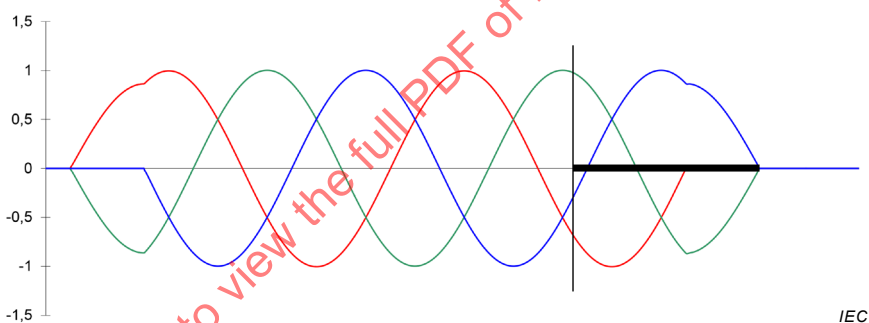
^b Où $\alpha = 18^\circ$.



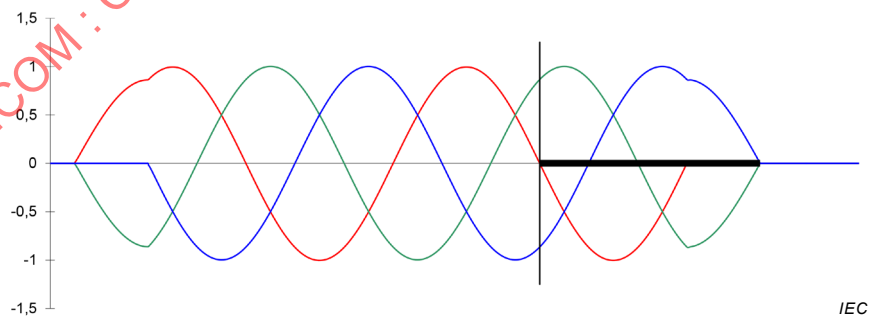
Essai n° 1 et 2: Application de la TTR sur le premier pôle qui coupe



Essai n° 3: Application de la TTR sur le premier pôle qui coupe



Essai n° 4: Application de la TTR sur le dernier pôle qui coupe avec une alternance rallongée



Essai n° 5: Application de la TTR sur le dernier pôle qui coupe avec une alternance rallongée

Figure K.3 – Représentation des conditions d'essais du Tableau K.2

Tableau K.3 – Démonstration des durées d'arc pour $k_{pp} = 1,3$

Essai N°	Séquence d'essais ^a	Durée d'arc (complémentaire au $t_{\text{arc min}}$ du premier pôle qui coupe pour la phase soumise à la TTR) ^b	Condition d'essais (par rapport au réseau triphasé)	TTR		Courant injecté d_i/d_r %
				Application (par rapport au circuit de courant triphasé)	Valeur de u_c p.u.	
1	Os	0	$t_{\text{arc min}}$ sur le premier pôle qui coupe	premier pôle qui coupe	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer $t_{\text{arc min}}$	premier pôle qui coupe	1,0	100
3	Od- t -CdOs	$T \times 162^\circ / 360^\circ$ ($T \times 42^\circ / 360^\circ$ relative au premier pôle qui coupe)	$t_{\text{arc max}}$ sur le troisième pôle qui coupe	troisième pôle qui coupe	1,0	100
4	CdOs	$T \times 81^\circ / 360^\circ$ ($T \times 4^\circ / 360^\circ$ relative au premier pôle qui coupe)	$t_{\text{arc med}}$	deuxième pôle qui coupe	1,0	100

Démonstration des durées d'arc selon 6.102.10.3.2 de l'IEC 62271-100:2008/AMD2:2017.

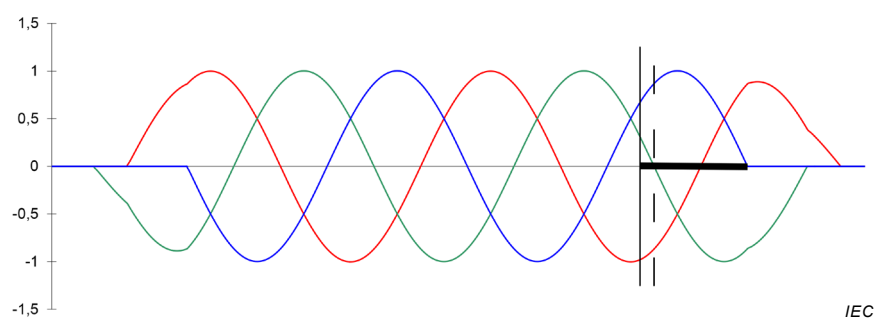
Fenêtre de coupure selon la Figure 37 de l'IEC 62271-100:2008/AMD2:2017.

La Figure K.4 donne une représentation des conditions d'essais.

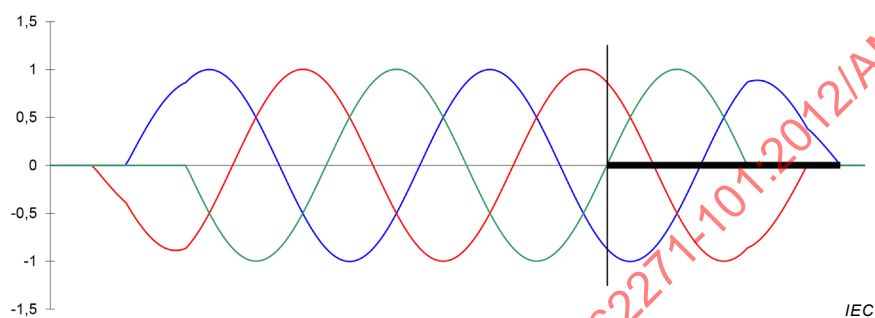
Dans le cas d'une séquence de manœuvres CO- t ''-CO, l'essai n°3 doit être remplacé par CdOd- t ''-CdOs et l'essai n° 4 n'est pas exigé.

^a Les abréviations sont conformes au Tableau 6.

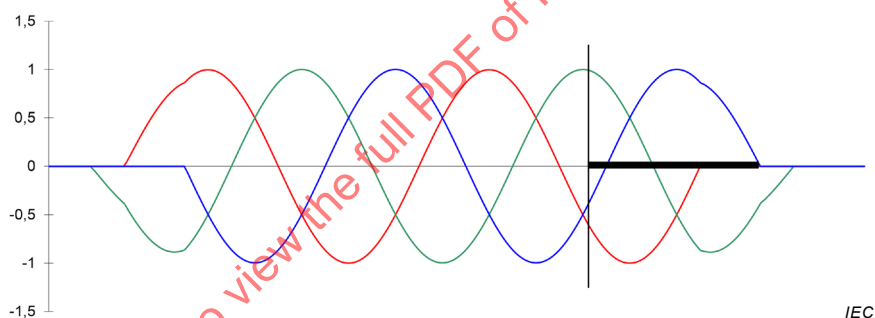
^b Où $d\alpha = 18^\circ$.



Essai n° 1 et 2: Application de la TTR sur le premier pôle qui coupe



Essai n° 3: Application de la TTR sur le troisième pôle qui coupe



Essai n° 4: Application de la TTR sur le deuxième pôle qui coupe

Figure K.4 – Représentation des conditions d'essais du Tableau K.3

Tableau K.4 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,3$

Essai N°	Séquence d'essais ^a	Durée d'arc (complémentaire au $t_{\text{arc min}}$ du premier pôle qui coupe pour la phase soumise à la TTR) ^b	Condition d'essais (par rapport au réseau triphasé)	TTR		Courant injecté (di/dr) %
				Application (par rapport au circuit de courant triphasé)	Valeur de u_c p.u.	
1	Os	0	$t_{\text{arc min}}$ sur le premier pôle qui coupe	premier pôle qui coupe	1,0	100
2	Os	$-T \times \alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer $t_{\text{arc min}}$	premier pôle qui coupe	1,0	100
3	Od- t -CdOs	$T \times 42^\circ / 360^\circ$	$t_{\text{arc max}}$ sur le premier pôle qui coupe	premier pôle qui coupe	1,0	100
4	CdOs	$T \times 77^\circ / 360^\circ$	$t_{\text{arc min}}$ sur le deuxième pôle qui coupe	deuxième pôle qui coupe	0,97	89
5	Od- t -CdOs	$T \times 119^\circ / 360^\circ$	$t_{\text{arc max}}$ sur le deuxième pôle qui coupe	deuxième pôle qui coupe	0,97	89
6	Od- t -CdOs	$T \times 162^\circ / 360^\circ$	$t_{\text{arc max}}$ sur le troisième pôle qui coupe	troisième pôle qui coupe	0,77	57

Démonstration des durées d'arc selon 6.102.10.3.5 de l'IEC 62271-100:2008/AMD2:2017.

Fenêtre de coupure selon la Figure 37 de l'IEC 62271-100:2008/AMD2:2017.

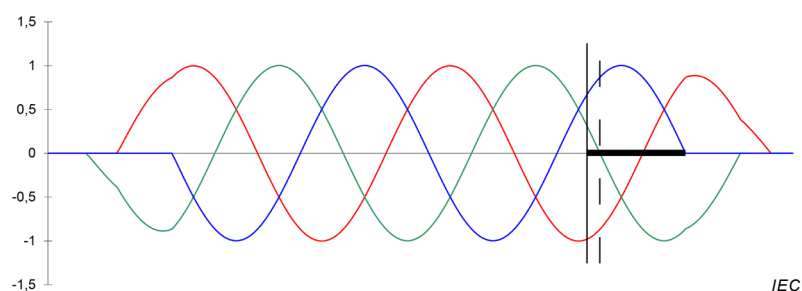
La Figure K.5 donne une représentation des conditions d'essais.

En cas de défaillance au cours de l'essai 5 ou 6, le disjoncteur peut être remis en état et les essais 4 à 6 doivent être répétés. La série d'essais est démontrée si aucune autre défaillance ne se produit.

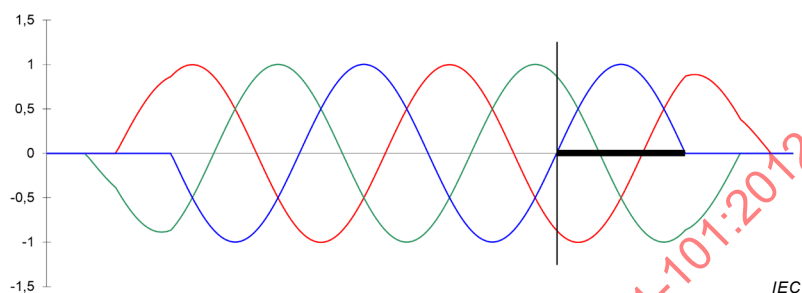
Dans le cas d'une séquence de manœuvres CO- r -CO, les essais n° 3, 5 et 6 doivent être remplacés par CdOd- r -CdOs.

^a Les abréviations sont conformes au Tableau 6.

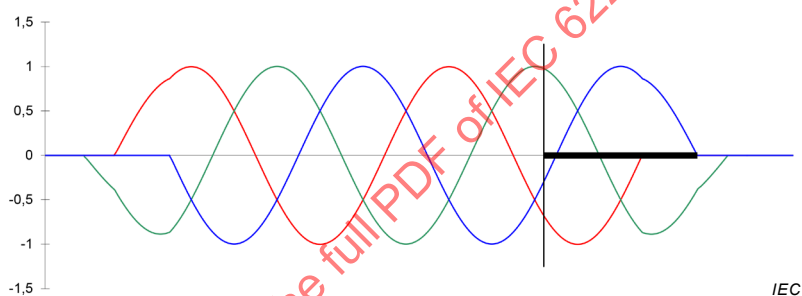
^b Où $\alpha = 18^\circ$.



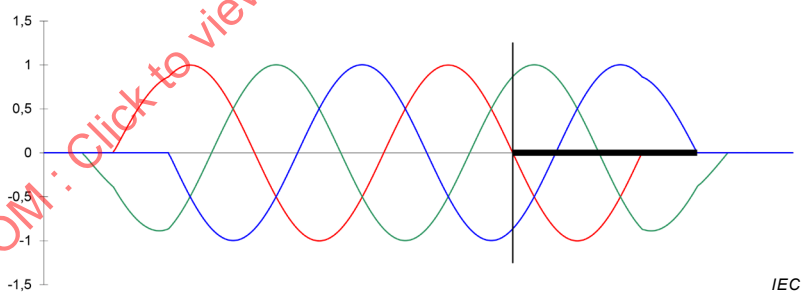
Essai n° 1 et 2: Application de la TTR sur le premier pôle qui coupe



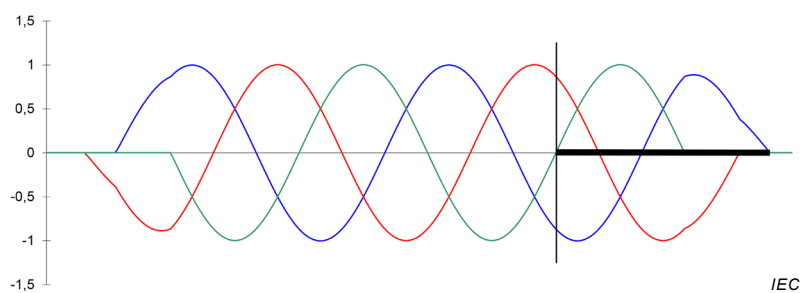
Essai n° 3: Application de la TTR sur le premier pôle qui coupe



Essai n° 4: Application de la TTR sur le deuxième pôle qui coupe



Essai n° 5: Application de la TTR sur le deuxième pôle qui coupe



Essai n° 6: Application de la TTR sur le troisième pôle qui coupe

Figure K.5 – Représentation des conditions d'essais du Tableau K.4

K.2.3 Séquence d'essais T100a

La procédure d'essais triphasés pour la démonstration des durées d'arc conformément à 6.102.10.2.2 est donnée dans les Tableaux K.5 et K.6 pour un facteur de premier pôle qui coupe de 1,5 et dans les Tableaux K.7 et K.8 pour un facteur de premier pôle qui coupe de 1,3.

Il est reconnu que les essais des Tableaux K.5 et K.7 sont plus sévères que les essais triphasés, parce que la durée d'arc du dernier ou du deuxième pôle qui coupe est utilisée avec la TTR du premier pôle qui coupe. En variante, le constructeur peut choisir de diviser chaque séquence d'essais en deux ou trois séries d'essais différentes, pour une démonstration des durées d'arc conformément au 6.102.10.3.5 de l'IEC 62271-100:2008/AMD2:2017. Les procédures sont données dans le Tableau K.6 pour un facteur de premier pôle qui coupe de 1,5 et dans le Tableau K.8 pour un facteur de premier pôle qui coupe de 1,3. Pour les essais réalisés conformément aux Tableaux K.6 et K.8, chaque série d'essais doit démontrer une coupure réussie avec la durée d'arc minimale et maximale pour chaque pôle qui coupe avec sa TTR associée. La remise en état du disjoncteur après chaque série d'essais est autorisée et doit satisfaire aux exigences de 6.102.9.5 de l'IEC 62271-100:2008.

Si une défaillance se produit en démontrant la durée d'arc maximale sur le deuxième ou le dernier pôle qui coupe à l'aide de la procédure du Tableau K.5 ou K.7, il est alors admissible de continuer les essais en utilisant la procédure d'essai du Tableau K.6 ou K.8. Dans ce cas, à condition qu'aucune remise en état du disjoncteur n'ait eu lieu, les essais démontrant la durée d'arc minimale et maximale sur le premier pôle qui coupe peuvent être omis.

Pour éviter de modifier la connexion du circuit à haute tension entre les essais sur les premier, deuxième et troisième pôles qui coupent, toutes les durées d'arc exigées peuvent être appliquées sur le même pôle avec la même polarité de la tension de rétablissement.

Tableau K.5 – Démonstration des durées d'arc pour $k_{pp} = 1,5$

Essai N°	Séquence d'essais	Condition d'asymétrie	Durée d'arc (complémentaire au $t_{arc\ min}$ du premier pôle qui coupe pour la phase soumise à la TTR) ^a	Condition d'essais (par rapport au réseau triphasé)	TTR		Courant injecté (di/dr) %
					Application (par rapport au circuit de courant triphasé)	Valeur de u_c p.u.	
1	Os	Grande alternance intermédiaire (Tableau L.12 ou L.15 col. 7 et 8)	0	$t_{arc\ min}$ sur le premier pôle qui coupe Asymétrie exigée sur le dernier pôle qui coupe avec une alternance rallongée	premier pôle qui coupe	1,0	(Tableau L.12 ou L.15 col. 9)
2	Os	Grande alternance intermédiaire (Tableau L.12 ou L.15 col. 7 et 8)	$-T \times da/360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer $t_{arc\ min}$ Asymétrie exigée sur le dernier pôle qui coupe avec une alternance rallongée	premier pôle qui coupe	1,0	(Tableau L.12 ou L.15 col. 9)
3	Os	Grande alternance assignée (Tableau L.12 ou L.15 col. 3 et 4)	$\Delta t_{a1} - T \times da/360^\circ$	t_{arc1} avec une grande alternance et asymétrie exigée sur le premier pôle qui coupe	premier pôle qui coupe	1,0	(Tableau L.12 ou L.15 col. 5)
4	Os	Grande alternance assignée (Tableau L.12 ou L.15 col. 10 et 11)	$\Delta t_{a2} - T \times da/360^\circ$	t_{arc2} et asymétrie exigée sur le dernier pôle qui coupe avec une alternance rallongée	dernier pôle qui coupe avec une alternance rallongée	1,0	(Tableau L.12 ou L.15 col. 12)

La Figure K.6 donne une représentation des conditions d'essais.

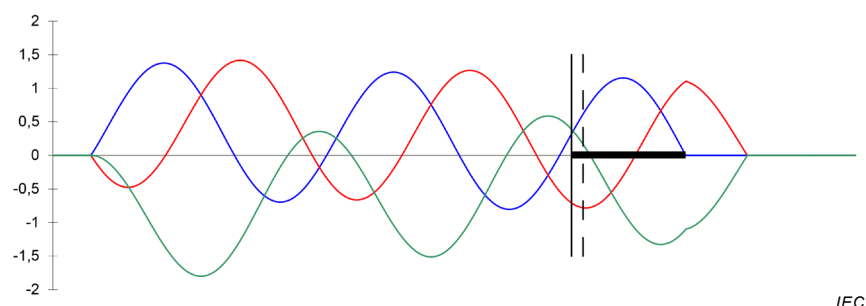
Les valeurs de réduction de la TTR due à l'asymétrie peuvent être trouvées en Annexe I.

^a Où

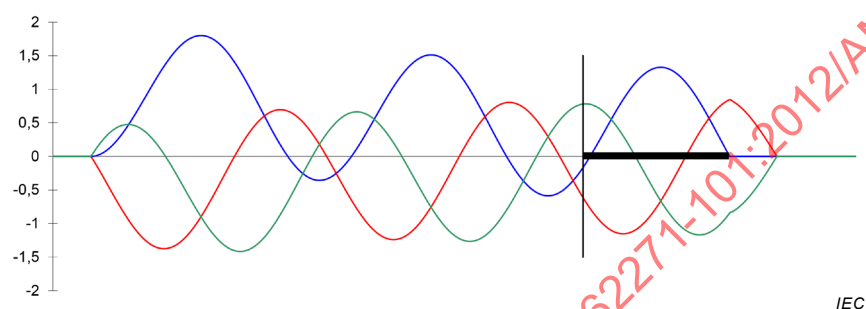
Δt_{a1} est le paramètre applicable à choisir dans la colonne 6 du Tableau L.12 ou du Tableau L.15;

Δt_{a2} est le paramètre applicable à choisir dans la colonne 14 du Tableau L.12 ou du Tableau L.15;

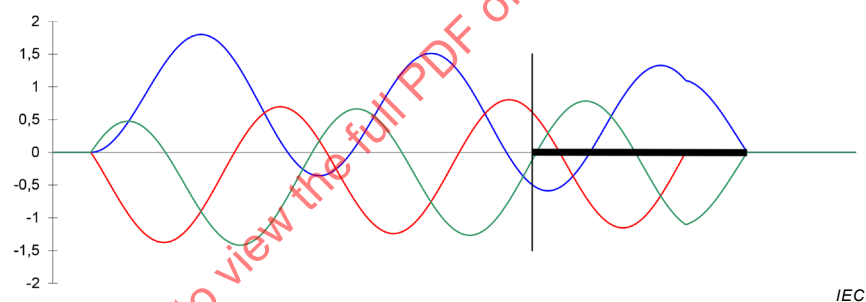
$da = 18^\circ$.



Essai n° 1 et 2: Application de la TTR sur le premier pôle qui coupe



Essai n° 3: Application de la TTR sur le premier pôle qui coupe avec une grande alternance



Essai n° 4: Application de la TTR sur le dernier pôle qui coupe avec une grande alternance rallongée

Figure K.6 – Représentation des conditions d'essais du Tableau K.5