

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**High-voltage switchgear and controlgear –
Part 101: Synthetic testing**

**Appareillage à haute tension –
Partie 101: Essais synthétiques**

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2021



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2021 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigendum or an amendment might have been published.

IEC publications search - webstore.iec.ch/advsearchform

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee, ...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and once a month by email.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: sales@iec.ch.

IEC online collection - oc.iec.ch

Discover our powerful search engine and read freely all the publications previews. With a subscription you will always have access to up to date content tailored to your needs.

Electropedia - www.electropedia.org

The world's leading online dictionary on electrotechnology, containing more than 22 000 terminological entries in English and French, with equivalent terms in 18 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Recherche de publications IEC - webstore.iec.ch/advsearchform

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études, ...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et une fois par mois par email.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: sales@iec.ch.

IEC online collection - oc.iec.ch

Découvrez notre puissant moteur de recherche et consultez gratuitement tous les aperçus des publications. Avec un abonnement, vous aurez toujours accès à un contenu à jour adapté à vos besoins.

Electropedia - www.electropedia.org

Le premier dictionnaire d'électrotechnologie en ligne au monde, avec plus de 22 000 articles terminologiques en anglais et en français, ainsi que les termes équivalents dans 16 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**High-voltage switchgear and controlgear –
Part 101: Synthetic testing**

**Appareillage à haute tension –
Partie 101: Essais synthétiques**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 29.130.10

ISBN 978-2-8322-1004-6

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	9
1 Scope.....	11
2 Normative references.....	11
3 Terms and definitions	11
4 Synthetic testing techniques and methods for short-circuit breaking tests.....	13
4.1 Basic principles and general requirements for synthetic breaking test methods.....	13
4.1.1 General	13
4.1.2 High-current interval.....	14
4.1.3 Interaction interval	15
4.1.4 High-voltage interval	15
4.2 Synthetic test circuits and related specific requirements for breaking tests	18
4.2.1 Current injection methods.....	18
4.2.2 Voltage injection method	19
4.2.3 Duplicate circuit method (transformer or Skeats circuit).....	20
4.2.4 Other synthetic test methods	20
4.3 Three-phase synthetic test methods	20
5 Synthetic testing techniques and methods for short-circuit making tests.....	24
5.1 Basic principles and general requirements for synthetic making test methods	24
5.1.1 General	24
5.1.2 High-voltage interval	27
5.1.3 Pre-arcing interval.....	27
5.1.4 Latching interval and fully closed position	27
5.2 Synthetic test circuit and related specific requirements for making tests	27
5.2.1 General	27
5.2.2 Test circuit and test requirements.....	27
5.2.3 Alternative test method with reduced voltage	32
7 Type tests	33
7.102 General.....	33
7.104 Demonstration of arcing times	34
7.107 Terminal fault tests.....	45
7.109 Short-line fault tests	49
7.110 Out-of-phase making and breaking tests	50
7.111 Capacitive current tests.....	50
Annex A (normative) Correction of di/dt and TRV for test duty T100a	53
A.1 General.....	53
A.2 Reduction in di/dt	53
A.3 Corrected TRV for the first-pole-to-clear with required asymmetry	53
A.4 Correction of the di/dt and TRV of the first-pole-to-clear for tests with intermediate asymmetry	60
A.5 Correction of the di/dt and TRV of the second- or last-pole-to-clear with major extended loop with required asymmetry during three-phase tests.....	61
A.6 Correction of the di/dt and TRV during tests with a subsequent minor loop	61
A.7 Calculation of the di/dt and TRV of the first-pole-to-clear	61
A.7.1 General	61
A.7.2 Calculation of di/dt	61

A.7.3	Calculation of TRV	62
A.7.4	Examples of calculation of di/dt and TRV	64
Annex B (normative)	Tolerances on test quantities for type tests	66
Annex C (normative)	Information to be given and results to be recorded for synthetic tests	69
C.1	General	69
C.2	Auxiliary circuit-breaker	69
C.3	Test conditions	69
C.4	Quantities to be recorded	69
C.4.1	General	69
C.4.2	Voltages	69
C.4.3	Currents	69
Annex D (normative)	Test procedure using a three-phase current circuit and one voltage circuit	70
D.1	Test circuit	70
D.2	Test method	71
D.2.1	General	71
D.2.2	Test duty T100s(b)	71
D.2.3	Test duty T100a	80
D.2.4	Combination of first-pole-to-clear factors 1,3 and 1,5	89
Annex E (normative)	Splitting of test duties in test series taking into account the associated TRV for each pole-to-clear	92
E.1	General	92
E.2	Test-duties T10, T30, T60, T100s(b), OP1 and OP2(b)	92
E.2.1	Test procedure for first-pole-to-clear factors 1,5 and 2,5	92
E.2.2	Test procedure for first-pole-to-clear factors 1,3 and 2,0	93
E.2.3	Test procedure for first-pole-to-clear factor 1,2	94
E.3	Test duty T100a	95
E.3.1	General	95
E.3.2	Test procedure for first-pole-to-clear factor 1,5	96
E.3.3	Test procedure for first-pole-to-clear factor 1,3	97
E.3.4	Test procedure for first-pole-to-clear factor 1,2	99
E.4	Combination of first-pole-to-clear factors	100
E.4.1	General	100
E.4.2	Combination of first-pole-to-clear factors 1,3 and 1,5 for test duties T10, T30, T60 and T100s(b)	100
E.4.3	Combination of first-pole-to-clear factors 2,0 and 2,5 for test duties OP1 and OP2(b)	101
E.4.4	Combination of first-pole-to-clear factors 1,3 and 1,5 for test duty T100a	102
Annex F (informative)	Three-phase synthetic test circuits	114
F.1	General	114
F.2	Three-phase synthetic combined circuit	114
F.3	Three-phase synthetic circuit with injection in all phases	117
F.4	Three-phase synthetic circuit with injection in two phases	118
Annex G (informative)	Examples of test circuits for metal-enclosed and dead tank circuit-breakers	122
Annex H (informative)	Step-by-step method to prolong arcing	133
Annex I (informative)	Synthetic methods for capacitive current tests	135
I.1	General	135

I.2	Recovery voltage	135
I.3	Combined current and voltage circuits	135
I.4	Making tests	136
I.5	Current chopping	136
I.6	Examples test circuits	136
Annex J (normative)	Synthetic test methods for circuit-breakers with opening resistors	145
J.1	General.....	145
J.2	Conditions.....	145
J.2.1	General	145
J.2.2	Transient recovery voltage interval	145
J.2.3	Power-frequency recovery voltage interval.....	145
J.3	Multiple step test procedure	145
J.3.1	General	145
J.3.2	Test to verify the re-ignition behaviour of the making and breaking unit	146
J.3.3	Test to verify the re-ignition behaviour of the making and breaking unit during short circuit test duties with any test method	147
J.3.4	Tests on resistor switch(s).....	148
J.4	Test requirements	149
J.4.1	General	149
J.4.2	Testing of the making and breaking unit.....	150
J.4.3	Testing of the resistor switch.....	151
J.4.4	Test of the resistor stack	151
Annex K (informative)	Combination of current injection and voltage injection methods	152
K.1	Current injection methods.....	152
K.2	Voltage injection methods	152
K.3	Combined current and voltage injection circuits.....	152
K.3.1	General	152
K.3.2	Combined current and voltage injection circuit with application of full test voltage to earth	152
K.3.3	Combined current and voltage injection circuit with separated application of test voltage.....	152
Bibliography		155
Figure 1	Interrupting process – Basic time intervals	14
Figure 2	Examples of evaluation of initial recovery voltage.....	17
Figure 3	Equivalent surge impedance of the voltage circuit for the current injection method	19
Figure 4	Reference lines of TRV with four-parameter for $k_{pp} = 1,5$	22
Figure 5	Reference lines of TRV with four-parameter for $k_{pp} = 1,3$	23
Figure 6	Reference lines of TRV with four-parameter for $k_{pp} = 1,2$	24
Figure 7	Making process – Basic time intervals.....	26
Figure 8	Example of synthetic making circuit for single-phase tests.....	29
Figure 9	Example of synthetic making circuit for out-of-phase tests	30
Figure 10	Example of synthetic making circuit for three-phase tests ($k_{pp} = 1,5$).....	31
Figure 11	Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100s with $k_{pp} = 1,5$	37

Figure 12 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100s with $k_{pp} = 1,3$	38
Figure 13 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic tests (right) for T100a with $k_{pp} = 1,5$	41
Figure 14 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic tests (right) for T100a with $k_{pp} = 1,3$	42
Figure 15 – Evaluation of recovery voltage during synthetic capacitive current switching testing	52
Figure D.1 – Example of a three-phase current circuit with single-phase synthetic injection	71
Figure D.2 – Representation of the testing conditions of Table D.1	73
Figure D.3 – Representation of the testing conditions of Table D.2	75
Figure D.4 – Representation of the testing conditions of Table D.3	77
Figure D.5 – Representation of the testing conditions of Table D.4	79
Figure D.6 – Representation of the testing conditions of Table D.5	82
Figure D.7 – Representation of the testing conditions of Table D.6	84
Figure D.8 – Representation of the testing conditions of Table D.7	86
Figure D.9 – Representation of the testing conditions of Table D.8	88
Figure E.1 – Example of graphical representation of the tests shown in Table E.6	97
Figure E.2 – Example of graphical representation of the tests shown in Table E.7 and Table E.8	99
Figure F.1 – Three-phase synthetic combined circuit	115
Figure F.2 – Waveshapes of currents, phase-to-ground and phase-to phase voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,5$) performed according to the three-phase synthetic combined circuit	116
Figure F.3 – Three-phase synthetic circuit with injection in all phases for $k_{pp} = 1,5$	117
Figure F.4 – Waveshapes of currents and phase-to-ground voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,5$) performed according to the three-phase synthetic circuit with injection in all phases	118
Figure F.5 – Three-phase synthetic circuit for terminal fault tests with $k_{pp} = 1,3$ (current injection method)	119
Figure F.6 – Waveshapes of currents and phase-to-ground voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,3$) performed according to the three-phase synthetic circuit shown in Figure F.5	120
Figure F.7 – TRV voltages waveshapes of the test circuit described in Figure F.5	121
Figure G.1 – Example of a test circuit for unit testing (circuit-breaker with interaction due to gas circulation)	123
Figure G.2 – Oscillogram corresponding to Figure G.1 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure	124
Figure G.3 – Example of test circuit using two voltage circuits for breaking tests	125
Figure G.4 – Example of test circuit using two voltage circuits for breaking tests	126
Figure G.5 – Example of a synthetic test circuit for unit testing (if unit testing is allowed as per 7.102.4.2 of IEC 62271-100:2021)	127
Figure G.6 – Oscillogram corresponding to Figure G.3 – Example of the required TRVs to be applied between the terminals of the unit(s) under test and between the live parts and the insulated enclosure	128

Figure G.7 – Example of a capacitive current injection circuit with enclosure of the circuit-breaker energized	129
Figure G.8 – Example of a capacitive synthetic circuit using two power-frequency circuits and with the enclosure of the circuit-breaker energized	130
Figure G.9 – Example of a capacitive synthetic current injection circuit – Unit testing on half a pole of a circuit-breaker with two units per pole – Enclosure energized with DC voltage	131
Figure G.10 – Example of a synthetic making circuit for out-of-phase tests	132
Figure H.1 – Example of a re-ignition circuit diagram for prolonging arc-duration	133
Figure H.2 – Example of waveforms obtained during a symmetrical test using the circuit in Figure H.1	134
Figure I.1 – Power-frequency circuits in parallel	138
Figure I.2 – Current injection circuit	139
Figure I.3 – Power-frequency current injection circuit	140
Figure I.4 – Current injection circuit, recovery voltage applied to both terminals of the circuit-breaker	141
Figure I.5 – Current injection circuit with decay compensation	142
Figure I.6 – LC oscillating circuit	143
Figure I.7 – Inrush making current test circuit	144
Figure J.1 – Test circuit to verify re-ignition behaviour of the making and breaking unit using current injection method	147
Figure J.2 – Test circuit to verify re-ignition behaviour of the making and breaking unit	148
Figure J.3 – Test circuit on the resistor switch	149
Figure J.4 – Example of test circuit for capacitive current switching tests on the making and breaking unit	150
Figure J.5 – Example of test circuit for capacitive current switching tests on the resistor switch	151
Figure K.1 – Example of combined current and voltage injection circuit with application of full test voltage to earth	153
Figure K.2 – Example of combined current and voltage injection circuit with separated application of test voltage	154
Table 1 – Tolerances and limits required during the high-current interval	15
Table 2 – Test circuits for test duties T100s and T100a	21
Table 3 – Test parameters during three-phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,5$	21
Table 4 – Test parameters during three-phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,3$	22
Table 5 – Test parameters during three phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,2$	23
Table 6 – Symbols and abbreviated terms used for operation during synthetic tests	33
Table 7 – Synthetic test methods for test duties T10, T30, T60, T100s, T100a, SP, DEF, OP and SLF	46
Table A.1 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,3$ and $f_r = 50$ Hz	54
Table A.2 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,3$ and $f_r = 60$ Hz	55

Table A.3 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,5$ and $f_r = 50$ Hz	57
Table A.4 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,5$ and $f_r = 60$ Hz	58
Table A.5 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,2$ and $f_r = 50$ Hz	58
Table A.6 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,2$ and $f_r = 60$ Hz	59
Table A.7 – Percentage of DC component and di/dt at current zero for first-pole-to-clear for $f_r = 50$ Hz	59
Table A.8 – Percentage of DC component and di/dt at current zero for first-pole-to-clear for $f_r = 60$ Hz	60
Table B.1 – Tolerances on test quantities for type tests	67
Table D.1 – Demonstration of arcing times for $k_{pp} = 1,5$	72
Table D.2 – Alternative demonstration of arcing times for $k_{pp} = 1,5$	74
Table D.3 – Demonstration of arcing times for $k_{pp} = 1,3$	76
Table D.4 – Alternative demonstration of arcing times for $k_{pp} = 1,3$	78
Table D.5 – Demonstration of arcing times for $k_{pp} = 1,5$	81
Table D.6 – Alternative demonstration of arcing times for $k_{pp} = 1,5$	83
Table D.7 – Demonstration of arcing times for $k_{pp} = 1,3$	85
Table D.8 – Alternative demonstration of arcing times for $k_{pp} = 1,3$	87
Table D.9 – Procedure for combining $k_{pp} = 1,5$ and 1,3 during test-duties T10, T30, T60 and T100s(b)	89
Table D.10 – Procedure for combining $k_{pp} = 1,5$ and 1,3 during test-duty T100a	90
Table E.1 – Test procedure for $k_{pp} = 1,5$ and 2,5	92
Table E.2 – Test procedure for $k_{pp} = 1,3$ and 2,0	93
Table E.3 – Simplified test procedure for $k_{pp} = 1,3$ and 2,0	94
Table E.4 – Test procedure for $k_{pp} = 1,2$	95
Table E.5 – Simplified test procedure for $k_{pp} = 1,2$	95
Table E.6 – Test procedure for asymmetrical currents for $k_{pp} = 1,5$	96
Table E.7 – Test procedure for asymmetrical currents for $k_{pp} = 1,3$	98
Table E.8 – Test procedure for asymmetrical currents for $k_{pp} = 1,2$	100
Table E.9 – Procedure for combining $k_{pp} = 1,3$ and 1,5 for test-duties T10, T30, T60 and T100s(b)	101
Table E.10 – Procedure for combining $k_{pp} = 2,0$ and 2,5 for test-duties OP1 and OP2(b)	102
Table E.11 – Procedure for combining $k_{pp} = 1,5$ and 1,3 for test-duty T100a	103
Table E.12 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,5$, $f_r = 50$ Hz	104

Table E.13 – Required test parameters for different asymmetrical conditions in the case of a $k_{pp} = 1,3$, $f_r = 50$ Hz	106
Table E.14 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,2$, $f_r = 50$ Hz	108
Table E.15 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,5$, $f_r = 60$ Hz	109
Table E.16 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,3$, $f_r = 60$ Hz	111
Table E.17 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,2$, $f_r = 60$ Hz	113

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2021

INTERNATIONAL ELECTROTECHNICAL COMMISSION

HIGH-VOLTAGE SWITCHGEAR AND CONTROLGEAR –

Part 101: Synthetic testing

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62271-101 has been prepared by subcommittee 17A: Switching devices, of IEC technical committee 17: High-voltage switchgear and controlgear.

This third edition cancels and replaces the second edition published in 2012 and Amendment 1:2017. This edition constitutes a technical revision.

This edition includes the following significant technical changes with respect to the second edition:

- a) alignment with the third edition of IEC 62271-100:2021;
- b) update this document with the last methods and techniques used for synthetic tests;

The text of this document is based on the following documents:

FDIS	Report on voting
17A/1312/FDIS	17A/1315/RVD

Full information on the voting for its approval can be found in the report on voting indicated in the above table.

The language used for the development of this International Standard is English.

This document was drafted in accordance with ISO/IEC Directives, Part 2, and developed in accordance with ISO/IEC Directives, Part 1 and ISO/IEC Directives, IEC Supplement, available at www.iec.ch/members_experts/refdocs. The main document types developed by IEC are described in greater detail at www.iec.ch/standardsdev/publications.

This publication shall be read in conjunction with IEC 62271-100:2021, to which it refers. The numbering of the subclauses of Clause 7 is the same as in IEC 62271-100. However, not all subclauses of IEC 62271-100 are addressed; merely those where synthetic testing has introduced changes.

A list of all the parts in the IEC 62271 series, under the general title *High-voltage switchgear and controlgear*, can be found on the IEC website.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under webstore.iec.ch in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

HIGH-VOLTAGE SWITCHGEAR AND CONTROLGEAR –

Part 101: Synthetic testing

1 Scope

This part of IEC 62271 mainly applies to AC circuit-breakers within the scope of IEC 62271-100. It provides the general rules for testing AC circuit-breakers, for making and breaking capacities over the range of test duties described in 7.102 to 7.111 of IEC 62271-100:2021, by synthetic methods.

It has been proven that synthetic testing is an economical and technically correct way to test high-voltage AC circuit-breakers according to the requirements of IEC 62271-100 and that it is equivalent to direct testing.

The methods and techniques described are those in general use. The purpose of this document is to establish criteria for synthetic testing and for the proper evaluation of results. Such criteria will establish the validity of the test method without imposing restraints on innovation of test circuitry.

2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 62271-100:2021, *High-voltage switchgear and controlgear – Part 100: Alternating-current circuit-breakers*

3 Terms and definitions

For the purposes of this document, the terms and definitions given in IEC 62271-100 and the following apply.

ISO and IEC maintain terminological databases for use in standardization at the following addresses:

- IEC Electropedia: available at <http://www.electropedia.org/>
- ISO Online browsing platform: available at <http://www.iso.org/obp>

3.1

direct test

test in which the applied voltage, the current and the transient and power-frequency recovery voltages are all obtained from a circuit having a single-power source, which can be a power system or special alternators as used in short-circuit testing stations or a combination of both

3.2

synthetic test

test in which all of the current, or a major portion of it, is obtained from one source (current circuit), and in which the applied voltage and/or the recovery voltages (transient and power frequency) are obtained wholly or in part from one or more separate sources (voltage circuits)

3.3

auxiliary circuit-breaker

circuit-breaker forming part of a synthetic test circuit used to put the test circuit-breaker into the required relation with various circuits

3.4

current circuit

part of the synthetic test circuit from which all or the major part of the power-frequency current is obtained

3.5

voltage circuit

part of the synthetic test circuit from which all or the major part of the applied voltage and/or recovery voltage is obtained

3.6

prospective current

current that would flow in the circuit if each pole of the test and auxiliary circuit-breakers were replaced by a conductor of negligible impedance

Note 1 to entry: Compared with IEC 60050-441:2000, 441-17-01, the domain between brackets has been deleted. In the definition. The words "the switching device or the fuse" have been replaced by "the test and auxiliary circuit-breakers", and the Note to entry has been deleted.

3.7

actual current

current through the test circuit-breaker

Note 1 to entry: The actual current is a prospective current modified by the arc voltage of the test and auxiliary circuit-breakers.

3.8

post-arc current

current which flows through the arc gap of a circuit-breaker after the arc voltage have reached zero and the transient recovery voltage begins to rise

3.9

current injection method

synthetic test method in which the voltage circuit is applied to the test circuit-breaker before power-frequency current zero

3.10

initial transient making current

ITMC

transient current which flows through the circuit-breaker at the moment of voltage breakdown prior to the initiation of current from the current circuit during making

3.11

injected current

current supplied by the voltage circuit of a current injection circuit when it is connected to the circuit-breaker under test

3.12

voltage injection method

synthetic test method in which the voltage circuit is applied to the test circuit-breaker after power-frequency current zero

3.13**reference system conditions**

conditions of an electrical system having the parameters from which the rated and test values of IEC 62271-100 are derived

3.14**time delay of making device** t_m

time interval, during synthetic making test, between the instant of breakdown of the applied voltage and the initiation of current from the current circuit

3.15**pre-strike**

voltage breakdown between the contacts during a making operation which initiates current flow

3.16**intermediate asymmetry**

level of asymmetry in the other two phases having a reduced (intermediate) level of asymmetry when in a three-phase system the short-circuit current is initiated simultaneously in all phases and maximum asymmetry is obtained in one of the phases

3.17**rate-of-decay of dielectric strength****RDDS**

voltage withstand reduction between the contacts as a function of time or contact gap during closing

[SOURCE: IEC TR 62271-302:2010, 3.7.5, modified – The words "between the contacts" have been added after "reduction" and "of a circuit-breaker" have been deleted at the end.]

4 Synthetic testing techniques and methods for short-circuit breaking tests**4.1 Basic principles and general requirements for synthetic breaking test methods****4.1.1 General**

Any particular synthetic method chosen for testing shall adequately stress the test circuit-breaker. Generally, the adequacy is established when the test method meets the requirements set forth in the following paragraphs and subclauses of 4.1, 4.2 and 4.3.

A circuit-breaker has two basic positions: closed and open. In the closed position a circuit-breaker conducts full current with negligible voltage drop across its contacts. In the open position it conducts negligible current but with full voltage across the contacts. This defines the two main stresses, the current stress and the voltage stress, which are separated in time.

If closer attention is paid to the voltage and current stresses during the interrupting process (Figure 1), three main intervals can be recognized.

– High-current interval

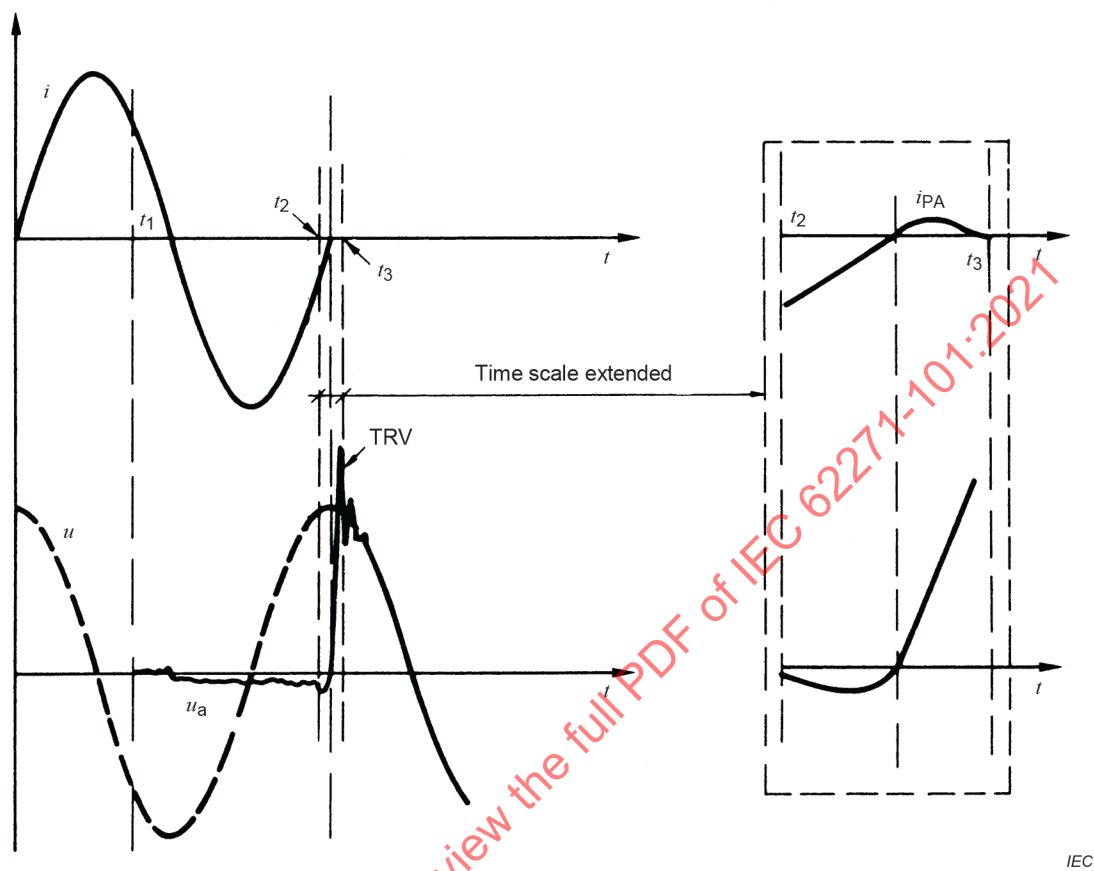
The high-current interval is the time from contact separation to the start of the significant change in arc voltage. The high-current interval precedes the interaction and high-voltage intervals.

– Interaction interval

The interaction interval is the time from the start of the significant change in arc voltage prior to current zero to the time when the current including the post-arc current, if any, ceases to flow through the test circuit-breaker (see also 14.2.4 of IEC TR 62271-306:2012/AMD1:2018).

– High-voltage interval

The high-voltage interval is the time from the moment when the current including the post-arc current, if any, ceases to flow through the test circuit-breaker to the end of the test.



Key

i	breaking current	t_2	start of significant change in arc voltage
u	power-frequency voltage	t_3	instant of cessation of post-arc current
u_a	arc voltage	$t_2 - t_1$	high-current interval
TRV	transient recovery voltage	$t_3 - t_2$	interaction interval
i_{PA}	post-arc current	After t_3	high-voltage interval
t_1	instant of contact separation		

Figure 1 – Interrupting process – Basic time intervals

4.1.2 High-current interval

The tolerance on the power-frequency of the actual breaking current is given in 7.103.2.1 of IEC 62271-100:2021. The following requirements concerning the actual current through the test circuit-breaker as shown in Table 1 shall be met.

Table 1 – Tolerances and limits required during the high-current interval

Test duty	Tolerance and limits relative to specified test values of breaking current ^a				
	At contact separation		Last loop prior to interruption		
	RMS %	DC component %	Peak value %	Duration %	Product of peak value and duration %
T10, T30, OP1, critical current test	±20	≤ 20	≥ 90	≥ 90	-
T60	±10	≤ 20	≥ 90	≥ 90	-
T100s	+5 0	≤ 20	≥ 90	≥ 90	≥ 95 ^b
T100a	±10		≤ 110 ^c ≥ 90 ^c	≤ 110 ^d ≥ 90 ^d	≤ 110 ≥ 95 ^b ≥ 90
SP, DEF	+5 0	≤ 20	≥ 90	≥ 90	
L ₉₀	+5,6 0	≤ 20	≤ 110 ≥ 95	≥ 90	≥ 95
L ₇₅	±5,3	≤ 20	≤ 110 ≥ 95	≥ 90	≥ 95
L ₆₀	±8,3	≤ 20	≤ 110 ≥ 95	≥ 90	≥ 95
OP2	+10 0	≤ 20	≥ 90	≥ 90	
^a This table lists the tolerances applicable during tests. Specified test values of breaking current, given in Annex B of IEC 62271-100:2021, are a single value excluding any tolerance. ^b Applicable only if tested with ITRV. ^c Specified peak value of breaking current multiplied by the last current loop multiplication factor given in Table E.12 to Table E.17, and Table A.7 and Table A.8. ^d Specified duration of the last current loop given in Table E.12 to Table E.17, and Table A.7 and Table A.8.					

In rare cases, where the applied voltage from the high-current circuit is of the same magnitude as the required test voltage in a direct test circuit, a higher deviation of the last current loop is accepted provided that the current loop influenced by the auxiliary circuit-breaker arcing is within the specified tolerances in Annex B of IEC 62271-100:2021.

Examples are given in 14.7 of IEC TR 62271-306:2012/AMD1:2018.

4.1.3 Interaction interval

There is no specific requirement related to the interaction interval.

See IEC TR 62271-306:2012 and IEC TR 62271:2012/AMD1:2018.

4.1.4 High-voltage interval

During the high-voltage interval, the gap of the test circuit-breaker is stressed by the recovery voltage.

The prospective TRV shall comply with the requirements of 7.105.5 of IEC 62271-100:2021.

Suitable methods for determining the prospective TRV in synthetic test circuits can be selected from Annex E of IEC 62271-100:2021.

The impedance of the voltage circuit shall be low enough to give clear evidence of breakdown, if any.

If the test circuit-breaker is fitted with opening resistors, a special procedure can be used (see Annex J).

If the TRV is obtained from more than one source, the overall waveshape should not show any appreciable discontinuity.

In principle, the power-frequency recovery voltage for the basic short-circuit test duties should preferably be AC and shall equate with the requirements of 7.103.4 of IEC 62271-100:2021. In synthetic testing, the recovery voltage is supplied from a voltage circuit, either directly or in series with the current circuit. This gives an AC voltage, or a combined AC and DC voltage, or a DC voltage, which in most cases decays due to the limited energy of the voltage circuit. It may thus not be possible to maintain the recovery voltage for at least 0,3 s as specified in 7.103.4 of IEC 62271-100:2021. Deviations from the specified recovery voltage are acceptable if the following conditions are met.

- The initial value of the power-frequency recovery voltage, excluding the transient oscillations, shall be not less than the equivalent initial value of the power-frequency recovery voltage specified in 7.103.4 of IEC 62271-100:2021 which, for a test with symmetrical current, starts with a minimum peak value of

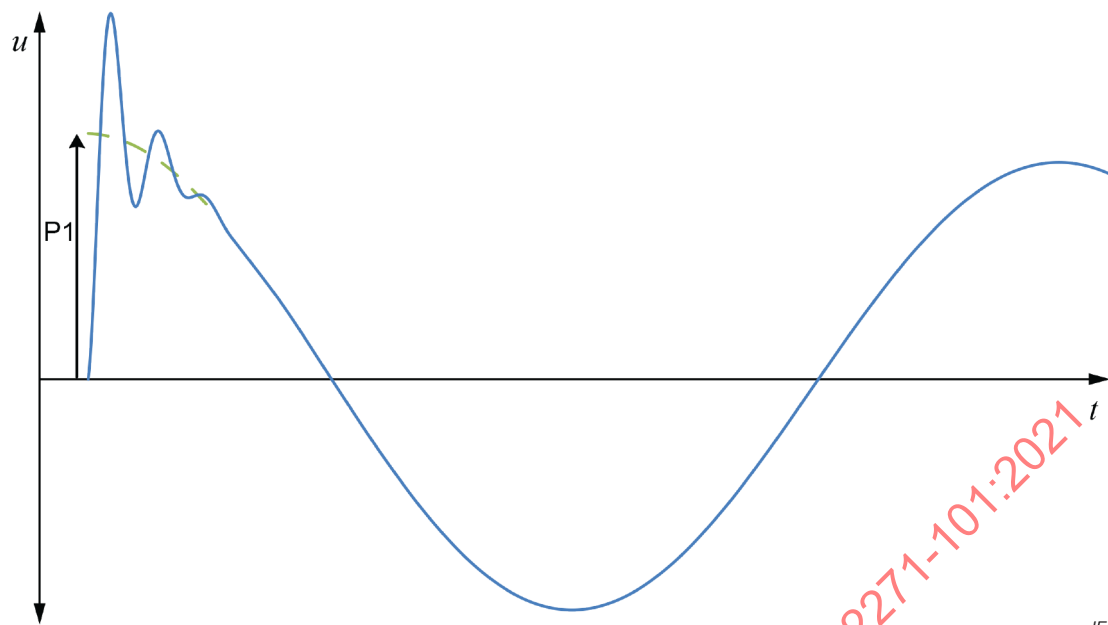
$$0,95 \times k_{pp} \times U_r \sqrt{2/3}$$

where

k_{pp} is the first-pole-to-clear factor,

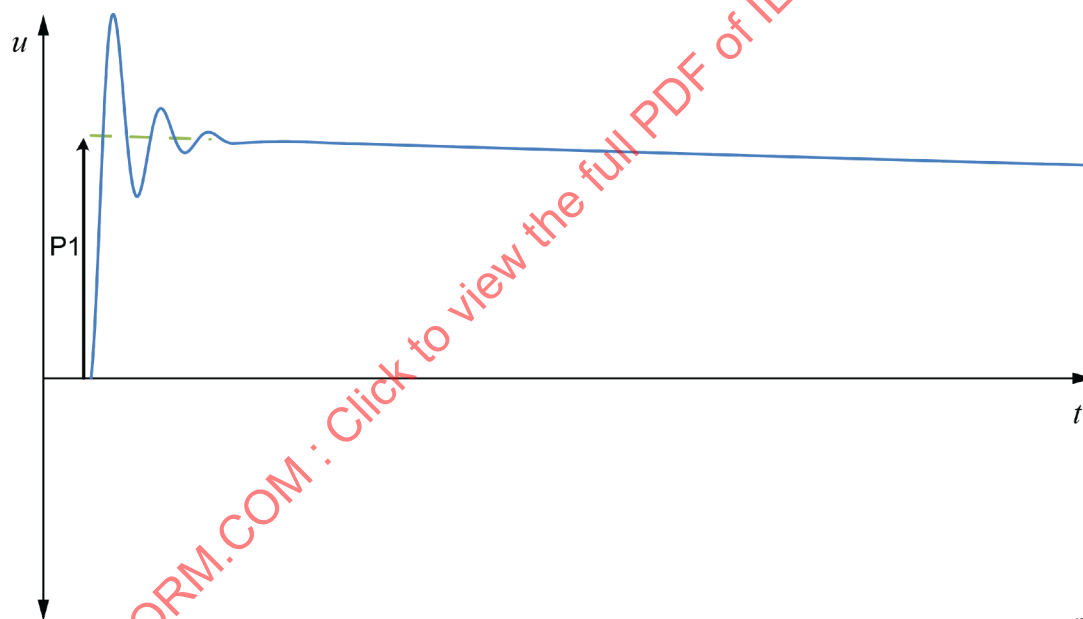
U_r is the rated voltage of the circuit-breaker.

- Whether an exponentially decaying DC, an AC or a combined AC and DC recovery voltage is used, its instantaneous value (for DC) or its peak value (for AC or combined AC and DC) should in principle be kept as close as possible to $U_r \sqrt{2} / \sqrt{3}$ and in any case shall not fall below $0,5 U_r \sqrt{2} / \sqrt{3}$ in less than 0,1 s.
- If an exponentially decaying DC or a combined AC and DC recovery voltage imposes an inappropriate stress on the circuit-breaker compared to that due to the specified AC recovery voltage in reference system conditions, then a more appropriate circuit can be used taking into account 7.103.4 of IEC 62271-100:2021 and also the limits stated above.
- Figure 2 a) and b) gives some examples for evaluation of the recovery voltage.



IEC

a) Example of a power-frequency recovery voltage



IEC

b) Example of a DC steady state recovery voltage

Key

P1	Point of initial value of (power-frequency or DC steady-state) recovery voltage, $\geq 0,95 \times k_{pp} \times U_r \times \sqrt{\frac{2}{3}}$
Blue line	Tested recovery voltage
Green dotted line	Tested power-frequency or DC steady-state recovery voltage

Figure 2 – Examples of evaluation of initial recovery voltage

4.2 Synthetic test circuits and related specific requirements for breaking tests

4.2.1 Current injection methods

These methods can be described in terms of general principles as follows (see IEC TR 62271-306):

- the current from the voltage circuit is superimposed on the power-frequency current through the test circuit-breaker prior to the interaction interval;
- the auxiliary circuit-breaker interrupts the power-frequency current from the current circuit prior to the interaction interval.

Current injection method is mandatory for:

- short-line fault test duties;
- T100s and T100a when tested with ITRV.

Due to the lower limit of the injected current frequency of 250 Hz, it might be impossible to prepare test circuits with low RRRV (e.g. for unit test) and/or long time to peak (e.g. for high rated voltage). In this case, when current injection method is mandatory, the test can be performed using the multi-part testing method (see 7.102.4.3). The first part of the test (current zero and initial portion of TRV) shall be performed with a current injection method and the second part of the test (second part of the TRV and the RV) can be performed with a voltage injection method. For short-line fault test, it is also possible to perform the test with a test supply of limited power, as per 7.109.5 of IEC 62271-100:2021.

The time during which the arc is fed only by the injected current shall be treated as part of the length of the last loop prior to interruption.

If any device with breaking capability interrupts the current through the test circuit-breaker at the same time as the test circuit-breaker, the method is not a valid current injection method.

During the interaction interval, the test circuit-breaker is exposed to the voltage of the voltage circuit having an impedance which is representative of the reference system conditions. This explains the validity of current injection methods. Several current injection methods are known but only the conditions for parallel current injection are given below since this method is used by the majority of the test laboratories. The following conditions shall be met.

a) TRV waveshape circuit

- 1) The shape and magnitude of the prospective TRV shall comply with the specified values.
- 2) Ideally the equivalent surge impedance Z_h (see Figure 3) shall be equal to $(du/dt)/(di/dt)$ during the interaction interval. du/dt is the rate of rise of the specified transient recovery voltage and di/dt is the rate of decrease of the specified short-circuit current.
- 3) The combination of the stray and lumped capacitance C_{dh} in parallel with Z_h gives rise to the delay time $t_d = Z_h \times C_{dh}$.

b) Inductance of the voltage circuit

The value of the inductance of the voltage circuit shall be between 1,0 and 1,5 times the inductance derived from the equivalent power-frequency voltage divided by the prospective current.

c) Frequency of the injected current and the injection timing

The frequency of the injected current shall preferably be of the order of 500 Hz with a lower limit of 250 Hz and an upper limit of 1 000 Hz.

In order to prevent undue influence on the waveshape of the power-frequency current, the lower limit of the frequency of the injected current is 250 Hz.

The maximum frequency of the injected current is determined by the interval of significant change of arc voltage, the interval for which shall be smaller than the time for which the arc is fed only by the injected current. To achieve this, the period of the injected frequency should be at least four times the interval of significant change of arc voltage (see IEC TR 62271-306).

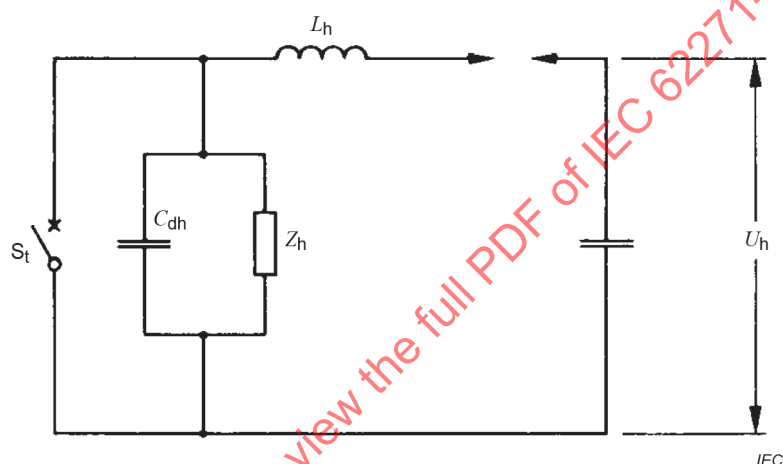
The initiation of the injected current shall be adjusted such that the time during which the test circuit-breaker is fed only by the injected current is not more than a quarter of the period of the injected current frequency with a maximum of 500 μs .

Attention should be paid to the possible overstressing of the circuit-breaker if the time that the test circuit-breaker is fed by the injected current only is less than 200 μs .

d) Waveshape of the injected current

The prospective rate of decrease (di/dt) of the injected current at current zero shall correspond to that of the prospective power-frequency current.

The injected current shall be practically free of superimposed oscillations for a time not less than 100 μs before current zero.



Key

- U_h charging voltage of voltage circuit
- L_h inductance of voltage circuit
- Z_h equivalent surge impedance
- C_{dh} capacitance for time delay of voltage circuit
- S_t test circuit-breaker

Figure 3 – Equivalent surge impedance of the voltage circuit for the current injection method

4.2.2 Voltage injection method

Several voltage injection methods are known but only series voltage injection is described here in general terms as follows (see IEC TR 62271-306):

- the voltage from the voltage circuit is applied to the test circuit-breaker after the interaction interval;
- a capacitor in parallel with the auxiliary circuit-breaker is used to apply the recovery voltage to the test circuit-breaker;
- during the high-current and interaction intervals, the test circuit-breaker is exposed to the current circuit only.

When used for tests relating to the dielectric behaviour of the circuit-breaker, the following conditions shall be met.

- The voltage circuit shall be designed in such a manner as to allow detection of re-ignitions or re-strikes, should they occur.

Therefore, the capacitance across the auxiliary circuit-breaker shall be at least 20 times the capacitance in parallel with the test circuit-breaker. Care should be taken to avoid undue distortion of the current before power-frequency current zero.

- No pause shall be introduced by the combining of the current circuit and the voltage circuit.

4.2.3 Duplicate circuit method (transformer or Skeats circuit)

This method can be described in terms of general principles as follows (see IEC TR 62271-306):

- the current and voltage are supplied from the same circuit;
- the AC recovery voltage is supplied from a step-up transformer, the primary of which is connected to the current circuit;
- the recovery voltage is applied to the test circuit-breaker through an impedance (normally a resistance).

The auxiliary circuit-breaker interrupts the current prior to the test circuit-breaker by a short time interval. During this short interval, the value of di/dt of the current in the test circuit-breaker is decreased.

The Skeats circuit can easily be adapted to supply full voltage stresses in two (or more) operations, for example at both closing and opening in a CO operation, at both openings in an O – t – CO operation or even at consecutive current zeros in an opening operation. See 14.3 of IEC TR 62271-306:2012/AMD1:2018.

4.2.4 Other synthetic test methods

Other methods may proven to be correct and advantageous for testing of circuit-breakers with specific characteristics or for testing of a circuit-breaker for specific performance. Even though these methods are not covered by this document, they can be used subject to understanding of their application and agreement between the manufacturer and the user.

4.3 Three-phase synthetic test methods

Three-phase synthetic test methods shall be applied for testing of circuit-breakers which cannot be tested single-phase as per 7.102.4.1 of IEC 62271-100:2021. They can also be used as an alternative to single phase synthetic tests if relevant. Short-circuit test sequences T10, T30 and T60 can in any case be performed in single-phase test circuits.

Annex F gives examples of three-phase test circuits.

To ensure that the appropriate stresses in the interrupting element and those between poles and, if relevant, to the enclosure are applied, the following general requirements shall be fulfilled:

- a) full three-phase current shall be supplied to the three-pole circuit-breaker under test;
- b) information about the required test circuits for test duties T100s and T100a is given in Table 2;
- c) the test parameters for each pole-to-clear are given in Table 3 through Table 5;
- d) all the above stresses preferably should be applied in the same test; if this is impossible, a multi-part testing procedure should be used;
- e) to avoid changing the connection of the high-voltage circuit to the circuit-breaker between the tests of each test sequence, the first-pole-to-clear is allowed to be kept in the same phase during the whole sequence, taking into account the requirements of 7.104.1 of IEC 62271-100:2021.

Table 2 – Test circuits for test duties T100s and T100a

	T100s		T100a	
k_{pp}	First-pole-to-clear	Other poles	First-pole-to-clear	Other poles
1,5	Application of synthetic circuits of 4.2.1 or 4.2.2 at all operations	Application of synthetic circuits of 4.2.1, 4.2.2 or 4.2.3 at all operations	Application of synthetic circuits of 4.2.1 or 4.2.2 for at least two operations. The third operation can be tested with 4.2.3	Application of synthetic circuit 4.2.1 or 4.2.2 at least to the operation with major extended loop and longest arcing time
1,2 or 1,3	Application of synthetic circuits of 4.2.1 or 4.2.2 for at least two operations. The third operation can be tested with 4.2.3	Application of synthetic circuits of 4.2.1 through 4.2.3 at all operations. At the second pole-to-clear at the operation with the longest arcing time application of synthetic circuits of 4.2.1 or 4.2.2 only	Application of synthetic circuits of 4.2.1 or 4.2.2 for at least two operations. The third operation can be tested with 4.2.3	Application of synthetic circuits of 4.2.1 through 4.2.3 at all other operations. At the second pole-to-clear at the operation with the major extended loop and longest arcing time application of synthetic circuits of 4.2.1 or 4.2.2 only

Key

k_{pp} first-pole-to-clear factor.

Voltage injection is only permitted if there are no ITRV requirements, or if these requirements are covered by SLF testing.

Table 3 – Test parameters during three-phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,5$

TRV peak in %				Recovery voltage peak p.u.	du/dt %	di/dt %	Phase angle °
		At instant of first-pole-to-clear	At instant of second and third-pole-to-clear				
Phases	A	100	-	1	100	100	-
	B	0	58	1	70	87	90
	C	0	58	1	70	87	90
Between phases	A – B	100	58	1,732			
	B – C	0	115	1,732			
	A – C	100	58	1,732			

TRV peak first pole-to-clear: $u_c = k_{af} \times k_{pp} \times U_r \times \sqrt{2}/\sqrt{3}$ (= 100 %).

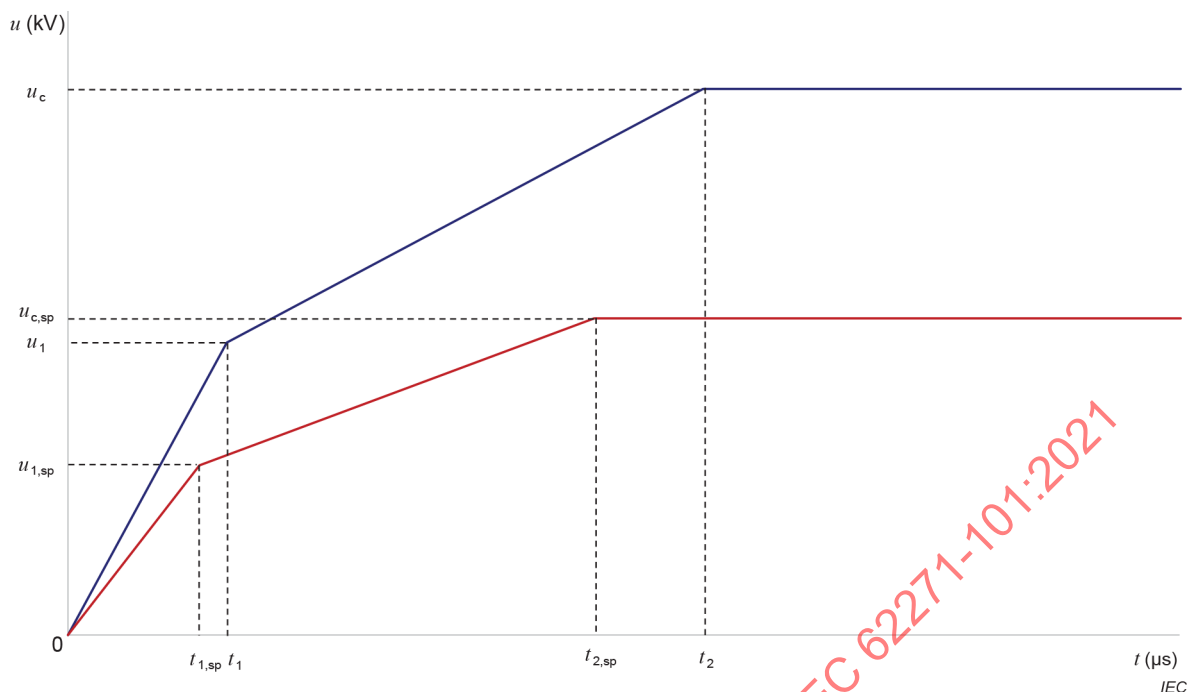
1 p.u. = $U_r \times \sqrt{2}/\sqrt{3}$.

The first-pole-to-clear is in phase A.

Test parameters are calculated based on earthing arrangements in circuits as described in IEC TR 62271-306.

TRV phases B and C for 4 parameters (see Figure 4):

- u_1 the first reference voltage is derived by applying the same reduction factor used for the TRV peak u_c .
- t_1 is derived from u_1 and the respective du/dt reduction factor.
- t_2 is derived from t_1 keeping the same ratio as for the first pole-to-clear.



Key

Blue line: first pole-to-clear

Red line: second and third pole-to-clear

Figure 4 – Reference lines of TRV with four-parameter for $k_{pp} = 1,5$

Table 4 – Test parameters during three-phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,3$

TRV peak in %				Recovery voltage peak p.u.	du/dt %	di/dt %	Phase angle °
		At instant of first-pole-to-clear	At instant of second and third-pole-to-clear				
Phases	A	100	- / -	1	100	100	-
	B	0	- / 77	1	70	57	120
	C	0	97 / -	1	95	89	77
Between phases	A – B	100	- / 91	1,732			
	B – C	0	97 / 97	1,732			
	A – C	100	89 / -	1,732			

TRV peak first pole-to-clear: $u_c = k_{af} \times k_{pp} \times U_r \times \sqrt{2}/\sqrt{3}$ (= 100 %)

1 p.u. = $U_r \times \sqrt{2}/\sqrt{3}$

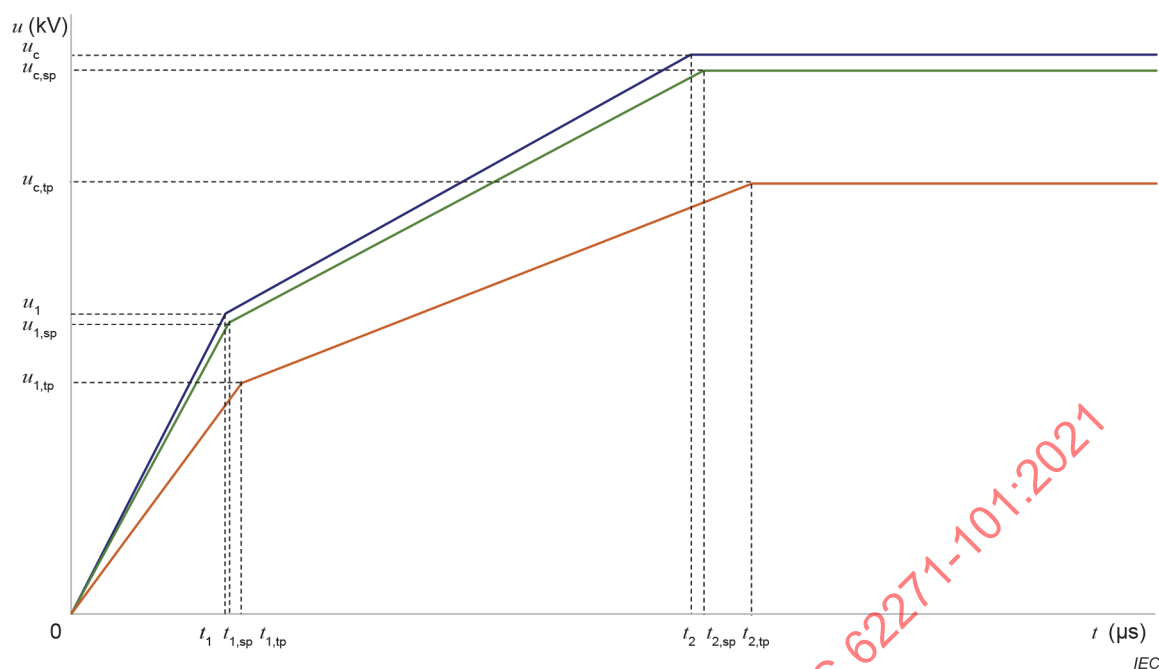
The first-pole-to-clear is in phase A.

The second pole-to-clear is in phase C.

Test parameters are calculated based on earthing arrangements in circuits as described in IEC TR 62271-306.

TRV phases B and C for 4 parameters (see Figure 5):

- u_1 the first reference voltage is derived by applying the same reduction factor used for the TRV peak u_c .
- t_1 is derived from u_1 and the respective du/dt reduction factor.
- t_2 is derived from t_1 keeping the same ratio as for the first pole-to-clear.

**Key**

Blue line: first pole-to-clear

Green line: second pole-to-clear

Red line: third pole-to-clear

Figure 5 – Reference lines of TRV with four-parameter for $k_{pp} = 1,3$ **Table 5 – Test parameters during three phase interruption for test-duties T10, T30, T60 and T100s, $k_{pp} = 1,2$**

TRV peak in %				Recovery voltage peak p.u.	du/dt %	di/dt %	Phase angle °
		At instance of first-pole-to-clear	At instance of second and third-pole-to-clear				
Phases	A	100	- / -	1	100	100	-
	B	0	- / 83	1	83	75	120
	C	0	95 / -	1	95	92	71
Between phases	A – B	100	- / 124	1,732			
	B – C	0	95 / 126	1,732			
	A – C	100	105 / -	1,732			

TRV peak first pole: $u_c = k_{af} \times k_{pp} \times U_r \times \sqrt{2} / \sqrt{3}$

1 p.u. = $U_r \times \sqrt{2} / \sqrt{3}$

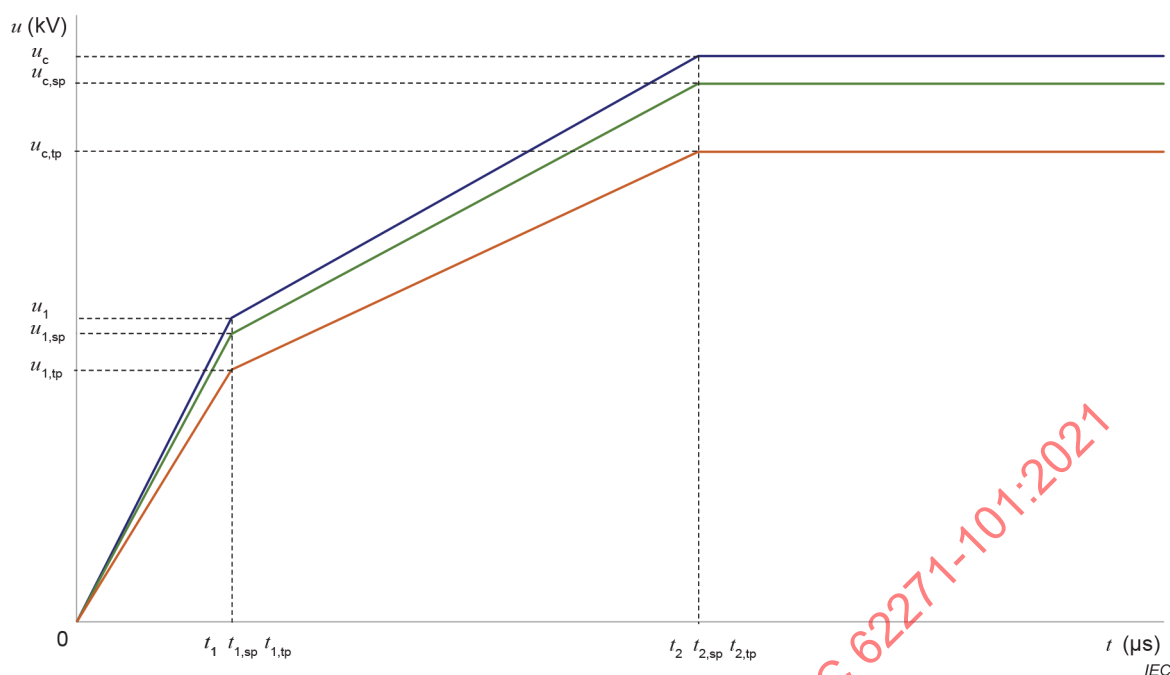
The first-pole-to-clear is in phase A.

The second pole-to-clear is in phase C.

Test parameters are calculated based on earthing arrangements in circuits as described in IEC TR 62271-306.

TRV phases B and C for 4 parameters (see Figure 6):

- u_1 the first reference voltage is derived by applying the same reduction factor used for the TRV peak u_c .
- t_1 is derived from u_1 and the respective du/dt reduction factor.
- t_2 is derived from t_1 keeping the same ratio as for the first pole-to-clear.



Key

Blue line: first pole-to-clear
 Green line: second pole-to-clear
 Red line: third pole-to-clear

Figure 6 – Reference lines of TRV with four-parameter for $k_{pp} = 1,2$

5 Synthetic testing techniques and methods for short-circuit making tests

5.1 Basic principles and general requirements for synthetic making test methods

5.1.1 General

During a closing operation onto a short-circuit, the circuit-breaker contact gap is subjected to the applied voltage as per 7.105.1 of IEC 62271-100:2021. After the moment of breakdown, the circuit-breaker is subjected to the making current as per 7.105.2.1 of IEC 62271-100:2021. In a synthetic test circuit, the applied voltage is supplied by a separate voltage circuit and the short-circuit current is supplied by a current circuit at reduced voltage. This latter is connected to the circuit-breaker immediately after breakdown of the contact gap by means of a fast making device, for example a triggered spark gap.

Any particular synthetic method chosen for testing shall adequately stress the test circuit-breaker. Generally the adequacy is established when the test method meets the requirements set forth in the following paragraphs and subclauses 5.1 and 5.2.

Prior to making, a circuit-breaker withstands the rated phase-to-earth voltage applied across its terminals: during making, it carries the rated short-circuit current. If closer attention is paid to the voltage and current stresses during the making test (see Figure 7 a) and b)), three main intervals can be recognized.

– High-voltage interval

The high-voltage interval is the time from the commencement of the test, with the circuit-breaker in the open position, to the moment of breakdown across the contact gap.

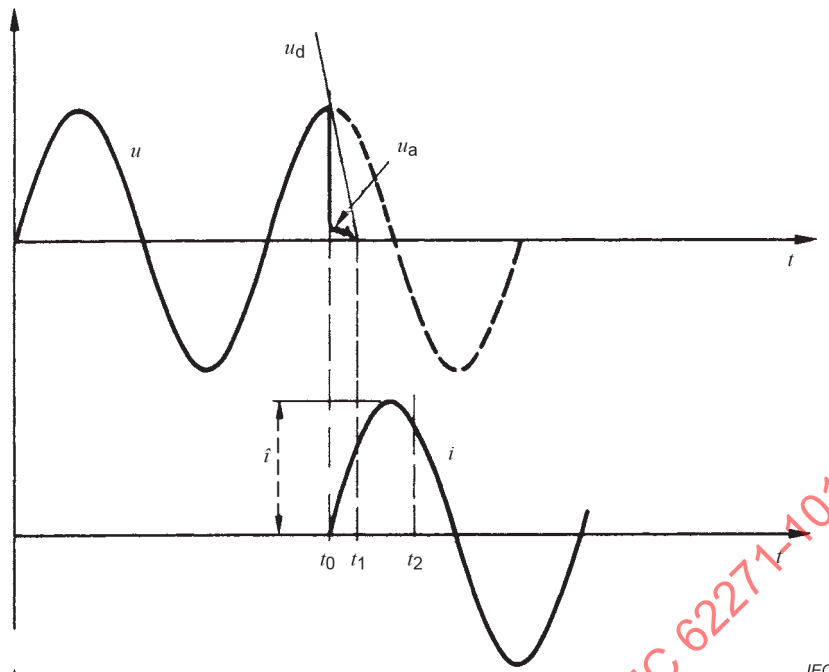
- Pre-arcing interval

The pre-arcing interval is the time, during the closing stroke of the circuit-breaker, from the moment of breakdown across the contact gap to the touching of the contacts.

- Latching interval

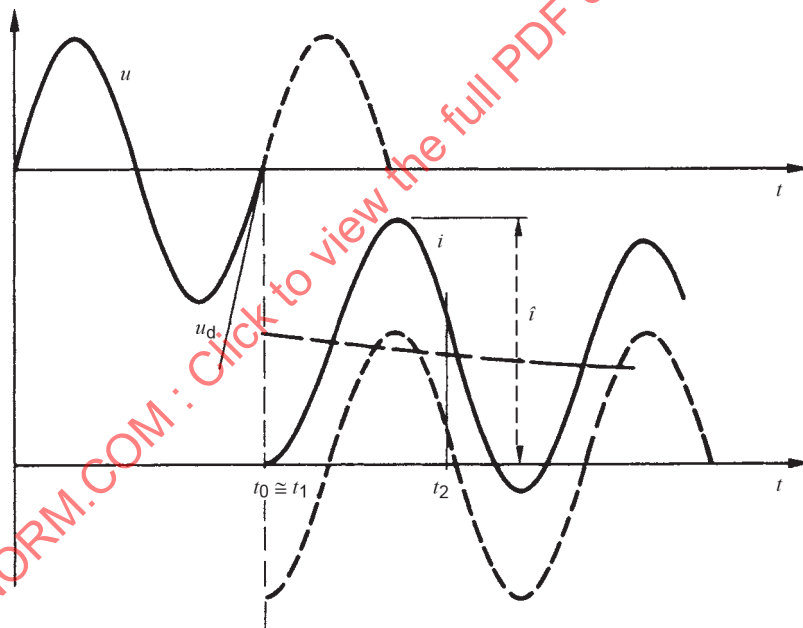
The latching interval is the time, during the closing stroke of the circuit-breaker, from the touching of the contacts to the moment when the contacts reach the fully closed (latched) position.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2021



IEC

a) Symmetrical making current



IEC

b) Asymmetrical making current

Key

i	current	u_a	arc voltage
$\hat{i}$	making current peak	t_0	instant of pre-strike
u	power-frequency voltage	t_1	instant of contact touch
u_d	RDDS	t_2	instant of reaching fully closed position

Figure 7 – Making process – Basic time intervals

5.1.2 High-voltage interval

During this interval, the circuit-breaker shall be stressed by the test circuit in such a way that the starting conditions for the pre-arcing interval, within the tolerances to be specified, are the same as the following reference system conditions. The applied voltage shall comply with the requirement set forth in 7.105.1 of IEC 62271-100:2021.

5.1.3 Pre-arcing interval

During pre-arcing, the circuit-breaker is subjected to electrodynamic forces due to the current and to deteriorating effects due to arc-energy. The current is composed of three components:

- the initial transient making current (ITMC);
- the DC and AC components of the short-circuit current.

Two typical cases can occur depending on the moment of closing:

- breakdown occurs near the crest of the applied voltage establishing an almost symmetrical current; pre-arc energy and ITMC are relatively high;
- breakdown occurs near zero of the applied voltage establishing an asymmetrical current; pre-arc energy and ITMC are negligible.

5.1.4 Latching interval and fully closed position

During these intervals, the circuit-breaker shall close in presence of the electrodynamic forces due to the current and contact friction forces. Therefore, during these intervals, the making current shall comply with 5.103 of IEC 62271-100:2021.

5.2 Synthetic test circuit and related specific requirements for making tests

5.2.1 General

Three-phase short-circuit making test can be performed with any one of the test circuits to cover applications in $k_{pp} = 1,5$, $k_{pp} = 1,3$, $k_{pp} = 1,2$ or $k_{pp} = 1,0$.

The synthetic test procedure is applied to comply with requirement a) of 7.105.2.1 of IEC 62271-100:2021.

5.2.2 Test circuit and test requirements

The test circuit is made up with two circuits, namely the current and the voltage circuit. Examples of circuits showing voltage and current wave shapes are given in Figure 8 and Figure 9 for single-phase and Figure 10 for three-phase:

- the voltage circuit supplies:
 - the applied voltage during the high-voltage interval,
 - the ITMC during the pre-arcing interval, by the discharge of the ITMC-circuit;
- the current circuit supplies the making current during the pre-arcing and latching intervals.

The high-voltage circuit can be an AC circuit, a DC circuit or a combination of both.

The injected current supplied by the voltage circuit shall ensure pre-arcing until the breakdown of the fast make gap. Therefore, the time constant of the ITMC circuit shall be long enough to ensure current flow during the time delay of the making device.

For the making operation of T100s set forth under point a) of 7.105.2.1 of IEC 62271-100:2021, the following conditions shall be fulfilled:

- the instantaneous value of the applied voltage at initiation of pre-arc for the first phase-to-make is not less than 97 % of the requirements of 7.105.1 of IEC 62271-100:2021;
- the time delay of the making device (t_m) is shorter than 300 μ s;
- the actual peak current of the 1st loop is not less than 0,74 p.u and no more than 1,26 p.u., where the peak current of 1,0 p.u. is the peak value of the symmetrical rated short-circuit breaking current;

NOTE 1 A test where an earlier current inception between -15° and -30° is achieved, resulting in an actual current up to 1,5 p.u., is considered as more severe.

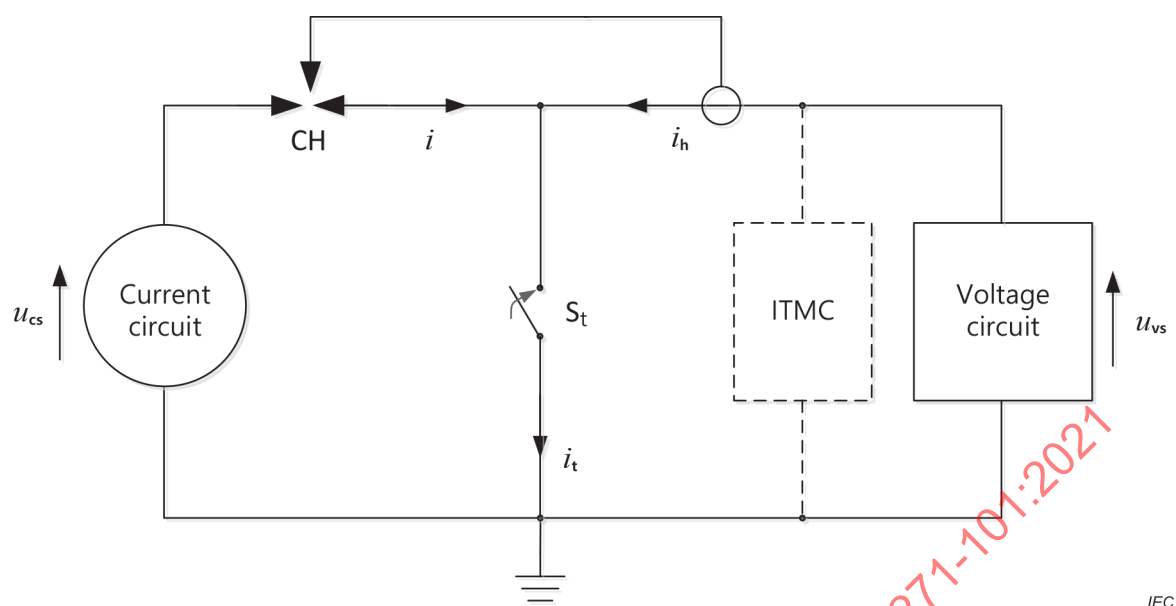
- the short-circuit current, when the test is performed as separate making operation, is maintained for an interval of at least 100 ms, as specified in 7.107.5.1 of IEC 62271-100:2021.

For the making operation of test-duty OP2, the following conditions shall be fulfilled:

- the instantaneous value of the applied voltage at initiation of pre-arc is not less than 92 % of the requirements of 7.110.3 of IEC 62271-100:2021;
- the time delay of the making device (t_m) is shorter than 300 μ s;
- if the pre-arcing time is shorter than or equal to half a cycle of power frequency, no further requirements on the current are given provided that the RMS current is not less than 1 kA;
- if the pre-arcing time is longer than half a cycle of power frequency, the actual peak current of the 1st loop is not less than 0,74 p.u and no more than 1,26 p.u. The peak current of 1,0 p.u. is the peak value of the symmetrical rated out-of-phase breaking current;

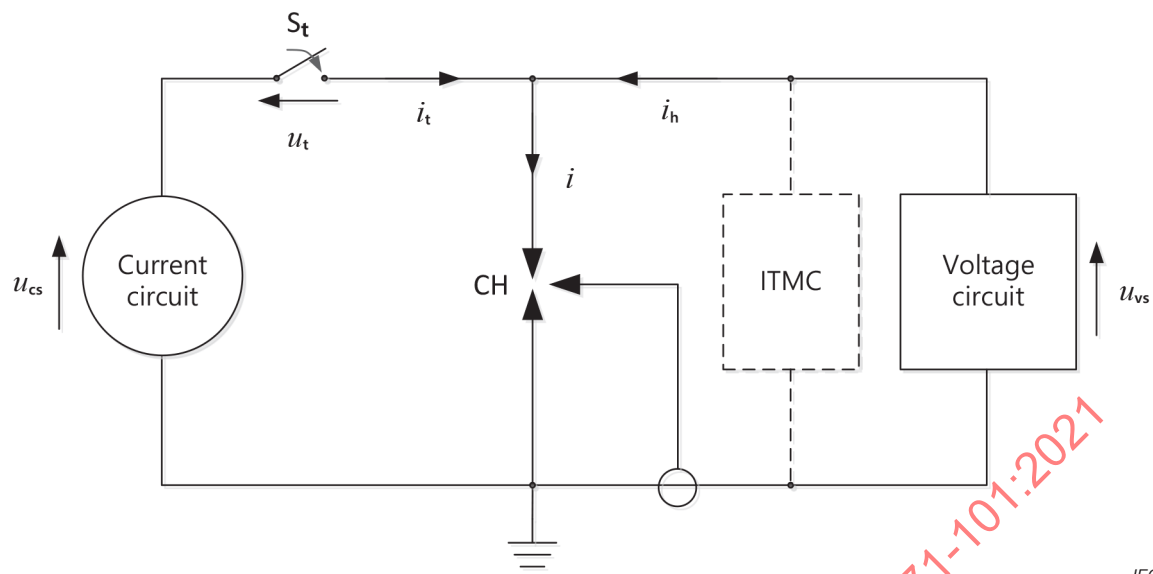
NOTE 2 A test where an earlier current inception between -15° and -30° is achieved, resulting in an actual current up to 1,5 p.u., is considered as more severe.

- the out-of-phase making current, when the test is performed as separate making operation, is maintained for an interval of at least 100 ms.

**Key**

u_{cs}	voltage of current circuit	u_{vs}	voltage of voltage circuit
CH	making device (triggered spark gap)	i_h	initial transient making current (ITMC)
i	power-frequency current supplied by current circuit	i_t	current in the test circuit-breaker
S_t	test circuit-breaker	t_m	time delay of making device

Figure 8 – Example of synthetic making circuit for single-phase tests



IEC

Key

u_{cs} voltage of current circuit

CH making device (triggered spark gap)

i power-frequency current supplied by current circuit

S_t test circuit-breaker

t_m time delay of making device

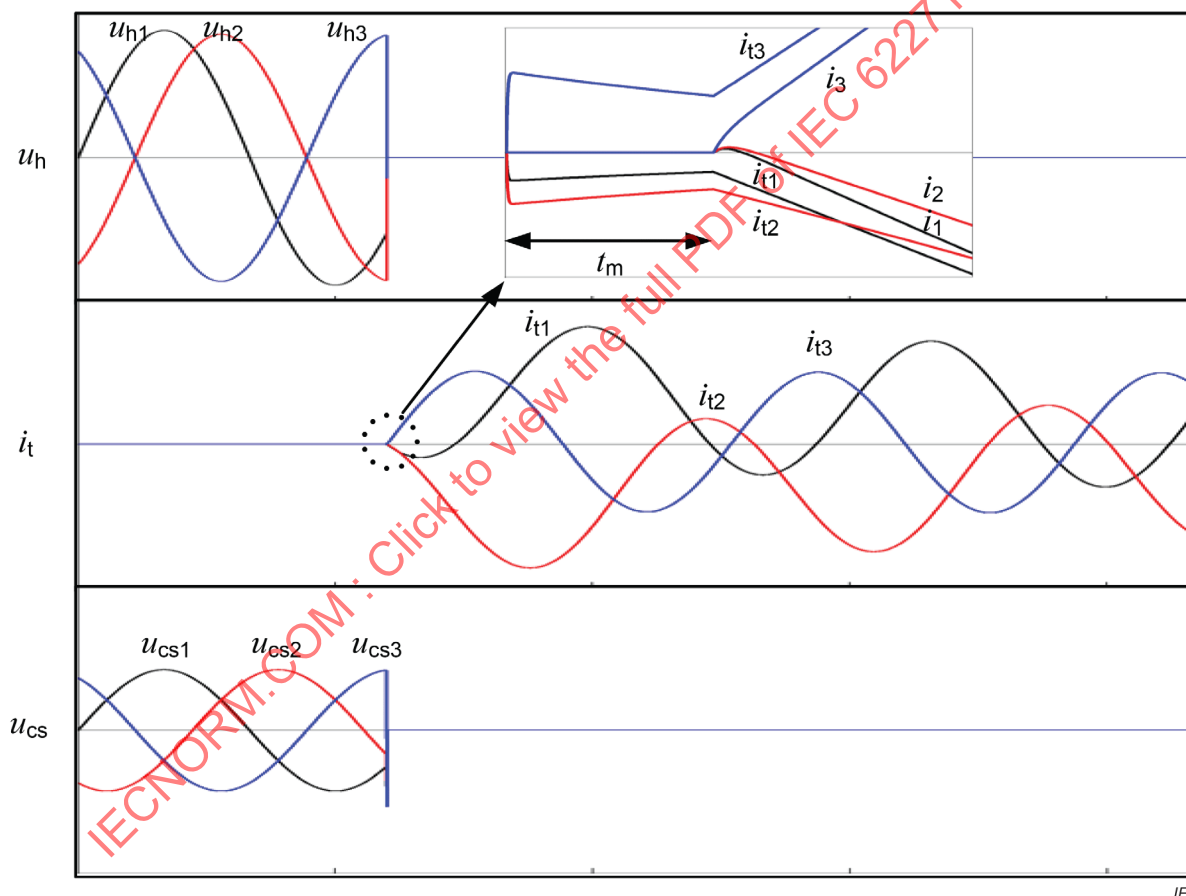
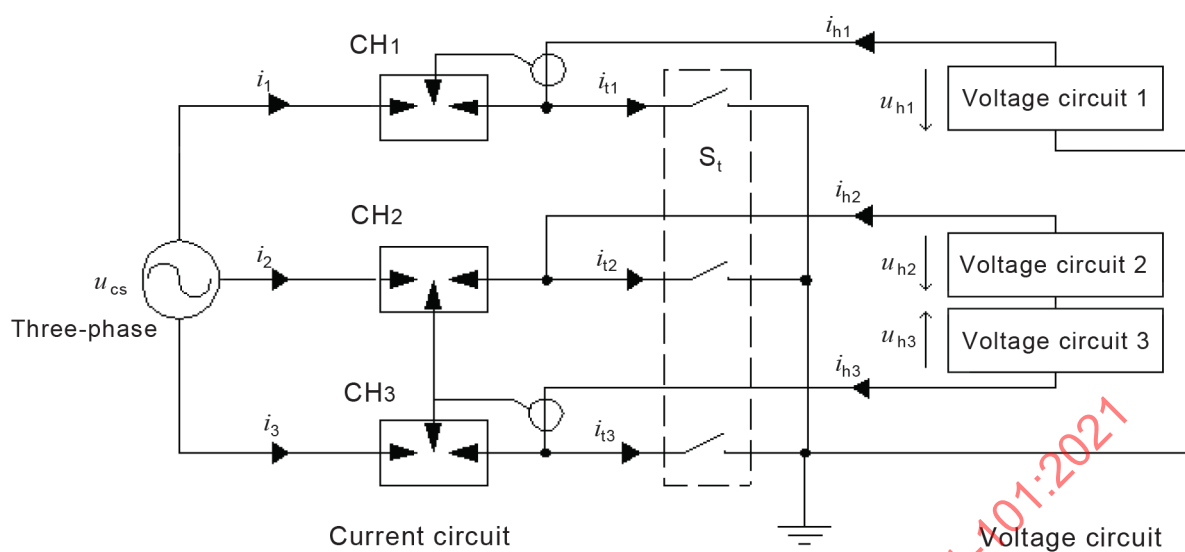
u_{vs} voltage of voltage circuit

i_h initial transient making current (ITMC)

i_t current in the test circuit-breaker

u_t test voltage across test circuit-breaker

Figure 9 – Example of synthetic making circuit for out-of-phase tests

**Key**

$u_{cs1}, u_{cs2}, u_{cs3}$	voltage of current circuit	u_{h1}, u_{h2}, u_{h3}	applied voltage
i_1, i_2, i_3	current supplied by the current circuit	CH ₁ , CH ₂ , CH ₃	making device (triggered spark gap)
i_{t1}, i_{t2}, i_{t3}	current through the test object	S_t	test circuit-breaker
i_{h1}, i_{h2}, i_{h3}	initial transient making current (ITMC)	t_m	time delay of making device

Figure 10 – Example of synthetic making circuit for three-phase tests ($k_{pp} = 1,5$)

5.2.3 Alternative test method with reduced voltage

5.2.3.1 General

This alternative test method is permitted only with the consent of the manufacturer.

The test consists of two parts:

- part 1: a test at rated voltage and reduced current to determine the pre-arcing time;
- part 2: a test at reduced voltage and rated making current, with the required pre-arcing time.

5.2.3.2 Part 1: determination of pre-arcing time

5.2.3.2.1 General

The pre-arcing time shall be determined by performing making tests at rated voltage and reduced current. The arrangement of the circuit-breaker shall be as described in 7.105.1 of IEC 62271-100:2021. The current shall be low enough to avoid contact erosion.

5.2.3.2.2 Single-phase tests

In those cases where the circuit-breaker design permits single-pole testing, at least two making tests performed to evaluate the pre-arcing time shall result in a current initiation instant corresponding to an angle of -15° to $+15^\circ$ on the peak of the applied AC voltage wave-shape. The maximum pre-arcing time measured shall be used as pre-arcing time to be applied in part 2 (see 5.2.3.3).

5.2.3.2.3 Three-phase tests

In a three-phase circuit, for each phase, at least one making test performed to evaluate the pre-arcing time shall result in a current initiation instant corresponding to an angle of -15° to $+15^\circ$ on the peak of the applied AC voltage wave-shape. Pre-arcing time shall be measured in all three phases for each test.

The maximum pre-arcing times measured, corresponding to the test giving the longest pre-arcing time in each phase, shall be used as pre-arcing times to be applied in part 2 (see 5.2.3.3).

If a single-phase voltage circuit is used, the pre-arcing time shall be measured in all three-phases, with the assumption that the current initiation would have occur simultaneously in all three phases.

5.2.3.3 Part 2: short-circuit current making test at reduced voltage

During current making test with rated short-circuit making current at reduced voltage, the pre-arcing time shall be at least equal to the pre-arcing time determined in the tests as described in part 1 (see 5.2.3.2).

To obtain the required maximum pre-arcing time, the initiation of current can be achieved by a voltage of any wave form, high enough to initiate the pre-arcing at the correct point on the wave, with the required pre-arcing time determined in part 1.

Conditions required for a correct making operation remain applicable.

7 Type tests

7.102 General

Subclauses 7.102 through 7.112 of IEC 62271-100:2021 are also applicable for synthetic testing. However, in some cases, special techniques are necessary. These cases are outlined in the following paragraphs and subclauses 7.102 to 7.111. The numbering of the subclauses corresponds to that of IEC 62271-100:2021.

Requirements concerning testing of metal enclosed circuit-breakers are given in Annex G.

General requirements for circuit-breakers with opening resistors are given in Annex J of IEC 62271-100:2021. A method available for testing circuit-breakers having opening resistors is reported in Annex J.

The symbols and abbreviated terms given in Table 6 are used to specify the operations to be performed.

Table 6 – Symbols and abbreviated terms used for operation during synthetic tests

Cd	Closing operation in a direct circuit at the voltage of the current circuit which can be less than the voltage specified in 7.105.1 of IEC 62271-100:2021
(Cd)	Closing operation as Cd, which can be carried out under no-load conditions
Cd _{asy}	Closing operation against the rated short-circuit making current according to 7.105.2 of IEC 62271-100:2021 in a direct circuit at conditions described under Cd
Cs	Closing operation with specified parameters in a synthetic circuit
Cs _{sym}	Closing operation against a symmetrical current equal to the rated short-circuit breaking current, carried out at the required applied voltage in a synthetic circuit
Od	Breaking operation at the voltage of the current circuit only and with the specified breaking current
Os	Breaking operation with specified parameters in a synthetic circuit
<i>t</i>	Time interval between operations (0,3 s or 3 min depending on rapid auto-reclosing or auto-reclosing rated operating sequence)
<i>t'</i>	Time interval between operations (3 min)
SP	Single-phase test as defined in 7.108.2 of IEC 62271-100:2021
DEF	Double-earth fault test as defined in 7.108.2 of IEC 62271-100:2021
NOTE Due to the characteristics of synthetic testing, it can be difficult to comply with the specified time intervals of the rated operating sequence. See 7.106.1 of IEC 62271-100:2021.	

In order to comply with all the requirements, it may be necessary to make more operations than specified in the normal test-duty. In such cases the circuit-breaker can be reconditioned, and the test duty repeated.

7.102.4.2 Unit testing

7.102.4.2.1 General

7.102.4.2.1 of IEC 62271-100:2021 is applicable with the following addition.

In the case of metal-enclosed circuit-breakers, Annex G gives details of some examples of test circuits and Annex I of IEC 62271-100:2021 outlines appropriate testing guidelines.

Where the other unit is used as auxiliary circuit-breaker, this other unit is not considered to be a part of the test object. Therefore, a failure of this other unit shall not be considered as a failure of the test object.

7.102.4.2.5 Additional requirements for unit testing

7.102.4.2.5 of IEC 62271-100:2021 is applicable with the following addition.

For verifying insulation performance of metal enclosed circuit-breakers between live parts and enclosures, an additional test shall be performed with:

- the rated short-circuit current interrupted by all units under condition of maximum arcing time;
- the corresponding voltage applied between the incoming terminal and the tank for both duties T100s and T100a.

A single breaking operation is sufficient to demonstrate this performance. The circuit-breaker can be reconditioned before this additional test.

7.102.4.3 Multi-part testing

Opening operations of circuit-breakers with closing resistors require no special testing techniques since the closing resistor will not influence the test circuit.

The closing resistors can only be tested in a direct circuit that provides the correct current and voltage stresses from a single power source.

During the synthetic making tests, it is necessary to remove the closing resistor in order to obtain the correct short-circuit current stresses and pre-arcing conditions in the making and breaking unit.

If all the TRV and/or the recovery voltage requirements cannot be met simultaneously, multi-part testing can be used taking into account 7.102.4.3 of IEC 62271-100:2021.

When multi-part testing is performed to verify only the recovery voltage, it is not necessary to establish the minimum arcing time once again.

7.102.7 Alternative operating mechanisms

In case of a GIS circuit-breaker with three-poles in one enclosure, the tests shall be carried out in a three-phase test circuit with the TRV from synthetic circuits applied on all the three-phases. T100s test-duty, on the alternative operating mechanism, can be demonstrated by using methods defined in Annex D (three-phase currents with one synthetic circuit). The interaction between phases during interruption has already been demonstrated during the T100s on the completely tested circuit-breaker. Test methods as per Annex D adequately verifies the circuit-breaker's capability to perform the test-sequence with currents in all three-phases, correct arcing times and TRVs corresponding to various poles-to-clear.

7.104 Demonstration of arcing times

7.104.1 General

The basic requirements to be met are given in 7.104 of IEC 62271-100:2021.

In order to be able to perform synthetic tests on the same basis as direct tests, normally it will be necessary to apply special re-ignition methods to prolong the arcing of the test circuit-breaker through the necessary number of zeros of the power-frequency current. See Annex H for re-ignition methods to prolong arcing.

The "step-by-step" method described in Annex H is the method used on most synthetic tests. The method is considered to be a sufficiently close approximation of the direct testing procedure.

The arcing is prolonged by means of thermal re-ignitions. As this method makes it possible to force the test circuit-breaker to re-ignite in all conditions, special care shall be taken not to re-ignite the circuit-breaker at the instant of a current zero when the circuit-breaker can clear. For this purpose, it is necessary to determine, for each terminal fault, short-line fault and out-of-phase test duty, the minimum arcing time of the circuit-breaker. At least two breaking tests, one clearance and one re-ignition, are necessary for this determination.

The clearance at the minimum arcing time is the first valid breaking operation. The other test is performed to demonstrate that a re-ignition at an early current zero would take place between the arcing contacts. This re-ignition test shall be performed in addition to the test sequence as described in Table 7 and shall not be the last test in the test-duty.

The extra tests necessary to demonstrate correct behaviour at early current zeros will usually contribute insignificantly to contact wear, etc., due to the short arcing times. Therefore, no re-conditioning should be necessary because of these tests. The re-ignition(s) obtained when determining the minimum arcing time do(es) not indicate a failure of the circuit-breaker. However, it is important to establish that this re-ignition has taken place between the arcing contacts only. When using a current injection method, the interruption of the injected current a few loops after the re-ignition is often a useful means for the judgement. Thorough inspection of screens, arcing and main contacts, etc., should also be made to verify correct behaviour.

The preferred order to verify the correct reignition behaviour is at the beginning of the test sequence when searching for the minimum arcing time. If, for any reason this test is not done at the beginning of a test sequence, it can be accepted provided that at least one operation has resulted in a clearance after this test. This is to provide evidence that the reignition did not damage any part of the circuit-breaker.

When performing Od-*t*-COs operations, the first opening operation is performed in a direct test circuit. This first opening operation shall represent the minimum arcing time found for single opening operations. In case the arcing time of this first opening operation is longer than required, the test is more severe. For Od operations, a tolerance of ± 2 ms on the arcing time applies.

The minimum clearing time for test-duty T100a is validated by the minimum arcing time of an interruption after a major loop with intermediate asymmetry.

7.104.2 Three-phase tests

Depending on the test circuit used, the test procedures given here may not cover the conditions of the 3rd pole-to-clear for $k_{pp} = 1,3$. For this case the same procedures can be applied, with the manufacturer's consent, by combining the TRV and di/dt parameters for the 2nd pole-to-clear and the arcing time corresponding to the 3rd pole-to-clear. Alternatively, an additional test can be performed with the TRV, di/dt and the maximum arcing time corresponding to the 3rd pole-to-clear.

For alternative testing procedures of multi-enclosure type circuit-breakers with operating mechanism characteristics that require three-phase current, see Annex D.

7.104.2.1 Test-duty T10, T30, T60, T100s, T100s(b)

The test procedure is as follows.

For convenience of testing, the pole in phase A is kept as the first-pole-to-clear.

First the minimum arcing time and correct re-ignition behaviour are established. This is done by changing the setting of the tripping command in steps of 18° (possibly this shall be repeated several times). After having done so, the setting of the control of the tripping command shall be advanced by approximately 40° , starting from the shortest arcing time at which the circuit-breaker cleared. For the last test, the setting of the control of the tripping command shall be advanced by approximately 20° , starting from the shortest arcing time at which the circuit-breaker cleared:

- first valid breaking operation: $t_{\text{arc min}}$, minimum arcing time in phase A;
- re-ignition test: $t_{\text{arc reig}} = t_{\text{arc min}} - 18^\circ$, re-ignition in phase A;
- second valid breaking operation: $t_{\text{arc max}} = t_{\text{arc min}} + 40^\circ$, maximum arcing time in phase A;
- third valid breaking operation: $t_{\text{arc med}} = t_{\text{arc min}} + 20^\circ$, medium arcing time in phase A.

The first valid breaking operation and re-ignition test consist of single opening operations. The order of the first valid breaking operation and re-ignition test can be interchanged.

The order of the second and third valid breaking operations can be interchanged and are carried out as part of the rated operating sequence.

For comparison with the arcing time settings used in three-phase direct tests, see Figure 11 and Figure 12.

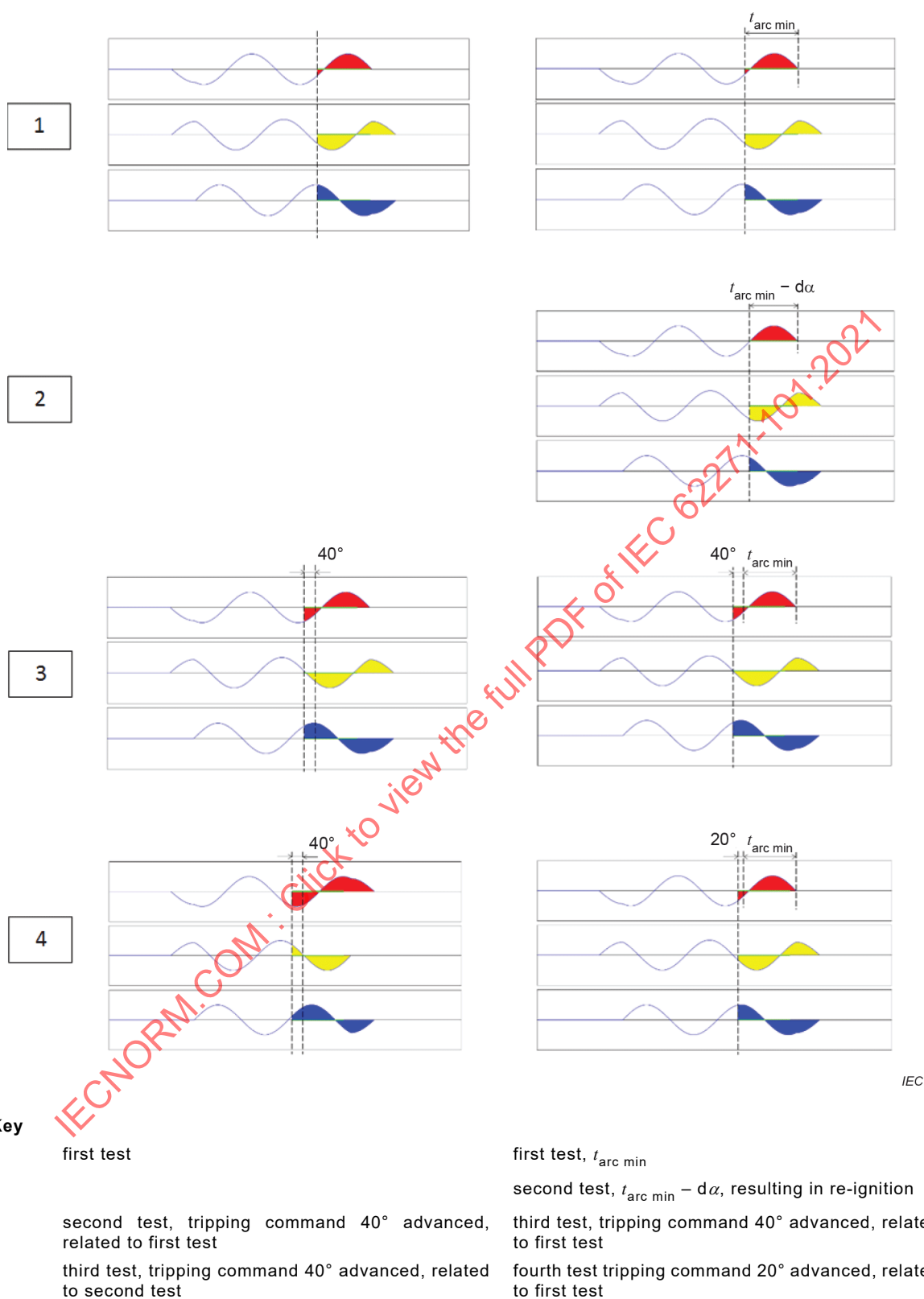


Figure 11 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100s with $k_{pp} = 1,5$

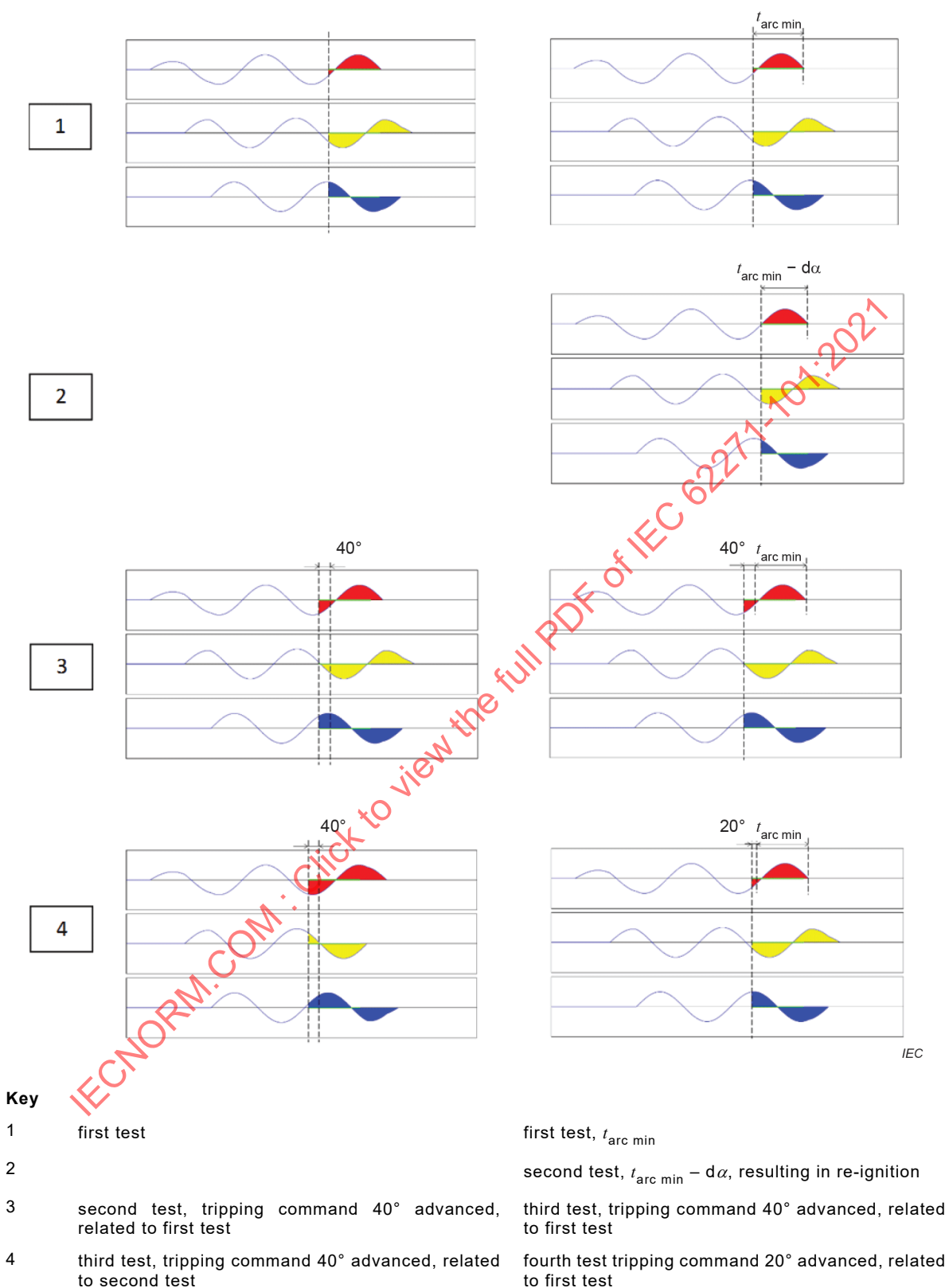


Figure 12 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic (right) for T100s with $k_{pp} = 1,3$

7.104.2.2 Test-duty T100a

The intention is to demonstrate in a series of breaking tests the requirement a) and b) as defined in 7.104.2.2 of IEC 62271-100:2021:

- condition a) where arc extinction occurs in the first-pole-to-clear at the end of a major loop in the first phase with the required asymmetry criteria and with the longest possible arcing time t_{arc1} ;
- condition b) where arc extinction occurs at the end of a major extended loop in the last-pole-to-clear or in the second-pole-to-clear with the required asymmetry criteria and with the longest possible arcing time, t_{arc2} and t_{arc3} as follows:
 - the longest possible arcing time t_{arc2} applies for the last-pole-to-clear for circuit-breakers rated for $k_{pp} = 1,5$;
 - the longest possible arcing time t_{arc2} applies for the last-pole-to-clear for circuit-breakers rated for $k_{pp} = 1,5$.

The test procedure, for three-phase testing, is as follows.

In order to simplify the test procedure, the pole in phase A is kept as the first-pole-to-clear. As a consequence, the pole in phase C will be subjected to increased electrical wear. In order to obtain similar electrical wear on the poles of phase B and C, the test can be performed by exchanging the poles of phases B and C for the second breaking operation.

First the minimum arcing time $t_{arc\ min}$ (Figure 10 and Figure 11, first test) and re-ignition behaviour (Figure 10 and Figure 11, second test) shall be demonstrated having intermediate asymmetry in phase A (Table E.12 to Table E.17, columns 7, 8 and 9) and with the major extended loop occurring in phase C. This is done by changing the setting of the tripping command in steps of $d\alpha = 18^\circ$ until the minimum arcing time is established.

Before the next operation, initiation of short-circuit current shall be advanced by 60° where the required asymmetry changes to phase A (Figure 10 and Figure 11 third test). Arc extinction shall occur in phase A, the first-pole-to-clear at the end of a major loop with the required asymmetry criteria and with the maximum arcing time demonstrating condition a) mentioned above.

The maximum arcing time t_{arc1} for the first pole-to-clear is achieved when the following condition is met:

$$t_{arc1} = t_{arc\ min} + \Delta t_{a1} - T \times d\alpha/360^\circ$$

In the next operation, the initiation of short-circuit current shall be delayed by 60° . As a result, the required asymmetry changes to phase C. Arc extinction shall occur in phase C at the end of a major extended loop with the required asymmetry criteria and with the maximum arcing time demonstrating condition b) mentioned above:

- the maximum arcing time t_{arc2} for the last-pole-to-clear for circuit-breakers rated for $k_{pp} = 1,5$ (Figure 10 fourth test) is achieved when the following condition is met:

$$t_{arc2} = t_{arc\ min} + \Delta t_{a2} - T \times d\alpha/360^\circ$$

- the maximum arcing time t_{arc3} for the second-pole-to-clear for circuit-breakers rated for $k_{pp} = 1,3$ or $k_{pp} = 1,2$ (Figure 11 fourth test) is achieved when the following condition is met:

$$t_{arc3} = t_{arc\ min} + \Delta t_{a3} - T \times d\alpha/360^\circ$$

where

Δt_{a1} , Δt_{a2} , Δt_{a3} are the relevant time parameters to be selected from Table E.12 to Table E.17.

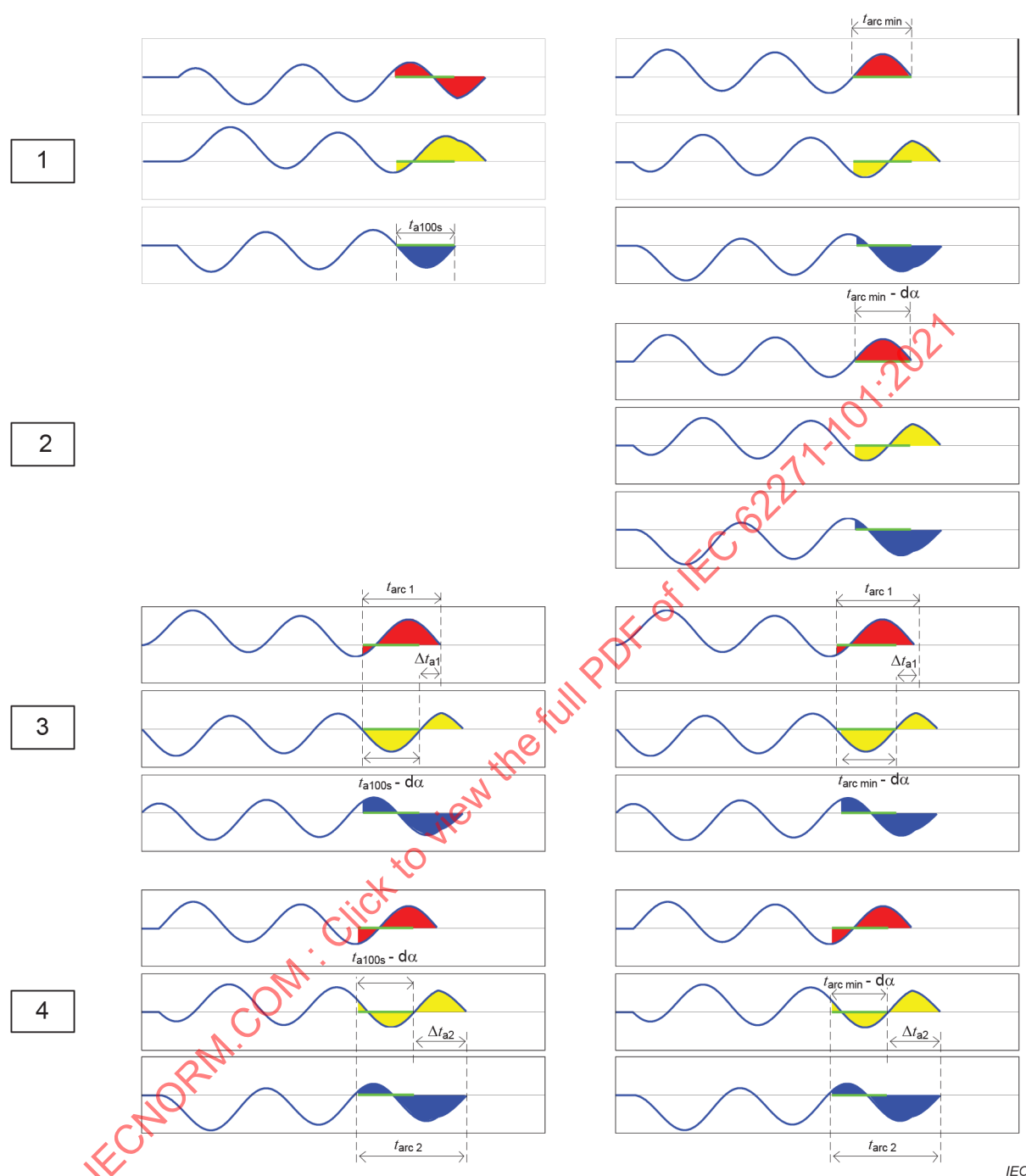
The order of the last two breaking operations can be interchanged.

Some circuit-breakers will not clear at the end of a major loop after the required arcing time. However, this test is valid if the circuit-breaker clears the subsequent minor loop, that becomes the last-pole-to-clear. The corresponding parameters for the last-pole-to-clear for symmetrical condition shall be applied.

For comparison with the arcing settings used in three-phase direct tests, see Figure 10 and Figure 11.

NOTE The last breaking operation required by 7.104.2.2 of IEC 62271-100:2021 is covered by the tests to demonstrate the minimum arcing time.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2021

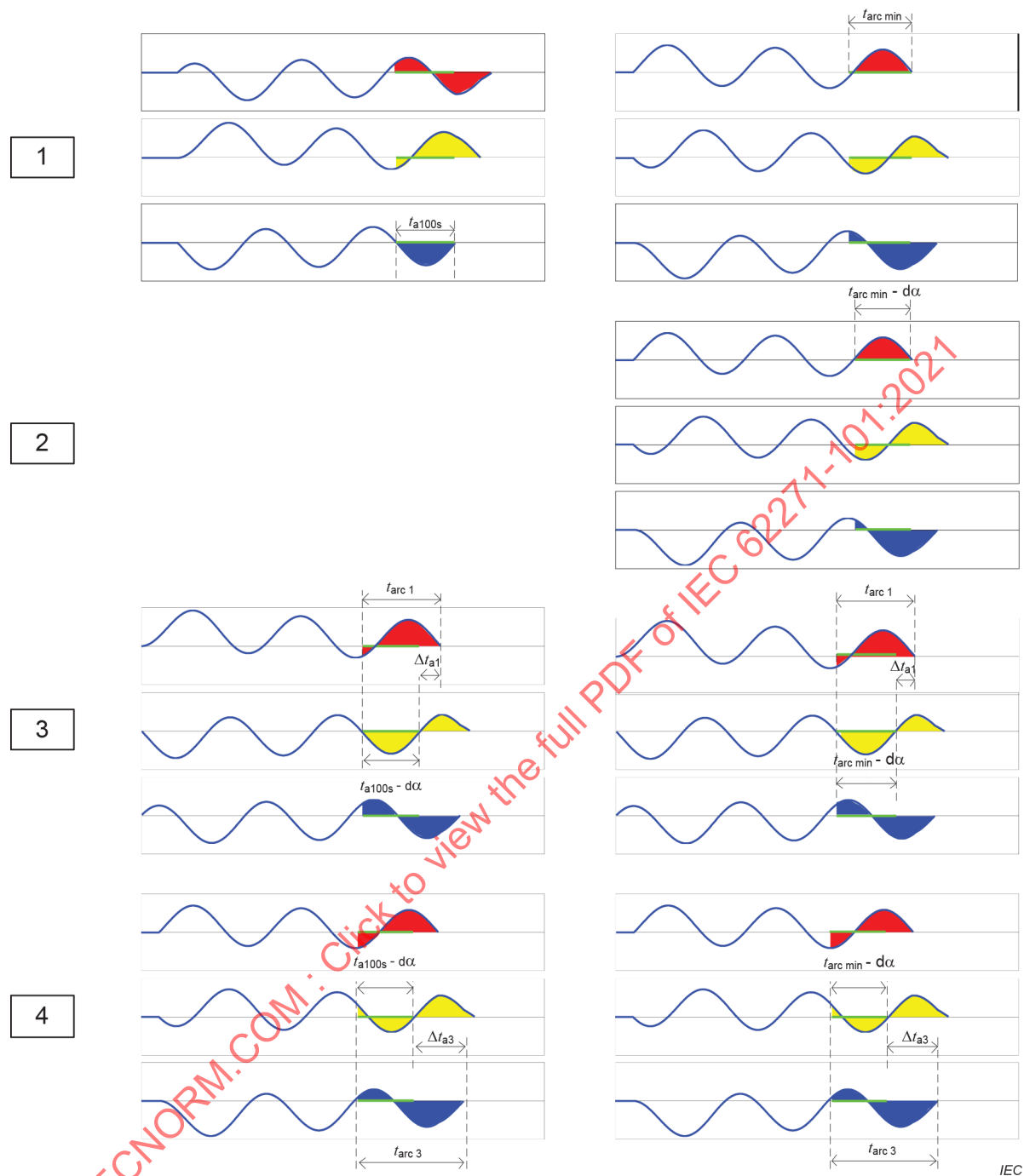


IEC

Key

- | | | |
|---|---|--|
| 1 | first test | first test, $t_{\text{arc min}}$ |
| 2 | | second test, $t_{\text{arc min}} - d\alpha$, resulting in re-ignition |
| 3 | second test, condition a) first-pole-to-clear after major loop | third test, condition a) first-pole-to-clear after major loop |
| 4 | third test, condition b) last-pole-to-clear after major extended loop | fourth test, condition b) last-pole-to-clear after major extended loop |

Figure 13 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic tests (right) for T100a with $k_{pp} = 1,5$



Key

- | | | |
|---|---|--|
| 1 | first test | first test, $t_{arc \min}$ |
| 2 | | second test, $t_{arc \min} - d\alpha$, resulting in re-ignition |
| 3 | second test, condition a) first-pole-to-clear after major loop | third test, condition a) first-pole-to-clear after major loop |
| 4 | third test, condition b) second-pole-to-clear after major extended loop | fourth test, condition b) second-pole-to-clear after major extended loop |

Figure 14 – Comparison of arcing time settings during three-phase direct tests (left) and three-phase synthetic tests (right) for T100a with $k_{pp} = 1,3$

7.104.3 Single-phase tests in substitution for three-phase conditions, out-of-phase and short-line fault tests

7.104.3.1 General

The procedures as described in 7.104.3 of IEC 62271-100:2021 are applicable with the following changes. These procedures are meant to demonstrate the first-pole-to-clear, the second-pole-to-clear and the third-pole-to-clear conditions, with current and voltage parameters applicable for the first-pole-to-clear.

7.104.3.2 Test-duties T10, T30, T60, T100s and T100s(b), OP1 and OP2, L₉₀, L₇₅ and L₆₀

The procedures as described in 7.104.3.2 of IEC 62271-100:2021 are applicable with the following addition.

The minimum arcing time $t_{\text{arc min}}$ and re-ignition behaviour shall be demonstrated. This is done by changing the setting of the tripping command in steps of 18° until the minimum arcing time is established.

7.104.3.3 Test-duty T100a

The test procedure is as follows.

The minimum arcing time $t_{\text{arc min}}$ and re-ignition behaviour shall be demonstrated with the major loop at intermediate asymmetry (Table E.12 to Table E.17, columns 7 and 8). This is done by changing the setting of the tripping command in steps of 18° until the minimum arcing time is established.

After that, two breaking operations at required asymmetry shall be performed as described below. Table E.12 to Table E.17, columns 3 and 4, give the required values of the peak short-circuit current and loop duration that shall be attained in the last loop prior to the interruption.

One breaking operation, shall demonstrate interruption at the end of the major loop with an arcing time equivalent to the maximum arcing time under three-phase conditions t_{arc1} of the first-pole-to-clear, corresponding to arcing time t_{arc1} of 7.104.3.3 of IEC 62271-100:2021.

The maximum arcing time t_{arc1} for the first pole-to-clear is achieved when the following condition is met:

$$t_{\text{arc1}} = t_{\text{arc min}} + \Delta t_{\text{a1}} - T \times \text{da}/360^\circ$$

Another breaking operation, , shall demonstrate interruption at the end of the major loop with an arcing time equivalent to the maximum arcing time under three-phase conditions, corresponding to arcing time t_{arc2} or t_{arc3} of 7.104.3.3 of IEC 62271-100:2021:

- the maximum arcing time t_{arc2} for the last-pole-to-clear for circuit-breakers rated for $k_{\text{pp}} = 1,5$ is achieved when the following condition is met:

$$t_{\text{arc2}} = t_{\text{arc min}} + \Delta t_{\text{a2}} - T \times \text{da}/360^\circ$$

- the maximum arcing time t_{arc3} for the second-pole-to-clear for circuit-breakers rated for $k_{\text{pp}} = 1,3$ or $k_{\text{pp}} = 1,2$ is achieved when the following condition is met:

$$t_{\text{arc3}} = t_{\text{arc min}} + \Delta t_{\text{a3}} - T \times \text{da}/360^\circ$$

where

Δt_{a1} , Δt_{a2} , Δt_{a3} are the relevant parameters to be selected from Table E.12 to Table E.17.

The order of the last two breaking operations can be interchanged.

Since some circuit-breakers will not clear after a major loop, a test is still valid if the circuit-breaker interrupts at the subsequent minor loop.

NOTE The last breaking operation required by 7.104.3.3 of IEC 62271-100:2021 is considered to be covered by the tests to demonstrate the minimum arcing time.

7.104.3.5 Splitting of test-duties in test series taking into account the associated TRV for each pole-to-clear

The requirements as described in 7.104.3.5 of IEC 62271-100:2021 are applicable and the test procedure for synthetic testing is given in Annex E.

7.104.3.101 Modified procedure in cases where the circuit-breaker did not interrupt during a test with a medium and/or a maximum arcing time, during breaking tests with symmetrical current

If the circuit-breaker did not interrupt at the expected current zero during a breaking operation with symmetrical current with a medium and/or a maximum arcing time, then it is necessary to perform one additional breaking operation for each respective arcing time.

The breaking operation for medium arcing time shall demonstrate interruption with:

$$t_{\text{arc med}} + T \times (150^\circ / 360^\circ), \text{ if } k_{\text{pp}} = 1,5$$

$$t_{\text{arc med}} + T \times (180^\circ / 360^\circ), \text{ if } k_{\text{pp}} = 1,3, 1,2 \text{ or } 1,0$$

where

$t_{\text{arc med}}$ is the medium arcing time at which the circuit-breaker did not interrupt.

The breaking operation for maximum arcing time shall demonstrate interruption with:

$$t_{\text{arc max}} + T \times (180^\circ / 360^\circ)$$

where

$t_{\text{arc max}}$ is the maximum arcing time at which the circuit-breaker did not interrupt.

If the circuit-breaker does not interrupt during any of these additional breaking operations, it is permissible to carry out maintenance work on the circuit-breaker according to 7.102.9.6 of IEC 62271-100:2021 and repeat the test-duty where the breaking operation with the medium and/or maximum arcing time is replaced by the breaking operation with the arcing time as defined above.

The additional test is performed with the same operation as where the circuit-breaker did not interrupt (e.g. (Cd)Os, Od t CdOs, etc.).

7.105.5.4 Test-duty T30

For rated voltages up to and including 72,5 kV, it can be difficult to meet the small values of t_3 . The shortest time which can be met should be used, see 7.105.5.4 of IEC 62271-100:2021. The values used shall be stated in the test report.

7.105.5.5 Test-duty T10

For rated voltages up to and including 72,5 kV it can be difficult to meet the small values of t_3 . The shortest time which can be met should be used, see 7.105.5.5 of IEC 62271-100:2021. The values used shall be stated in the test report.

7.107 Terminal fault tests

7.107.1 General

The basic requirements are given in 7.107.1 of IEC 62271-100:2021. The synthetic test methods are given in Table 7.

NOTE Due to the characteristics of synthetic testing, it can be difficult to comply with the specified time intervals of the rated operating sequence. See 7.106.1 of IEC 62271-100:2021.

In order to comply with all test requirements, it can be applicable to make more operations than specified in the normal test duty. In such cases, the circuit-breaker can be reconditioned, and the test duty repeated.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2021

Table 7 – Synthetic test methods for test duties T10, T30, T60, T100s, T100a, SP, DEF, OP and SLF

Test duty	Synthetic test		operating sequence
	Subclause	Method	
T10, T30 and T60	7.107.2 to 7.107.4	1	$Os - t - (Cd)Os - t' - (Cd)Os^a$
		2	Os $Od - t - (Cd)Os - t' - (Cd)Os^{a, e}$
T100s	7.107.5.2 time constant of the DC component of the test circuit equal to the specified value	3	$Os - t - CsOs - t' - CsOs^f$
		4	Os $Od - t - Cs_{sym}Os - t' - Cd_{asy}Os^e$
		5	Cs_{sym} Os $Od - t - CdOs - t' - CdOs^{d, e}$
	7.107.5.3 time constant of the DC component of the test circuit less than the specified value	6	Cd_{asy} Os $Od - t - Cs_{sym}Os - t' - CdOs^{b, e}$
		7	Cd_{asy} Cs_{sym} Os $Od - t - CdOs - t' - CdOs^{b, e}$
	7.107.5.4 time constant of the DC component of the test circuit greater than the specified value	4	Os $Od - t - Cs_{sym}Os - t' - Cd_{asy}Os^{c, e}$
		5	Cs_{sym} Os $Od - t - CdOs - t' - CdOs^{c, d, e}$
		7	Cd_{asy} Cs_{sym} Os $Od - t - CdOs - t' - CdOs^{c, e}$
T100a	7.107.6		$Os - t' - Os - t' - Os$
SP and DEF	7.108.2		Os
SLF	7.109	1	$Os - t - (Cd)Os - t' - (Cd)Os^a$
		2	Os $Od - t - (Cd)Os - t' - (Cd)Os^{a, e}$
OP1	7.110		Os, Os, Os
OP2	7.110	8	$Cs_{sym}Os, Os, Os$
		9	Cs_{sym} $(Cd)Os, Os, Os^a$

- a (Cd) is a closing operation as Cd, which can be carried out under no-load conditions.
- b Due to the smaller time constant of the DC component of the test circuit with respect to the specified value used for the rated short-circuit breaking current, the symmetrical value of the current during Cd_{asy} will need to be greater than the rated value. During the Cd for the same reason, the current peak, already demonstrated during Cd_{asy} will be smaller than the rated short-circuit making current.
- c Due to the larger time constant of the DC component of the test circuit with respect to the specified value used for the rated short-circuit, the current peak during the asymmetrical closing can be larger than the rated short-circuit making current. A peak current reduction circuit can be used or the closing operation can be controlled by use of point on wave control, to obtain the required rated short-circuit making current. The use of point-on-wave control is subject to the consent of the manufacturer.
- d One of the two Cd's shall be Cd_{asy}.
- e Od having the same minimum arcing time condition as the previous Os.
- f One Cs meeting requirement a) and the other Cs meeting requirement b) of 7.105.2.1 of IEC 62271-100:2021.

7.107.2 Test-duty T10

One on the methods 1 or 2 can be used to perform the rated operating sequence synthetically with the specified parameters (see Table 7).

7.107.3 Test-duty T30

One on the methods 1 or 2 can be used to perform the rated operating sequence synthetically with the specified parameters (see Table 7).

7.107.4 Test-duty T60

One on the methods 1 or 2 can be used to perform the rated operating sequence synthetically with the specified parameters (see Table 7).

7.107.5 Test-duty T100s

7.107.5.2 Time constant of the DC component of the test circuit equal to the specified value

One on the methods 3, 4 or 5 can be used to perform the rated operating sequence synthetically with the specified parameters (see Table 7), when the time constant of the test circuit is equal to the specified value used for the rated short-circuit breaking current as defined by 5.101.3 of IEC 62271-100:2021.

7.107.5.3 Time constant of the DC component of the test circuit less than the specified value

One on the methods 6 or 7 can be used to perform the rated operating sequence synthetically with the specified parameters (see Table 7), when the time constant of the test circuit is less than the specified value used for the rated short-circuit breaking current according to 5.101.3 of IEC 62271-100:2021.

7.107.5.4 Time constant of the DC component of the test circuit greater than the specified value

One on the methods 4, 5 or 7 can be used to perform the rated operating sequence synthetically with the specified parameters (see Table 7), when the time constant of the test circuit is greater than the specified value used for the rated short-circuit breaking current according to 5.101.3 of IEC 62271-100:2021.

7.107.6 Test-duty T100a

Three breaking operations shall be made as specified in 7.107.6 of IEC 62271-100:2021 (see Table 7).

During tests with asymmetrical current, both di/dt and the TRV are modified due to the DC component. In synthetic tests, these modifications shall be pre-arranged as follows.

- a) Depending on the required DC time constant, the following asymmetry criteria shall be fulfilled as given below

Required values of the peak short-circuit current and loop duration shall be in accordance with the values in Table E.12 to Table E.17.

Criteria for actual values are given in 4.1.2.

When a voltage injection method is used, the criteria regarding the di/dt at current zero can be disregarded.

- b) Reduction of di/dt at current zero

The reduction of di/dt can be obtained for current injection methods by reducing the charging voltage of the voltage circuit.

The corresponding corrected values can be found in Table E.12 to Table E.17.

- c) Correction of TRV

- 1) Simplified method

For TRVs with time t_2 or t_3 not exceeding 500 μ s, a simplified method can be used, where the charging voltage of the synthetic circuit shall be set to obtain the most onerous test parameters. See Annex A for more guidance.

- 2) For TRVs with time t_2 exceeding 500 μ s, other corrections and/or circuit modifications shall be used. For the required prospective TRV values, see Table A.1 through Table A.6.

Different test circuits for different asymmetry conditions can be needed in order to obtain the required values. A test with one single test circuit can over-stress the circuit-breaker and requires the consent of the manufacturer.

- 3) u_c and RRRV for second-pole-to-clear and last-pole-to-clear are obtained from the respective values for symmetrical conditions reduced by the same factor as the corresponding di/dt .

- d) Correction of recovery voltage

When a test is made for clearance at the end of a major loop, the reduced recovery voltage will adequately cover the first quarter loop of the recovery voltage (of an equivalent direct test).

For clearance at the end of a minor loop of current, the reduced recovery voltage will not cover reference system conditions since in the system the power-frequency recovery voltage continues to rise after the onset of the TRV.

Together with the symmetrical test duties, the evidence is sufficient to prove the performance of the circuit-breaker.

- e) Intermediate asymmetry

The phase with the intermediate asymmetry as required for testing T100a according to 7.104.2.2 and 7.104.3.3 refers to the phase, in a three-phase system, having its current zero just prior to current zero of the phase with required asymmetry. This phase also starts with a major loop of current, at current initiation. As an example, the red coloured phase in tests 1 and 2 of Figure 10 and Figure 11 (synthetic test, right hand part of the figures) fulfils this intermediate asymmetry condition.

In this particular phase, the major loops are called "intermediate major loops".

The parameters of the intermediate major loop can be obtained from Table E.12 to Table E.17.

7.108.2 Single-phase and double-earth fault tests

The basic test requirements are given in 7.108.2 of IEC 62271-100:2021. The test method is shown in Table 7.

7.109 Short-line fault tests

The basic test requirements are given in 7.109 of IEC 62271-100:2021.

One of the methods 1 or 2 can be used to perform the rated operating sequence synthetically with the specified parameters (see Table 7).

For short-line fault (SLF) synthetic testing, the parameters of the short-line fault circuit shall be those given in 7.109 of IEC 62271-100:2021 and the line circuit shall be in the current-carrying circuit during the whole interaction interval.

With current injection circuits, the short-line fault circuit can be connected in series with the voltage circuit and its inductance is added to L_h , as shown in Figure 145 of IEC TR 62271-306:2012/AMD1:2018.

The presence of the short-line fault circuit in the voltage circuit can cause oscillations to be superimposed on the injected current wave. These oscillations should be damped out (to satisfy d) of 4.2.1), so as not to affect the current during the interval of significant change of arc voltage or at least 100 μ s before current zero.

A resistance can be connected in series with the TRV shaping circuit. In most cases, this resistance, selected to control the initial rate of rise of recovery voltage, is sufficient to supply the necessary damping.

NOTE 1 If, for short-line fault tests, the line is connected to the same side of the test circuit-breaker as the voltage circuit impedance, special attention is given to voltage distribution and measurement of prospective TRV.

If an extra capacitance is used to adjust the time delays as per 7.109.3 of IEC 62271-100:2021, care should be taken as to where to apply this capacitance:

- when using a line side capacitance, it shall be connected across the line section of the test circuit to simulate the same conditions as in direct tests;
- when using a source side capacitance, it shall be connected across the source section of the voltage circuit.

A capacitance across the circuit-breaker is normally considered as being part of the test object. In certain cases, it can be applicable to apply additional capacitance across the circuit-breaker to adjust the time delay of the test circuit.

NOTE 2 A capacitance across the auxiliary circuit-breaker influences the time delay and is considered as being part of the delay capacitance of the test circuit.

According to 7.109.5 of IEC 62271-100:2021, short-line fault tests can also be made with current injection circuit based on reduced power-frequency voltage, the provisions of 7.109.3 of IEC 62271-100:2021 being relaxed.

These provisions shall be met as well as possible and, for the transient recovery voltage at least up to three times the specified time of the first line side peak.

For applicability of this method, refer to 7.109.5 of IEC 62271-100:2021.

NOTE 3 It is recognized that the requirements of 4.2.1 b) on the inductance of the voltage circuit are in accordance with equivalent direct circuit with reduced power.

7.110 Out-of-phase making and breaking tests

The basic requirements are given in 7.110 of IEC 62271-100:2021.

One of the methods 8 or 9 can be used to perform the operating sequence synthetically with the specified parameters for OP2 (see Table 7), independently of the pre-arcing time.

The test method for OP1 is given in Table 7.

It can be applicable to separate the making and breaking tests of test-duty OP2. In this case, the part consisting of the making operations is designated OP2(a) and the part consisting of the breaking operations is designated OP2(b).

7.111 Capacitive current tests

7.111.1 General

The basic requirements are given in 7.111 of IEC 62271-100:2021.

For metal-enclosed circuit-breakers, typical test circuits are given in Annex G and additional guidelines are given in Annex I of IEC 62271-100:2021.

7.111.3 Characteristics of supply circuits

When the characteristics of the test circuit do not meet the requirements of 7.111.3 of IEC 62271-100:2021, the prospective recovery voltage specified in 7.111.10 of IEC 62271-100:2021 shall be applied.

The effects of current chopping, as described in Clause I.5, can modify the recovery voltage during the capacitive current switching tests. Therefore, the verification of the specified TRV is obtained at minimum arcing time only.

A test circuit with a 50 Hz current circuit can be used to prove the capacitive current switching capability for a rating of 60 Hz, provided that the recovery voltage fulfils the 60 Hz requirements (see 7.111.3 of IEC 62271-100:2021). The setting of the contact separation should be based on the frequency of the current circuit.

7.111.7 Test voltage

The prospective recovery voltage during synthetic capacitive current switching tests shall be calculated based on the test voltage of the corresponding single-phase direct test, as defined in 7.111.7 of IEC 62271-100:2021 and comply with the requirements of 7.111.10 of IEC 62271-100:2021.

Due to limitations of some synthetic test circuits, the following additional requirements apply to the recovery voltage:

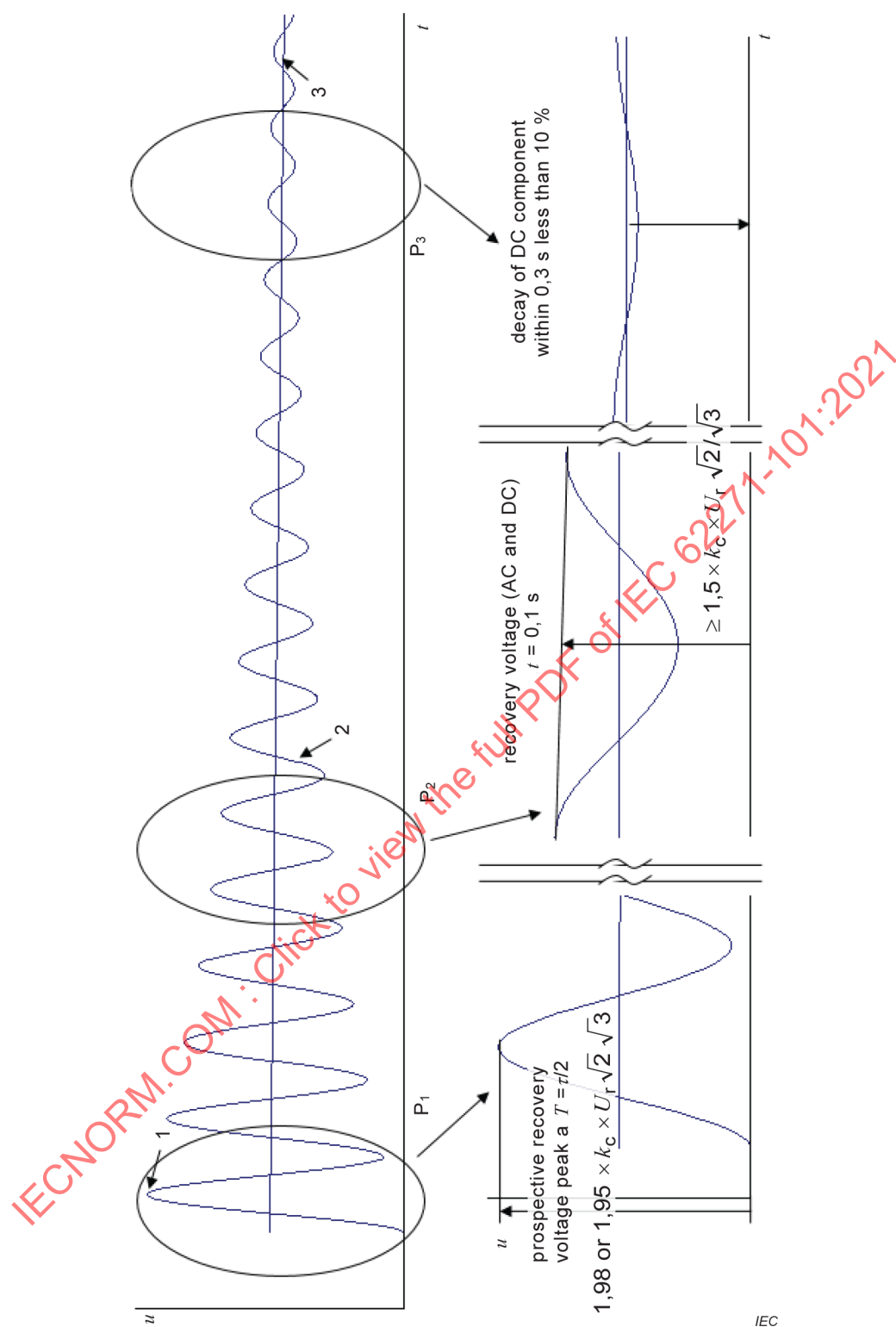
- the peak value of the AC component of the recovery voltage should be kept as close as possible to $k_c \times U_r \sqrt{2/\sqrt{3}}$;
- the DC component of the recovery voltage shall not decay more than 10 % within an interval of 0,3 s after final arc extinction, except for test duty LC1 and/or CC1;
- the recovery voltage shall not fall below $1,5 \times k_c \times U_r \sqrt{2/\sqrt{3}}$ within an interval of 0,1 s after final arc extinction.

Graphical representation is shown in Figure 15.

Examples of synthetic capacitive current switching circuits are given in Annex I.

Where neither of the test circuit used for the different test duties are unable to fulfil the recovery voltage requirements concerning the DC component, as listed above, for 300 ms, the withstand ability of the circuit-breaker shall be demonstrated in another way. This demonstration can be done by performing an additional test without current, applying the required recovery voltage. The required recovery voltage can be obtained by applying, for example, a DC voltage at one terminal and an AC voltage to the other terminal for the required time duration. The number of voltage applications shall be five in each polarity. Where the capacitive current switching tests are performed three-phase, this additional dielectric test shall be carried out on each of the three phases. The pressure for interruption and insulation during this test shall, where applicable, be that specified for the corresponding capacitive current switching test.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2021



Key

- | | | | |
|--------|---|----------------|---|
| 1 | recovery voltage with exponential decrement in the AC and DC components across the circuit-breaker during a synthetic capacitive current switching test | P ₁ | point on which the peak of recovery voltage (1) occurs |
| 2 | AC component of the recovery voltage | P ₂ | point where the recovery voltage (1) shall not be below $1.5 \times k_c \times U_r \times \sqrt{2} / \sqrt{3}$ |
| 3 | DC component of the recovery voltage | P ₃ | point where the DC recovery voltage (3) shall not be below $0.9 \times k_c \times U_r \times \sqrt{2} / \sqrt{3}$ |
| τ | cycle of power frequency | | |

Figure 15 – Evaluation of recovery voltage during synthetic capacitive current switching testing

Annex A (normative)

Correction of di/dt and TRV for test duty T100a

A.1 General

During asymmetrical fault condition, the resultant di/dt and TRV are modified by the DC component of the fault current.

There are two options.

- 1) Test circuit set to obtain the rated TRV associated with T100s

In that case, it is impossible to meet simultaneously all parameters (di/dt , u_1 and u_c) since these parameters are not varying linearly with the DC component at current zero. The charging voltage of the synthetic circuit shall be set to obtain the most onerous test parameter. For tests on the major loop, the most onerous test parameter is always di/dt while the most onerous parameter for tests on the subsequent minor loop is u_c . In case of voltage injection test method, the most onerous test parameter for tests on major loop becomes u_1 .

- 2) Use different test circuits to obtain the modified TRV associated with appropriate asymmetry conditions.

In that case, all required parameters (di/dt , u_1 and u_c) can be met simultaneously.

The choice of the option is left to the manufacturer since option 1) can overstress the circuit-breaker (for example for tests on major loop, the required correction on di/dt will produce a higher u_c than required).

A.2 Reduction in di/dt

For the last current loop parameters, refer to Table A.7 and Table A.8 and Table E.12 through Table E.17.

A.3 Corrected TRV for the first-pole-to-clear with required asymmetry

Table A.1 through Table A.6 cover the corrected TRV values for $k_{pp} = 1,5$, 1,3 and 1,2 for $f_r = 50$ Hz and $f_r = 60$ Hz.

Table A.1 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,3$ and $f_r = 50$ Hz

Minimum clearing time ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 68,0		68,0 < t ≤ 88,0			
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV		
τ = 45 ms major loop	72,5 ^c	b	99	b	105	b	107	a	a		
	72,5 ^d	b	109	b	115	b	118				
	100	74	136	78	144	79	147				
	123	90	166	96	177	97	181				
	145	106	195	113	208	115	213				
	170	125	228	132	243	134	249				
	245	179	325	190	348	194	357				
	300	219	394	232	423	237	436				
	362	264	471	280	508	286	524				
	420	306	541	324	586	331	606				
	550	399	693	424	757	433	787				
800	576	965	613	1 074	628	1 126					
τ = 45 ms subsequent minor loop	72,5 ^c	b	98	b	103	b	106	a	a		
	72,5 ^d	b	107	b	113	b	116				
	100	72	135	76	143	78	146				
	123	88	167	94	176	96	180				
	145	104	197	110	208	113	212				
	170	122	232	129	244	132	249				
	245	176	338	187	354	191	360				
	300	216	417	229	435	234	442				
	362	261	507	276	528	283	535				
	420	304	593	321	615	328	623				
	550	399	789	421	814	430	821				
800	584	1 184	615	1 207	627	1 209					
Minimum clearing time ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 67,5		67,5 < t ≤ 88,0			
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV		
τ = 60 ms major loop	72,5 ^c	b	92	b	100	b	104	b	106		
	72,5 ^d	b	102	b	111	b	115	b	117		
	100	69	127	75	138	77	143	79	146		
	123	85	155	92	169	95	176	97	179		
	145	100	182	108	199	112	207	114	211		
	170	117	212	127	232	131	242	134	247		
	245	168	301	182	331	189	347	192	355		
	300	205	364	223	403	231	422	235	433		
	362	247	434	269	482	279	506	284	520		
	420	286	497	311	554	323	584	329	601		
	τ = 60 ms subsequent minor loop	72,5 ^c	b	93	b	100	b	104	b		
72,5 ^d		b	101	b	110	b	114	b	116		
100		68	128	73	138	76	143	78	146		
123		83	159	90	171	94	177	96	180		
145		98	188	107	202	111	209	113	212		
170		115	221	125	237	130	245	132	249		
245		167	323	181	345	187	355	191	360		
300		205	399	221	425	229	437	234	442		
362		248	487	267	517	277	530	282	536		
420		288	570	311	603	322	618	328	623		

Minimum clearing time ms	10,0 < t ≤ 27,0			27,0 < t ≤ 47,5		47,5 < t ≤ 67,5		67,5 < t ≤ 87,5		87,5 < t ≤ 108	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
$\tau = 75$ ms major loop	550 800	349 501	580 785	388 560	669 928	409 592	722 1 015	421 610	754 1 070	428 621	775 1 106
$\tau = 75$ ms subsequent minor loop	550 800	360 529	737 1 126	394 577	786 1 184	413 603	808 1 207	423 618	819 1 215	429 626	823 1 216

a Test duty T100a is not applicable, asymmetry level lower than 20 % for both current loops.

b u_1 is not defined for a two parameter TRV.

c Class S1

d Class S2

Table A.2 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,3$ and $f_r = 60$ Hz

Minimum clearing time ms	8,5 < t ≤ 22,5			22,5 < t ≤ 39,5		39,5 < t ≤ 56,5		56,5 < t ≤ 73,0			
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV		
$\tau = 45$ ms major loop	72,5 ^c	b	94	b	102	b	105	a	a		
	72,5 ^d	b	105	b	113	b	116				
	100	71	130	76	140	78	145				
	123	87	159	93	172	96	178				
	145	102	186	110	202	113	209				
	170	120	217	129	236	133	244				
	245	172	307	185	336	191	350				
	300	210	371	226	408	234	426				
	362	253	441	273	488	282	511				
	420	293	505	316	561	326	589				
	550	381	640	412	720	426	761				
	800	548	873	595	1 006	617	1 079				
$\tau = 45$ ms subsequent minor loop	72,5 ^c	b	95	b	101	b	105	a	a		
	72,5 ^d	b	104	b	111	b	115				
	100	69	132	75	141	77	145				
	123	85	163	92	173	95	178				
	145	101	192	108	205	112	211				
	170	118	227	127	241	131	247				
	245	171	331	183	351	189	359				
	300	210	410	225	432	232	441				
	362	254	501	272	525	280	535				
	420	295	587	315	614	325	624				
	550	388	787	414	816	426	825				
	800	570	1 196	607	1 223	623	1 225				

	300 362 420	194 234 270	338 400 456	215 259 299	382 455 522	226 272 315	407 487 560	232 279 324	422 505 582			
ms current loop	72,5 ^c 72,5 ^d 100 123 145 170 245 300 362 420	b b 65 80 94 111 160 197 238 277	89 97 124 153 181 214 314 390 478 562	b b 71 88 104 121 175 215 260 303	97 106 135 167 197 232 339 419 511 599	b b 75 92 108 127 184 225 272 316	102 112 141 174 206 242 352 434 527 616	b b 77 94 111 131 188 231 279 324	104 114 144 178 210 247 358 441 535 624	a	a	
um clearing time		8,5 < t ≤ 22,5		22,5 < t ≤ 39,5		39,5 < t ≤ 56,0		56,0 < t ≤ 73,0		73,0 < t ≤ 90,0		90,0 10
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV
ms loop	550 800	327 467	517 676	369 531	615 832	395 569	677 935	410 593	718 1 004	420 608	746 1 052	426 618
ms current loop	550 800	345 509	730 1 134	382 561	782 1 195	403 591	808 1 221	416 609	821 1 231	424 620	827 1 233	429 627

Table A.3 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,5$ and $f_r = 50$ Hz

Minimum clearing time ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 68,0		68,0 < t ≤ 88,0	
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV
τ = 45 ms major loop	72,5 ^c	b	114	b	121	b	123	a	a
	72,5 ^d	b	126	b	133	b	136		
	100	85	156	90	166	91	169		
	123	104	191	110	203	112	208		
	145	123	224	130	239	132	245		
	170	144	262	152	280	155	286		
τ = 45 ms subsequent minor loop	72,5 ^c	b	113	b	119	b	122	a	a
	72,5 ^d	b	124	b	131	b	134		
	100	83	156	88	165	90	169		
	123	102	193	108	203	111	208		
	145	120	228	127	240	130	245		
	170	141	269	149	282	153	288		
Minimum clearing time ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 67,5		67,5 < t ≤ 88,0	
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV
τ = 60 ms major loop	72,5 ^c	b	106	b	116	b	120	b	122
	72,5 ^d	b	118	b	128	b	133	b	135
	100	79	146	86	159	89	165	91	168
	123	98	178	106	195	110	203	112	207
	145	115	209	125	229	129	238	132	243
	170	135	243	146	267	152	279	154	285
τ = 60 ms subsequent minor loop	72,5 ^c	b	107	b	115	b	120	b	122
	72,5 ^d	b	117	b	126	b	131	b	134
	100	78	149	85	160	88	166	90	168
	123	96	184	104	197	108	204	110	207
	145	114	217	123	233	128	241	130	245
	170	133	256	144	275	150	283	153	287

a Test duty T100a is not applicable, asymmetry level lower than 20 % for both current loops.

b u₁ is not defined for a two parameter TRV.

c Class S1.

d Class S2.

Table A.4 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,5$ and $f_r = 60$ Hz

Minimum clearing time ms		$8,5 < t \leq 22,5$		$22,5 < t \leq 39,5$		$39,5 < t \leq 56,5$		$56,5 < t \leq 73,0$		$73,0 < t \leq 90,0$	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
$\tau = 45$ ms major loop	72,5 ^c 72,5 ^d 100 123 145 170	b b 81 100 118 138	109 121 149 182 213 249	b b 88 108 127 148	117 130 161 198 232 271	b b 90 111 131 153	121 134 167 205 241 281	b b 91 112 132 155	123 136 169 208 245 286	a	a
$\tau = 45$ ms subsequent minor loop	72,5 ^c 72,5 ^d 100 123 145 170	b b 80 99 116 137	110 120 152 188 223 263	b b 86 106 125 147	117 128 162 201 237 279	b b 89 109 129 151	121 132 167 206 243 286	b b 90 111 131 154	123 134 169 209 246 289	a	a
Minimum clearing time ms		$8,5 < t \leq 22,5$		$22,5 < t \leq 39,5$		$39,5 < t \leq 56,5$		$56,5 < t \leq 73,0$		$73,0 < t \leq 90,0$	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
$\tau = 60$ ms major loop	72,5 ^c 72,5 ^d 100 123 145 170	b b 76 93 109 128	101 112 137 168 196 228	b b 83 102 120 141	11 123 153 187 219 255	b b 87 107 126 148	117 129 161 197 231 270	b b 89 110 130 152	120 133 165 203 238 279	b b 91 111 131 154	122 135 168 206 243 284
$\tau = 60$ ms subsequent minor loop	72,5 ^c 72,5 ^d 100 123 145 170	b b 75 92 109 128	103 112 143 177 210 249	b b 82 101 120 140	112 123 156 193 228 269	b b 86 106 125 147	118 129 163 201 238 280	b b 89 109 128 151	120 132 167 206 243 285	b b 90 111 130 153	122 134 169 208 246 288
^a Test duty T100a is not applicable, asymmetry level lower than 20 % for both current loops. ^b u_1 is not defined for a two parameter TRV. ^c Class S1 ^d Class S2											

Table A.5 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,2$ and $f_r = 50$ Hz

Minimum clearing time ms		$10,0 < t \leq 27,0$		$27,0 < t \leq 47,0$		$47,0 < t \leq 67,5$		$67,5 < t \leq 87,5$		$87,5 < t \leq 108$	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
$\tau = 120$ ms major loop	1 100 1 200	530 574	871 924	615 667	1 070 1 145	671 729	1 206 1 297	709 772	1 304 1 406	736 801	1 375 1 487
$\tau = 120$ ms subsequent minor loop	1 100 1 200	597 655	1 374 1 524	669 733	1 491 1 648	715 783	1 559 1 719	746 815	1 599 1 760	766 837	1 623 1 784

Table A.6 – Corrected TRV values for the first-pole-to-clear for $k_{pp} = 1,2$ and $f_r = 60$ Hz

Minimum clearing time ms		$8,5 < t \leq 22,5$		$22,5 < t \leq 39,0$		$39,0 < t \leq 56,0$		$56,0 < t \leq 73,0$		$73,0 < t \leq 89,5$		$89,5 < t \leq 106,5$	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
$\tau = 120$ ms major loop	1 100 1 200	483 522	727 760	569 617	931 987	629 683	1 077 1 150	672 730	1 187 1 272	704 765	1 271 1 367	728 792	1 336 1 440
$\tau = 120$ ms subsequent minor loop	1 100 1 200	571 628	1 373 1 531	645 707	1 490 1 653	693 760	1 561 1 727	727 796	1 605 1 772	751 822	1 632 1 799	768 840	1 649 1 815

Table A.7 – Percentage of DC component and di/dr at current zero for first-pole-to-clear for $f_r = 50$ Hz

τ ms	Minimum clearing time ms	Major loop		Subsequent minor loop			
		DC component %	di/dr %	DC component %	di/dr %	I_{peak} p.u.	loop duration ms
45	$10,0 < t \leq 27,0$	44,6	92,7	37,9	89,9	0,59	7,5
	$27,0 < t \leq 47,5$	28,9	97,8	24,1	95,3	0,74	8,5
	$47,5 < t \leq 68,0$	18,7 ^a	99,6	15,3 ^a	97,7	0,83	9,0
60	$10,0 < t \leq 27,0$	54,2	86,9	48,6	84,8	0,49	6,5
	$27,0 < t \leq 47,5$	39,2	94,1	34,5	92,0	0,63	7,5
	$47,5 < t \leq 67,5$	28,3	97,4	24,6	95,6	0,74	8,5
	$67,5 < t \leq 88,0$	20,3	99,0	17,6 ^a	97,5	0,81	9,0
75	$10,0 < t \leq 27,0$	61,0	81,8	56,4	80,2	0,41	6,0
	$27,0 < t \leq 47,5$	47,1	90,2	42,9	88,5	0,55	7,0
	$47,5 < t \leq 67,5$	36,3	94,7	32,7	93,1	0,66	8,0
	$67,5 < t \leq 87,5$	27,9	97,2	25,0	95,8	0,74	8,5
	$87,5 < t \leq 108,0$	21,4	98,6	19,1 ^a	97,3	0,80	8,5
120	$10,0 < t \leq 27,0$	73,1	70,2	70,2	69,4	0,28	5,0
	$27,0 < t \leq 47,0$	62,1	80,0	59,2	79,0	0,39	6,0
	$47,0 < t \leq 67,5$	52,8	86,4	50,0	85,3	0,49	6,5
	$67,5 < t \leq 87,5$	44,8	90,6	42,2	89,5	0,57	7,0
	$87,5 < t \leq 108,0$	38,0	93,5	35,6	92,4	0,63	7,5

^a Percentage of DC component lower than 20 %. Test to be performed without reduction of di/dr and/or TRV parameters.

Table A.8 – Percentage of DC component and di/dt at current zero for first-pole-to-clear for $f_r = 60$ Hz

τ ms	Minimum clearing time ms	Major loop		Subsequent minor loop			
		DC component %	di/dt %	DC component %	di/dt %	I_{peak} p.u.	loop duration ms
45	$8,5 < t \leq 22,5$	50,8	89,1	44,8	86,8	0,52	5,5
	$22,5 < t \leq 39,5$	35,4	95,6	30,6	93,4	0,67	6,5
	$39,5 < t \leq 56,5$	24,6	98,4	21,0	96,5	0,77	7,0
	$56,5 < t \leq 73,0$	17,1 ^a	99,5	14,5 ^a	98,1	0,84	7,5
60	$8,5 < t \leq 22,5$	59,8	82,8	55,0	81,1	0,43	5,0
	$22,5 < t \leq 39,5$	45,7	91,0	41,4	89,2	0,57	6,0
	$39,5 < t \leq 56,5$	34,8	95,3	31,2	93,6	0,67	6,5
	$56,5 < t \leq 73,0$	26,4	97,6	23,5	96,2	0,75	7,0
	$73,0 < t \leq 90,0$	20,1	98,6	17,8 ^a	97,6	0,81	7,5
75	$8,5 < t \leq 22,5$	66,1	77,4	62,1	76,2	0,36	4,5
	$22,5 < t \leq 39,5$	53,2	86,5	49,5	85,1	0,49	5,5
	$39,5 < t \leq 56,0$	42,8	91,9	39,5	90,5	0,59	6,0
	$56,0 < t \leq 73,0$	34,4	95,1	31,5	93,8	0,67	6,5
	$73,0 < t \leq 90,0$	27,6	97,1	25,2	95,9	0,74	7,0
	$90,0 < t \leq 106,5$	22,2	98,3	20,1	97,3	0,79	7,0
120	$8,5 < t \leq 22,5$	77,0	65,6	74,6	64,9	0,24	4,0
	$22,5 < t \leq 39,0$	67,2	75,6	64,7	74,8	0,34	4,5
	$39,0 < t \leq 56,0$	58,6	82,2	56,2	81,5	0,43	5,0
	$56,0 < t \leq 73,0$	51,1	87,1	48,8	86,2	0,50	5,5
	$73,0 < t \leq 89,5$	44,6	90,5	42,4	89,6	0,57	6,0
	$89,5 < t \leq 106,5$	38,8	93,0	36,9	92,2	0,62	6,5

^a Percentage of DC component lower than 20 %. Test to be performed without reduction of di/dt and/or TRV parameters.

A.4 Correction of the di/dt and TRV of the first-pole-to-clear for tests with intermediate asymmetry

For the last current loop parameters including di/dt , refer to Table E.12 through Table E.17.

The RRRV and TRV peak can be calculated by multiplying the parameters for the first pole-to-clear under symmetrical condition by the percentage reduction of di/dt at current zero after the intermediate major loop, given in column 9 of Table E.12 through Table E.17.

A.5 Correction of the di/dt and TRV of the second- or last-pole-to-clear with major extended loop with required asymmetry during three-phase tests

For the last current loop parameters including di/dt , refer to Table E.12 through Table E.17.

The RRRV and TRV peak can be calculated by multiplying the parameters for the second or last pole-to-clear under symmetrical condition by the ratio between the reduced di/dt at current zero after the major extended loop, given in column 12 of Table E.12 through Table E.17 and the di/dt at current zero of the symmetrical short-circuit current of the second- or last-pole-to-clear with extended loop given in Table 3 through Table 5.

A.6 Correction of the di/dt and TRV during tests with a subsequent minor loop

For single-phase tests, the TRV for the subsequent minor loop shall be applied for the same pole-to-clear-factor as the failed major loop. The TRV values for the subsequent minor loop in case of a first-pole-to-clear can be derived from Table A.1 through Table A.6 or can be calculated according to subclause A.7.

NOTE This test procedure reproduces the conditions during single-phase direct test which sufficiently covers the TRV conditions during three-phase test.

For three-phase tests, the phase with subsequent minor loop becomes the last-pole-to-clear. The corresponding parameters for the last-pole-to-clear for symmetrical conditions shall be applied without any further correction.

A.7 Calculation of the di/dt and TRV of the first-pole-to-clear

A.7.1 General

Clause A.7 is applicable for asymmetrical fault conditions, on the phase with required asymmetry only, when values are not given in Table A.1 through Table A.6, and Table E.12 through Table E.17.

A.7.2 Calculation of di/dt

For the di/dt , the maximum value is reached for symmetrical fault condition. During asymmetrical fault condition, the di/dt is reduced and is a function of the DC component at current zero. The di/dt at current zero is calculated by the following equations:

a) For minor loops:

$$\frac{di}{dt}(\text{p.u.})_- = \sqrt{(1-p^2)} - \frac{p}{2\pi f\tau} \quad (\text{A.1})$$

b) For major loops:

$$\frac{di}{dt}(\text{p.u.})_+ = \sqrt{(1-p^2)} + \frac{p}{2\pi f\tau} \quad (\text{A.2})$$

where

$di/dt(\text{p.u.})$ is the di/dt in p.u. of the symmetrical fault condition;

– is the index used to designate the minor loop;

– is the index used to designate the major loop;

p is the DC component at current zero in p.u.;

f is the frequency (Hz);

τ is the DC time constant of the short-circuit current (s).

A.7.3 Calculation of TRV

When the interruption occurs, the moment of current zero does not correspond with the peak of the applied voltage as it is the case during symmetrical fault condition. The DC component modifies the angular displacement between current zeros and the applied power-frequency voltage. The TRV amplitude co-ordinates (u_1 , u_c) are then modified according to the phase shift between the moment of current zero and the peak of the applied power-frequency voltage.

The corresponding TRV amplitude co-ordinates (u_1 , u_c) shall be calculated with the following equations:

a) Two parameter TRV:

$$u_c(\text{p.u.}) = \frac{k_1 A_1}{2\pi f} \quad (\text{A.3})$$

and

$$k_{1-} = \sin(2\pi f t_3 - \arcsin(p)) + p \times e^{-\frac{t_3}{\tau}} \quad (\text{for the minor loop}) \quad (\text{A.4})$$

$$k_{1+} = \sin(2\pi f t_3 + \arcsin(p)) - p \times e^{-\frac{t_3}{\tau}} \quad (\text{for the major loop}) \quad (\text{A.5})$$

$$A_1 = \frac{2\pi f}{\sin(2\pi f t_3)} \quad (\text{A.6})$$

where

u_c is the TRV peak in p.u. of the symmetrical case;

k_1 is the calculation constant;

– is the index used to designate the minor loop;

+ is the index used to designate the major loop;

A_1 is the calculation variable;

p is the DC component at current zero in p.u.;

f is the frequency (Hz);

τ is the DC time constant of the short-circuit current (s);

t_3 is the specified t_3 time co-ordinate (s).

b) Four parameter TRV:

$$u_1(\text{p.u.}) = \frac{k_1 A_1}{2\pi f} \quad (\text{A.7})$$

and

$$k_{1-} = \sin(2\pi f t_1 - \arcsin(p)) + p \times e^{-\frac{t_1}{\tau}} \quad (\text{for the minor loop}) \quad (\text{A.8})$$

$$k_{1+} = \sin(2\pi f t_1 + \arcsin(p)) - p \times e^{-\frac{t_1}{\tau}} \quad (\text{for the major loop}) \quad (\text{A.9})$$

$$A_1 = \frac{2\pi f}{\sin(2\pi f t_1)} \quad (\text{A.10})$$

where

u_1 is the TRV peak in p.u. of the symmetrical case;

k_1 is the calculation constant;

– is the index used to designate the minor loop;

+ is the index used to designate the major loop;

A_1 is the calculation variable;

p is the DC component at current zero in p.u.;

f is the frequency (Hz);

τ is the DC time constant of the short-circuit current (s);

t_1 is the specified t_1 time co-ordinate (s).

and

$$u_c(\text{p.u.}) = \frac{k_2 A_1}{\frac{1}{0,75} k_{af} \times 2\pi f} - \frac{k_3 A_2}{\frac{1}{0,75} k_{af} \times 2\pi f} = \frac{0,75 \times k_2 A_1}{k_{af} \times 2\pi f} - \frac{k_3 A_2}{2\pi f} \quad (\text{A.11})$$

and

$$k_{2-} = \sin(2\pi f t_2 - \arcsin(p)) + p \times e^{-\frac{t_2}{\tau}} \quad (\text{for the minor loop}) \quad (\text{A.12})$$

$$k_{2+} = \sin(2\pi f t_2 + \arcsin(p)) - p \times e^{-\frac{t_2}{\tau}} \quad (\text{for the major loop}) \quad (\text{A.13})$$

$$k_{3-} = \sin(2\pi f (t_2 - t_1) - \arcsin(p)) + p \times e^{-\frac{(t_2 - t_1)}{\tau}} \quad (\text{for the minor loop}) \quad (\text{A.14})$$

$$k_{3+} = \sin(2\pi f (t_2 - t_1) + \arcsin(p)) - p \times e^{-\frac{(t_2 - t_1)}{\tau}} \quad (\text{for the major loop}) \quad (\text{A.15})$$

$$A_1 = \frac{2\pi f}{\sin(2\pi f t_1)} \quad (\text{A.16})$$

$$A_2 = \frac{\frac{A_1 \sin(2\pi f t_2)}{\frac{1}{0,75} k_{af}} - 2\pi f}{\sin(2\pi f (t_2 - t_1))} = \frac{\frac{0,75 \times A_1 \sin(2\pi f t_2)}{k_{af}} - 2\pi f}{\sin(2\pi f (t_2 - t_1))} \quad (\text{A.17})$$

where

- u_c is the TRV peak in p.u. of the symmetrical case;
- k_{af} is the amplitude factor;
- k_2 is the calculation variable;
- k_3 is the calculation variable;
- is the index used to designate the minor loop;
- is the index used to designate the major loop;
- A_1 is the calculation variable;
- A_2 is the calculation variable;
- p is the DC component at current zero in p.u.;
- f is the frequency (Hz);
- τ is the DC time constant of the short-circuit current (s);
- t_1 is the specified t_1 time co-ordinate (s);
- t_2 is the specified t_2 time co-ordinate (s).

A.7.4 Examples of calculation of di/dt and TRV

As an example, the following parameters are considered:

– rated voltage:		145 kV
– rated frequency:		50 Hz
– rated short-circuit current:		40 kA
– DC time constant of the short-circuit current:		45 ms
– rated first-pole-to-clear factor:		1,3
– minimum clearing time:		43 ms
– TRV (symmetrical case):	u_1	115 kV
	t_1	58 μ s
	u_c	215 kV
	t_2	232 μ s

For the first-pole-to-clear (major loop), the following parameters apply according to:

- Table A.7 percentage of the DC component at current zero: 28,9 % (0,289 p.u.);
- Table A.7 percentage of di/dt at current zero: 97,8 % (0,978 p.u.).

Some circuit-breakers will not clear at the end of a major loop after the required arcing time. For the subsequent minor current loop, the following parameters apply according to:

- Table A.7 percentage of the DC component at current zero: 24,1 % (0,241 p.u.)
- Table A.7 percentage of di/dt at current zero: 95,3 % (0,953 p.u.).

The following values are calculated from the previous equations:

$$k_{1-} = 0,017\ 41;$$

$$k_{1+} = 0,017\ 77;$$

$$A_1 = 17\ 242,33;$$

$$u_{1-} = 0,955\ 68\ \text{p.u.};$$

$$u_{1+} = 0,975\ 13\ \text{p.u.};$$

$$k_{2-} = 0,070\ 07;$$

$$k_{2+} = 0,070\ 43;$$

$$k_{3-} = 0,052\ 46;$$

$$k_{3+} = 0,052\ 99;$$

$$A_2 = 6\ 561,19;$$

$$u_{c-} = 0,964\ 81\ \text{p.u.};$$

$$u_{c+} = 0,964\ 19\ \text{p.u.}$$

With these results, the resultant modified di/dt and TRV to be applied to the circuit-breaker are:

a) For the major loop:

$$di/dt = 0,978\ \text{p.u.} \times 40\ \text{kA} \times \sqrt{2} \times 2\pi f = 17,38\ \text{A}/\mu\text{s};$$

$$u_1 = 0,975\ 13\ \text{p.u.} \times 115\ \text{kV} = 112\ \text{kV};$$

$$t_1 = 58\ \mu\text{s};$$

$$u_1/t_1 = 1,93\ \text{kV}/\mu\text{s}$$

$$u_c = 0,964\ 19\ \text{p.u.} \times 215\ \text{kV} = 207\ \text{kV};$$

$$t_2 = 232\ \mu\text{s}.$$

b) For the subsequent minor loop:

$$di/dt = 0,953\ \text{p.u.} \times 40\ \text{kA} \times \sqrt{2} \times 2\pi f = 16,93\ \text{A}/\mu\text{s};$$

$$u_1 = 0,955\ 68\ \text{p.u.} \times 115\ \text{kV} = 110\ \text{kV};$$

$$t_1 = 58\ \mu\text{s};$$

$$u_1/t_1 = 1,89\ \text{kV}/\mu\text{s}$$

$$u_c = 0,964\ 81\ \text{p.u.} \times 215\ \text{kV} = 207\ \text{kV};$$

$$t_2 = 232\ \mu\text{s}.$$

Annex B

(normative)

Tolerances on test quantities for type tests

During type tests, the following types of tolerances can normally be distinguished:

- tolerances on test quantities which directly determine the stress on the test object;
- tolerances concerning features or the behaviour of the test object before and after the test;
- tolerances on test conditions;
- tolerances concerning parameters of measurement devices to be applied.

In Table B.1, only tolerances on test quantities are considered.

A tolerance is defined as the range of the test value specified in this document within which the measured test value should lie for a test to be valid. In certain cases, the test can remain valid even if the measured value falls outside the tolerance.

Any deviation of the measured test value and the true test value caused by the uncertainty of the measurement are not taken into account in this respect.

The basic rules for application of tolerances on test quantities during type tests are as follows.

- a) Testing stations shall aim wherever possible for the test values specified.
- b) The tolerances on test quantities specified shall be observed by the testing station. Higher stresses of the circuit-breaker exceeding those tolerances are permitted only with the consent of the manufacturer. Lower stresses render the test invalid.
- c) Where, for any test quantity, no tolerance is given within this document, the tolerances of IEC 62271-100:2021 apply. The upper stress limits are subject to the consent of the manufacturer.
- d) If, for any test quantity, only one limit is given, the other limit shall be considered to be as close as possible to the specified value.

Table B.1 – Tolerances on test quantities for type tests

Designation of the test	Test quantity	Specified test value	Test tolerances/ limits of test values
Basic short-circuit test duty	dI/dr at current zero for T10 ^a	10 % of dI/dr at current zero of rated short-circuit breaking current	±20 %
	dI/dr at current zero for T30 ^a	30 % of dI/dr at current zero of rated short-circuit breaking current	±20 %
	dI/dr at current zero for T60 ^a	60 % of dI/dr at current zero of rated short-circuit breaking current	±10 %
	dI/dr at current zero in T100s and T100a ^a	dI/dr at current zero of rated short-circuit breaking current	+5 % 0
Critical current tests	dI/dr at current zero ^a	dI/dr at current zero of current defined in 7.108.1.2 of IEC 62271-100:2021	±20 %
Double earth fault tests	dI/dr at current zero ^a	87 % of dI/dr at current zero of rated short-circuit breaking current	+5 % 0
Demonstration of arcing times	Medium arcing time $t_{arc\ med}$	As defined in 7.104	±1 ms
	Maximum arcing time $t_{arc\ max}$	As defined in 7.104	+0,5 ms -1
	Arcing times	As defined in 7.104.3.101	±1 ms
	Maximum arcing time first-pole-to-clear t_{arc1}	As defined in 7.104.2.2 and 7.104.3.3	+0,5 ms -1
	Maximum arcing time last-pole-to-clear t_{arc2}	As defined in 7.104.2.2 and 7.104.3.3	+0,5 ms -1
	Maximum arcing time second-pole-to-clear t_{arc3}	As defined in 7.104.2.2 and 7.104.3.3	+0,5 ms -1

Designation of the test	Test quantity	Specified test value	Test tolerances/ limits of test values
Short-line fault tests	Breaking current for L_{90}^a	90 % of the rated short-circuit current	90 % to 95 %
	di/dt at current zero for L_{90}^a	di/dt at current zero of rated short-circuit breaking current	90 % to 92 %
	Rate of rise of the source side recovery voltage for L_{90}	90 % of the rate of rise given in Table 30 of IEC 62271-100:2021	+5 % 0
	di/dt at current zero for L_{75}^a	di/dt at current zero of rated short-circuit breaking current	71 % to 79 %
	Rate-of-rise of the source side recovery voltage for L_{75}	75 % of the rate of rise given in Table 30 of IEC 62271-100:2021	+5 % 0
	di/dt at current zero for L_{60}^a	di/dt at current zero of rated short-circuit breaking current	55 % to 65 %
	Rate-of-rise of the source side recovery voltage for L_{60}	60 % of the rate of rise given in Table 30 of IEC 62271-100:2021	+5 % 0
	Maximum arcing time first-pole-to-clear	As defined in Table D.1 to Table D.10	+0,5 ms -1
Annex D	Medium arcing time	As defined in Table D.1 to Table D.10	±1 ms
	Minimum arcing time second-pole-to-clear	As defined in Table D.1 to Table D.10	±1 ms
	Maximum arcing time second-pole-to-clear	As defined in Table D.1 to Table D.10	+0,5 ms -1
	Arcing time of Od during Od Cd Os	Minimum arcing time first pole-to-clear	±2 ms
Annex E	Maximum arcing time first-pole-to-clear	As defined in Table E.1 to Table E.11	+0,5 ms -1
	Medium arcing time	As defined in Table E.1 to Table E.11	±1 ms
	Minimum arcing time second-pole-to-clear	As defined in Table E.1 to Table E.11	±1 ms
	Maximum arcing time second-pole-to-clear	As defined in Table E.1 to Table E.11	+0,5 ms -1
Out-of-phase making and breaking tests	Arcing time of Od during Od Cd Os	Minimum arcing time first pole-to-clear	±2 ms
	di/dt at current zero for OP1 ^a	di/dt at current zero of 30 % rated out-of-phase breaking current	±20 %
	di/dt at current zero for OP2 ^a	di/dt at current zero of rated out-of-phase breaking current	+10 % 0
Capacitive current switching tests	Frequency of the breaking current	Rated frequency	45 Hz to 65 Hz
^a These tolerances apply to current injection test circuit only.			

Annex C

(normative)

Information to be given and results to be recorded for synthetic tests

C.1 General

In addition to the requirements specified in Annex C of IEC 62271-100:2021, the following information shall be given in reports on synthetic tests.

C.2 Auxiliary circuit-breaker

- a) Identification.
- b) Description, including the number of units per pole, extinguishing medium and grading capacitors, if any.

C.3 Test conditions

- a) Parameters of test circuits.
- b) Setting of the intended arcing time of the test circuit-breaker including application of re-ignition circuit(s).

C.4 Quantities to be recorded

C.4.1 General

The resolution of the records with respect to the deflection and the time scale shall be such that the information to be obtained can be evaluated with sufficient accuracy.

C.4.2 Voltages

- a) Voltage of the current circuit.
- b) Voltage across the test circuit-breaker.
- c) Voltage to enclosure for the test circuit-breaker when applicable.

C.4.3 Currents

- a) Current through the test circuit-breaker.
- b) Current from the voltage circuit.

NOTE Other information and records are added to obtain test or design data.

Annex D

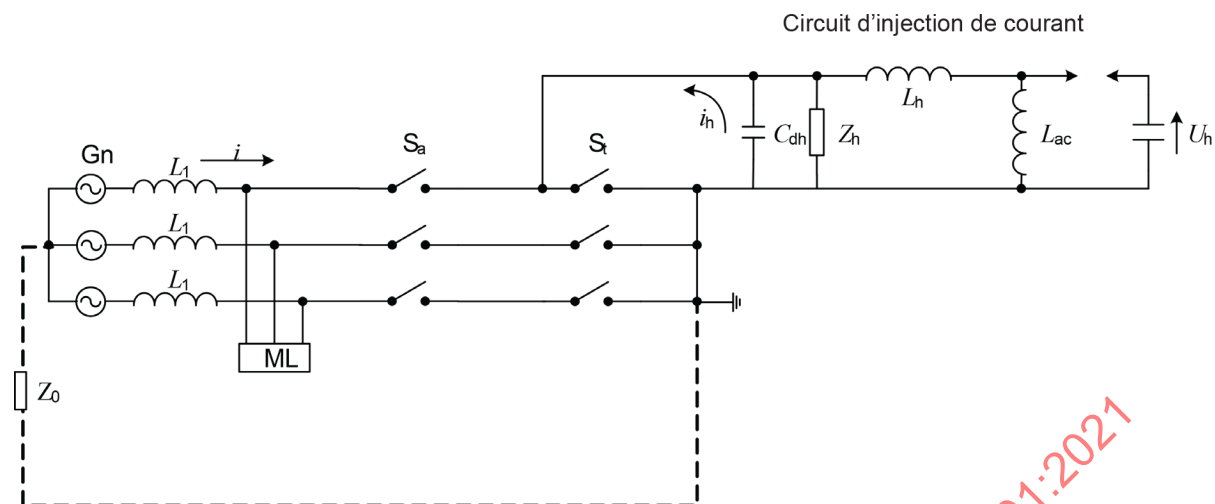
(normative)

Test procedure using a three-phase current circuit and one voltage circuit

D.1 Test circuit

The circuit-breaker shall be connected in a test circuit, an example of which is given in Figure D.1 with the following requirements.

- a) A three-phase current circuit with the neutral point of the supply isolated and the short-circuit point earthed as shown in Figure 27a of IEC 62271-100:2021. This gives a first-pole-to-clear factor of 1,5. Alternatively, the neutral point of the supply can be connected to earth by an appropriate impedance and the short-circuit point earthed, as shown in Figure 28a of IEC 62271-100:2021, to give a first-pole-to-clear factor of 1,3.
- b) An auxiliary circuit-breaker used to disconnect the current circuit from the voltage circuit.
- c) A parallel current-injection voltage circuit is shown in Figure 145 of IEC TR 62271-306:2012/AMD1:2018. This circuit is used to apply the TRV and the recovery voltage. It is connected between the pole representing the pole-to-clear and earth as required by the test procedures given in Table D.1 through Table D.10. It is possible to provide AC power-frequency recovery voltage by use of additional impedance, L_{ac} .
- d) Re-ignition circuits connected to each phase to prolong the arcing of the test circuit-breaker through the necessary number of zeros of the power-frequency current.



IEC

Key

Gn	three-phase current circuit	Z_h	equivalent surge impedance of voltage circuit
S_a	auxiliary circuit-breaker	C_{dh}	capacitance for time delay of voltage circuit
S_t	test circuit-breaker	L_h	inductance of voltage circuit
Z_0	impedance in the neutral connection (when circuit with $k_{pp} = 1,3$ is used)	U_h	charging voltage of voltage circuit
L_1	inductance of current circuit	i	current of current circuit
ML	multi-loop re-ignition circuit	i_h	injected current
		L_{ac}	additional reactance when AC recovery voltage is requested

The voltage circuit shall be connected between the first or last-pole-to-clear and earth.

Figure D.1 – Example of a three-phase current circuit with single-phase synthetic injection

D.2 Test method

D.2.1 General

A combination of the first-pole-to-clear factors of 1,5 and 1,3 in accordance with 7.104.3.4 of IEC 62271-100:2021, while splitting the test-duties taking into account the associated TRV for each pole-to-clear at the same time can be made according to D.2.4.

The aim of this test sequence is to show at least 3 successful operations with the associated TRV at the same pole.

D.2.2 Test duty T100s(b)

The three-phase test procedures for demonstration of arcing times according to 7.104.3.2 of IEC 62271-100:2021 are given in Table D.1 and Table D.2 for a first-pole-to-clear factor of 1,5 and in Table D.3 and Table D.4 for a first-pole-to-clear factor of 1,3.

If a failure occurs while demonstrating the maximum or medium arcing times using the procedure of Table D.1 or Table D.3, then it is permissible to continue testing using the test procedure of Table D.2 or Table D.4. In this case, provided no re-conditioning of the circuit-breaker has taken place, the tests demonstrating minimum arcing time on the first-pole-to-clear can be omitted.

Table D.1 – Demonstration of arcing times for $k_{pp} = 1,5$

Test no.	Test sequence ^a	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^b	Test condition (with reference to the three-phase system)	TRV		Injected current di/dr %
				Application (with reference to the three-phase current circuit)	" u_c value p.u.	
1	Os	0	$t_{arc\ min}$ on the first-pole-to-clear	first-pole-to-clear	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	first-pole-to-clear	1,0	100
3	Od- t -CdOs	$T \times 132^\circ / 360^\circ$ ($T \times 42^\circ / 360^\circ$ related to the first-pole-to-clear)	$t_{arc\ max}$ on the last-pole-to-clear ^c	last-pole-to-clear with extended loop	1,0	100
4	CdOs	$T \times 66^\circ / 360^\circ$	$t_{arc\ med}$ ^c	first-pole-to-clear	1,0	100

Demonstration of the arcing times as per 7.104.3.2 of IEC 62271-100:2021.

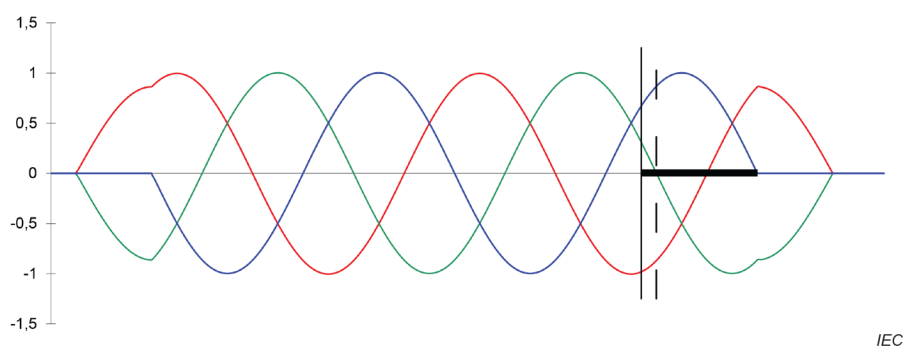
Interrupting window as per Figure 41 of IEC 62271-100:2021.

Figure D.2 gives a representation of the testing conditions.

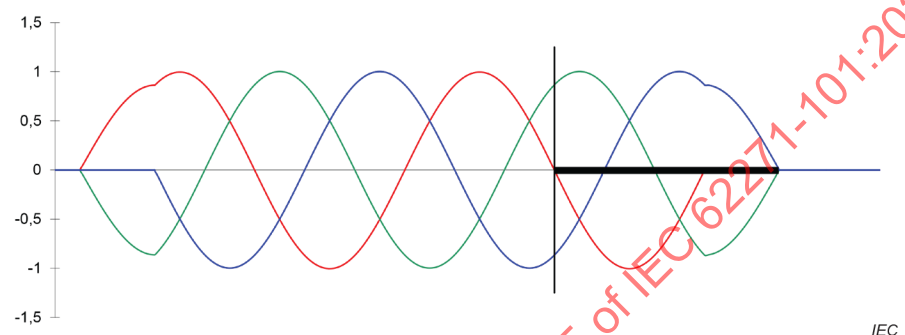
^a Abbreviated terms are in accordance with Table 6.

^b Where $d\alpha = 18^\circ$.

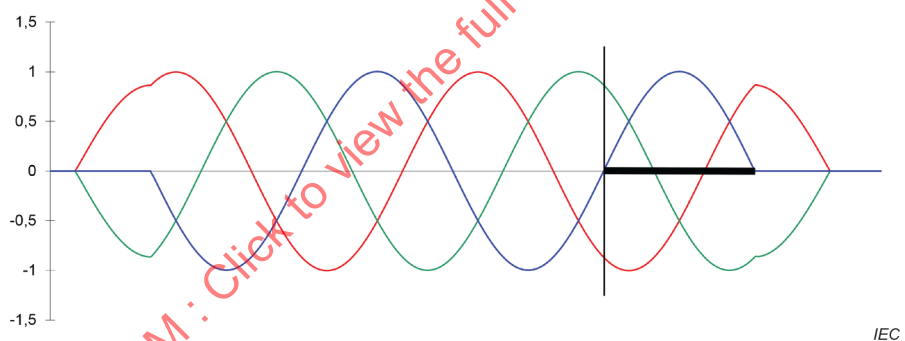
^c Arcing times for test 3 and test 4 can be interchanged.



Tests No. 1 and No. 2: Application of the TRV on the first-pole-to-clear



Test No. 3: Application of the TRV on the last-pole-to-clear with extended loop



Test No. 4: Application of the TRV on the first pole to clear

Figure D.2 – Representation of the testing conditions of Table D.1

Table D.2 – Alternative demonstration of arcing times for $k_{pp} = 1,5$

Test no.	Test sequence ^a	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^b	Test condition (with reference to the three-phase system)	TRV		Injected current di/dt %
				Application (with reference to the three-phase current circuit)	u_c value p.u.	
1	Os	0	$t_{arc\ min}$ on the first-pole-to-clear	first-pole-to-clear	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm the $t_{arc\ min}$	first-pole-to-clear	1,0	100
3	Od- t -CdOs	$T \times 42^\circ / 360^\circ$	$t_{arc\ max}$ on the first-pole-to-clear	first-pole-to-clear	1,0	100
4	Os	$T \times 90^\circ / 360^\circ$	$t_{arc\ min}$ on the last-pole-to-clear	last-pole-to-clear with extended loop	0,58	87
5	CdOs	$T \times 132^\circ / 360^\circ$	$t_{arc\ max}$ on the last-pole-to-clear	last-pole-to-clear with extended loop	0,58	87

Demonstration of the arcing times as per 7.104.3.5 of IEC 62271-100:2021.

Interrupting window as per Figure 41 of IEC 62271-100:2021.

In case of failure during test 5, the circuit-breaker can be reconditioned and test 3 to test 5 shall be repeated. The test series is passed if no further failure occurs.

Figure D.3 gives a representation of the testing conditions.

^a Abbreviated terms are in accordance with Table 6.

^b Where $d\alpha = 18^\circ$

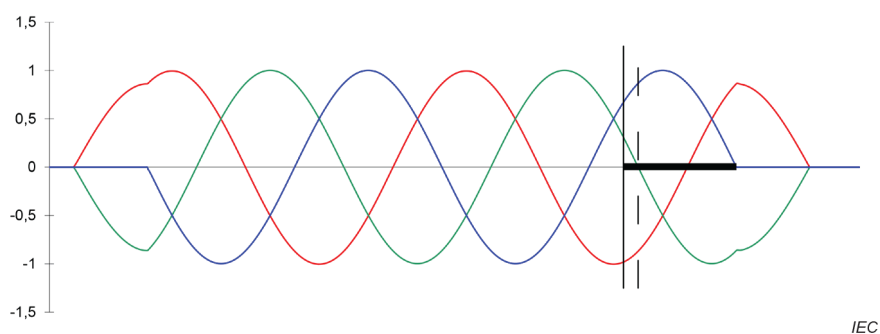
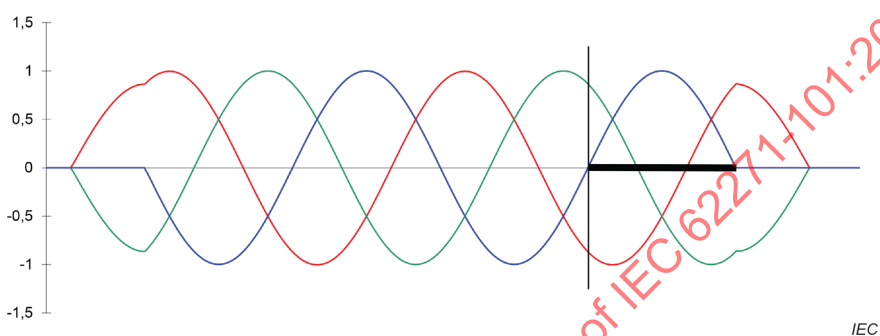
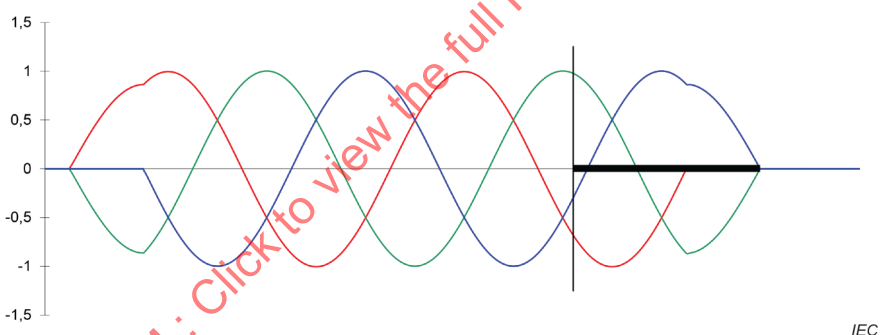
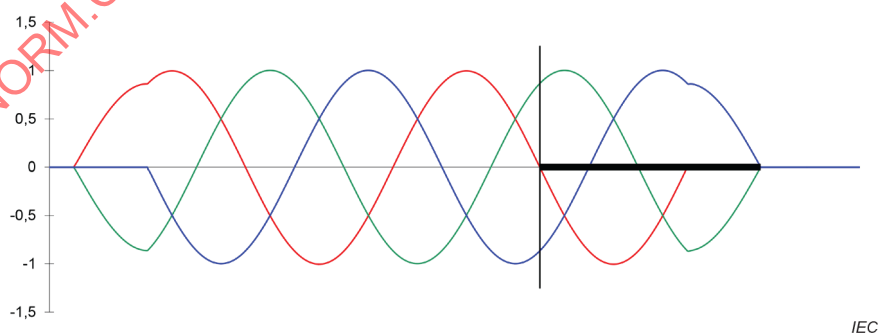
**Tests No. 1 and No. 2: Application of the TRV on the first-pole-to-clear****Test No. 3: Application of the TRV on the first-pole-to-clear****Test No. 4: Application of the TRV on the last-pole-to-clear with extended loop****Test No. 5: Application of the TRV on the last-pole-to-clear with extended loop****Figure D.3 – Representation of the testing conditions of Table D.2**

Table D.3 – Demonstration of arcing times for $k_{pp} = 1,3$

Test no.	Test sequence ^a	Arc duration (additional to $t_{\text{arc min}}$ of the first-pole-to-clear for the phase subjected to the TRV) ^b	Test condition (with reference to the three-phase system)	TRV		Injected current di/dr %
				Application (with reference to the three-phase current circuit)	u_c value p.u.	
1	Os	0	$t_{\text{arc min}}$ on the first-pole-to-clear	first-pole-to-clear	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm the $t_{\text{arc min}}$	first-pole-to-clear	1,0	100
3	Od- <i>t</i> -CdOs	$T \times 162^\circ / 360^\circ$ ($T \times 42^\circ / 360^\circ$ related to the first-pole-to-clear)	$t_{\text{arc max}}$ on the third-pole-to-clear ^c	third-pole-to-clear	1,0	100
4	CdOs	$T \times 81^\circ / 360^\circ$ ($T \times 4^\circ / 360^\circ$ related to the first-pole-to-clear)	$t_{\text{arc med}}$ ^c	second-pole-to-clear	1,0	100

Demonstration of the arcing times as per 7.104.3.2 of IEC 62271-100:2021.

Interrupting window as per Figure 40 of IEC 62271-100:2021.

Figure D.4 gives a representation of the testing conditions.

^a Abbreviations are in accordance with Table 6.

^b Where $d\alpha = 18^\circ$.

^c Arcing times for test 3 and test 4 can be interchanged.

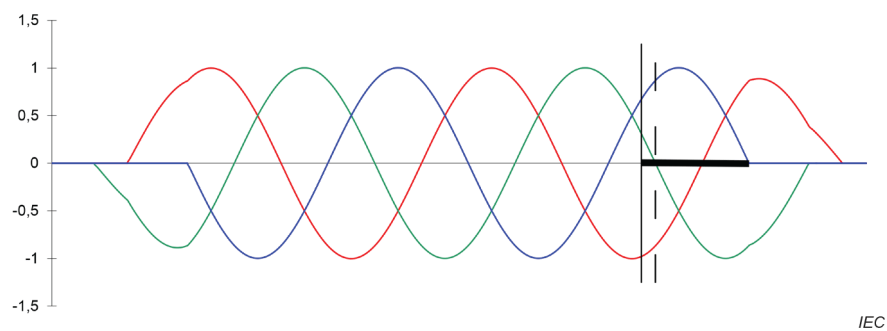
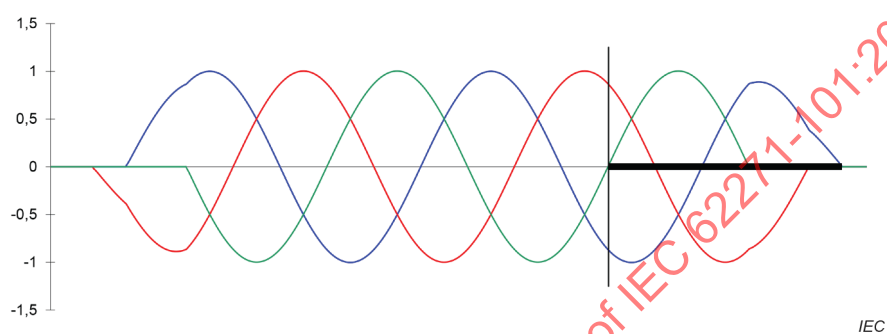
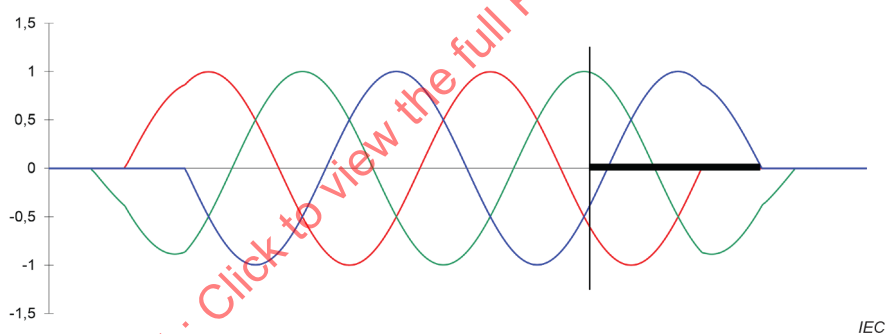
**Tests No. 1 and No. 2: Application of the TRV on the first-pole-to-clear****Test No. 3: Application of the TRV on the third-pole-to-clear****Test No. 4: Application of the TRV on the second-pole-to-clear****Figure D.4 – Representation of the testing conditions of Table D.3**

Table D.4 – Alternative demonstration of arcing times for $k_{pp} = 1,3$

Test no.	Test sequence ^a	Arc duration (additional to $t_{arc \min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^b	Test condition (with reference to the three-phase system)	TRV		Injected current (di/dr) %
				Application (with reference to the three-phase current circuit)	u_c value p.u.	
1	Os	0	$t_{arc \min}$ on the first-pole-to-clear	first-pole-to-clear	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc \min}$	first-pole-to-clear	1,0	100
3	(Cd)Os	$T \times 42^\circ / 360^\circ$	$t_{arc \max}$ on the first-pole-to-clear	first-pole-to-clear	1,0	100
4	Od– t –CdOs	$T \times 77^\circ / 360^\circ$	$t_{arc \min}$ on the second-pole-to-clear ^c	second-pole-to-clear	0,97	89
5	CdOs	$T \times 119^\circ / 360^\circ$	$t_{arc \max}$ on the second-pole-to-clear ^c	second-pole-to-clear	0,97	89
6	(Cd)Os	$T \times 162^\circ / 360^\circ$	$t_{arc \max}$ on the third-pole-to-clear	third-pole-to-clear	0,77	57

Demonstration of the arcing times as per 7.104.3.5 of IEC 62271-100:2021.

Interrupting window as per Figure 40 of IEC 62271-100:2021.

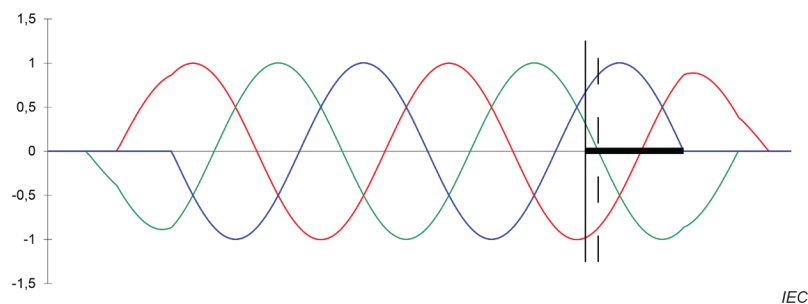
Figure D.5 gives a representation of the testing conditions.

In case of failure during test 5 or 6, the circuit-breaker can be reconditioned and test 4 to test 6 shall be repeated. The test series is passed if no further failure occurs.

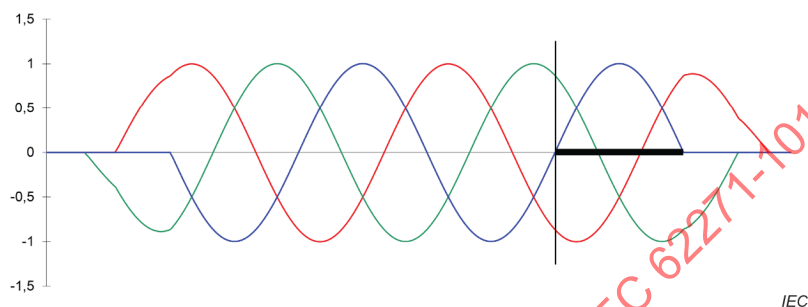
^a Abbreviated terms are in accordance with Table 6.

^b Where $d\alpha = 18^\circ$.

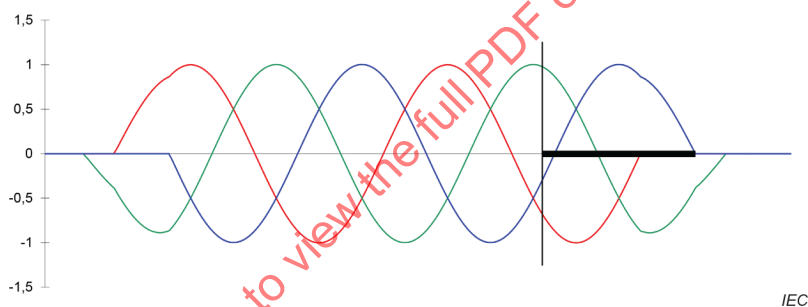
^c Arcing times for test 4 and test 5 can be interchanged.



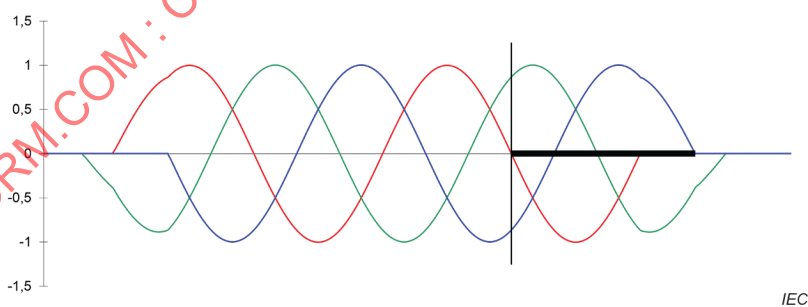
Tests No. 1 and No. 2: Application of the TRV on the first-pole-to-clear



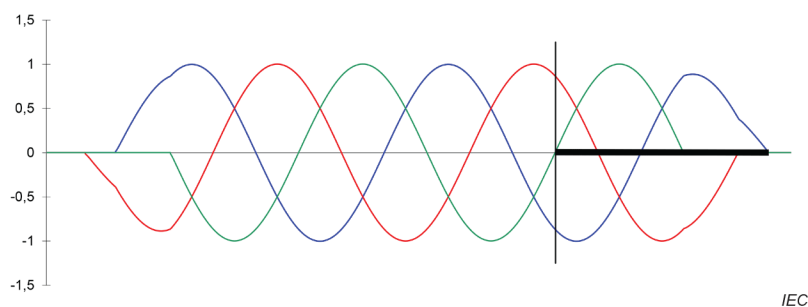
Test No. 3: Application of the TRV on the first-pole-to-clear



Test No. 4: Application of the TRV on the second-pole-to-clear



Test No. 5: Application of the TRV on the second-pole-to-clear



Test No. 6: Application of the TRV on the third-pole-to-clear

Figure D.5 – Representation of the testing conditions of Table D.4

D.2.3 Test duty T100a

The three-phase test procedure for demonstration of arcing times according to 7.104.2.2 is given in Table D.5 and Table D.6 for a first-pole-to-clear factor of 1,5 and in Table D.7 and Table D.8 for a first-pole-to-clear factor of 1,3.

It is recognized that the tests of Table D.5 and Table D.7 are more severe than three-phase tests because the arcing time of the last-pole-to-clear or second-pole-to-clear is used together with the TRV of the first-pole-to-clear. As an alternative, the manufacturer can choose to split each test duty into two or three separate test series for demonstration of the arcing times in accordance with 7.104.3.5 of IEC 62271-100:2021. The procedures are given in Table D.6 for a first-pole-to-clear factor of 1,5 and in Table D.8 for a first-pole-to-clear factor of 1,3. For tests performed in accordance with Table D.6 and Table D.8, each test series shall demonstrate a successful interruption with the minimum and maximum arcing time for each pole-to-clear with its associated TRV. Re-conditioning of the circuit-breaker after each test series is permitted and shall comply with the requirements of 7.102.9.6 of IEC 62271-100:2021.

If a failure occurs while demonstrating the maximum arcing time on the second- or last-pole-to-clear using the procedure of Table D.5 or Table D.7, then it is permissible to continue testing using the test procedure of Table D.6 or Table D.8. In this case, provided no re-conditioning of the circuit-breaker has taken place, the tests demonstrating minimum and maximum arcing time on the first-pole-to-clear can be omitted.

To avoid changing the connection of the high-voltage circuit between tests on the first, second and third-pole-to-clear, all the required arcing times can be applied on the same pole with the same polarity of the recovery voltage.

Table D.5 – Demonstration of arcing times for $k_{pp} = 1,5$

Test no.	Test sequence	Asymmetry condition	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^a	Test condition (with reference to the three-phase system)	TRV		Injected current (di/dr) %
					Application (with reference to the three-phase current circuit)	u_c value p.u.	
1	Os	Major loop – intermediate (Table E.12 or Table E.15 col. 7 and 8)	0	$t_{arc\ min}$ on first-pole-to-clear Required asymmetry on the last-pole-to-clear with extended major loop	first-pole-to-clear	1,0	(Table E.12 or Table E.15 col. 9)
2	Os	Major loop – intermediate (Table E.12 or Table E.15 col. 7 and 8)	$-T \times d\alpha/360^\circ$	Re-ignition in the first-pole-to-clear to confirm the $t_{arc\ min}$ Required asymmetry on the last-pole-to-clear with extended major loop	first-pole-to-clear	1,0	(Table E.12 or Table E.15 col. 9)
3	Os	Major loop – rated (Table E.12 or Table E.15 col. 3 and 4)	$\Delta t_{a1} - T \times d\alpha/360^\circ$	t_{arc1} with major loop and required asymmetry on the first-pole-to-clear	first-pole-to-clear	1,0	(Table E.12 or Table E.15 col. 5)
4	Os	Major loop – rated (Table E.12 or Table E.15 col. 10 and 11)	$\Delta t_{a2} - T \times d\alpha/360^\circ$	t_{arc2} and required asymmetry on the last-pole-to-clear with extended major loop	last-pole-to-clear with extended loop	1,0	(Table E.12 or Table E.15 col. 12)

Figure D.6 gives a representation of the testing conditions.

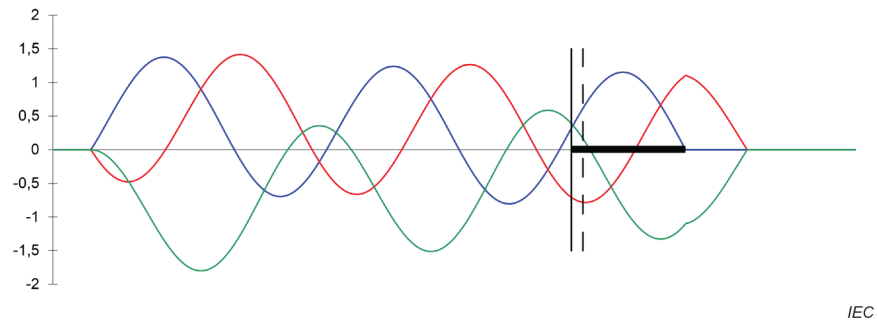
Values for the TRV reduction due to asymmetry can be found in Annex A.

^a Where

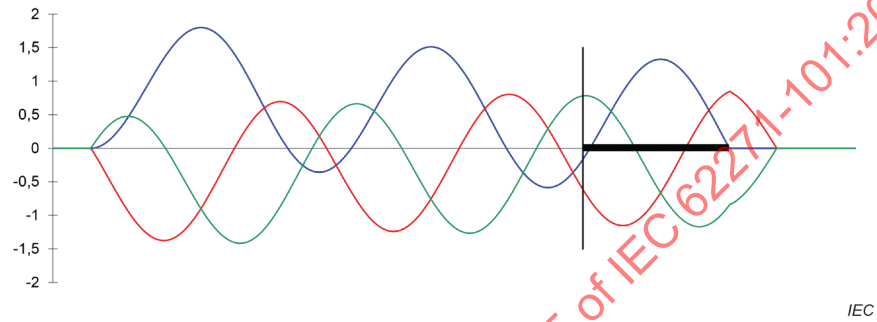
Δt_{a1} is the relevant parameter to be selected from Table E.12 or Table E.15 column 6;

Δt_{a2} is the relevant parameter to be selected from Table E.12 or Table E.15 column 14;

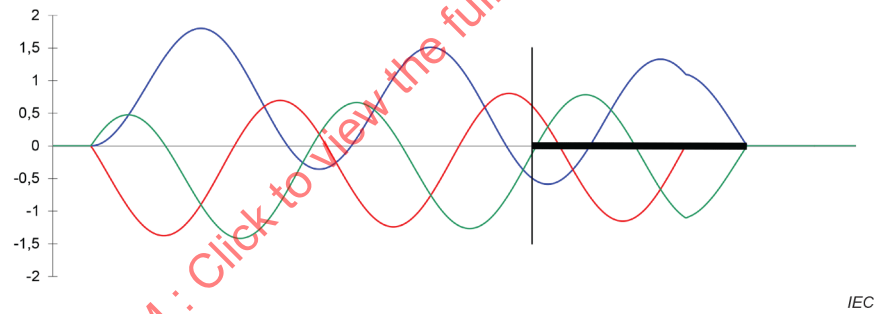
$d\alpha = 18^\circ$.



Tests No. 1 and No. 2: Application of the TRV on the first-pole-to-clear



Test No. 3: Application of the TRV on the first-pole-to-clear with major loop



Test No. 4: Application of the TRV on the last-pole-to-clear with extended major loop

Figure D.6 – Representation of the testing conditions of Table D.5

Table D.6 – Alternative demonstration of arcing times for $k_{pp} = 1,5$

Test no.	Test sequence	Asymmetry condition	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^a	Test condition (with reference to the three-phase system)	TRV		Injected circuit (di/dr) %
					Application (with reference to three-phase current circuit)	u_c value p.u.	
1	Os	Major loop – intermediate (Table E.12 or Table E.15 col. 7 and 8)	0	$t_{arc\ min}$ on first-pole-to-clear Required asymmetry on the last-pole-to-clear with extended major loop	first-pole-to-clear	1,0	(Table E.12 or Table E.15 col. 9)
2	Os	Major loop – intermediate (Table E.12 or Table E.15 col. 7 and 8)	$-T \times d\alpha/360^\circ$	Re-ignition in the first-pole-to-clear to confirm the $t_{arc\ min}$ Required asymmetry on the last-pole-to-clear with extended major loop	first-pole-to-clear	1,0	(Table E.12 or Table E.15 col. 9)
3	Os	Major loop – rated (Table E.12 or Table E.15 col. 3 and 4)	$\Delta t_{a1} - T \times d\alpha/360^\circ$	t_{arc1} with major loop and required asymmetry on the first-pole-to-clear	first-pole-to-clear	1,0	(Table E.12 or Table E.15 col. 5)
4	Os	Major loop – rated (Table E.12 or Table E.15 col. 10 and 11)	(Table E.12 or Table E.15 col. 13) °	$t_{arc\ min}$ on the last-pole-to-clear and required asymmetry on the last-pole-to-clear with extended major loop	last-pole-to-clear with extended loop	0,58	(Table E.12 or Table E.15 col. 12)
5	Os	Major loop – rated (Table E.12 or Table E.15 col. 10 and 11)	$\Delta t_{a2} - T \times d\alpha/360^\circ$	t_{arc2} and required asymmetry on the last-pole-to-clear with extended major loop	last-pole-to-clear with extended loop	0,58	(Table E.12 or Table E.15 col. 12)

Figure D.7 gives a representation of the testing conditions.

Values for the TRV reduction due to asymmetry can be found in Annex A.

If tests are performed after a failure of test 4 in Table D.5 and no re-conditioning of the circuit-breaker has taken place, then tests can continue from test 4 in Table D.6.

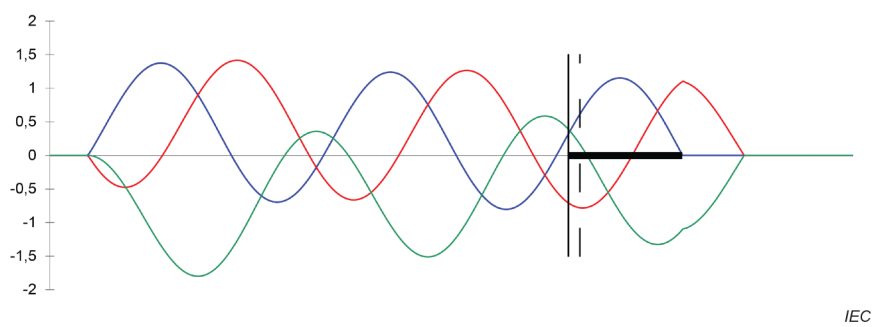
In case of failure during test 5, the circuit-breaker can be reconditioned and test 3 to test 5 shall be repeated. The test series is passed if no further failure occurs.

^a Where

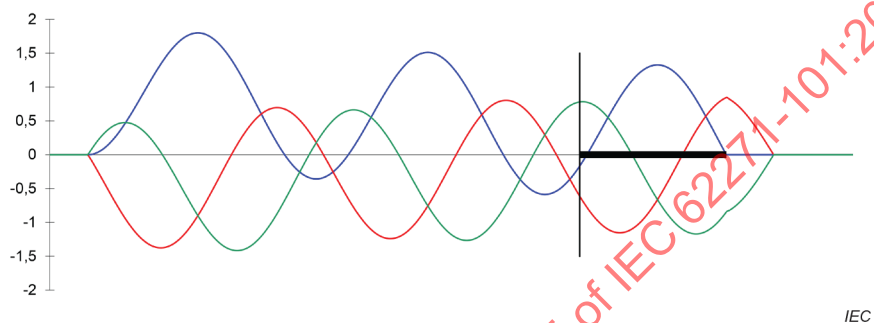
Δt_{a1} is the relevant parameter to be selected from Table E.12 or Table E.15 column 6;

Δt_{a2} is the relevant parameter to be selected from Table E.12 or Table E.15 column 14;

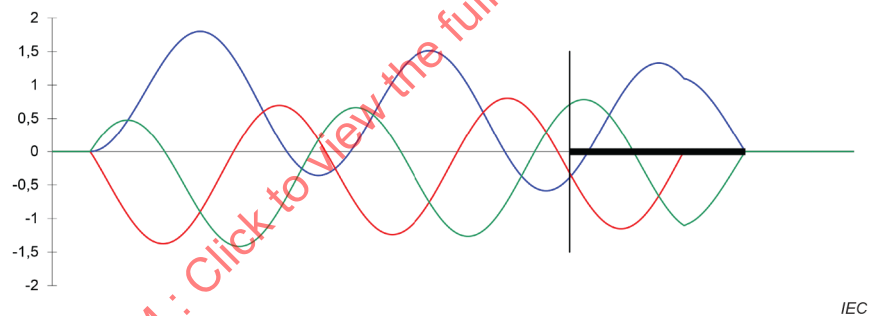
$d\alpha = 18^\circ$.



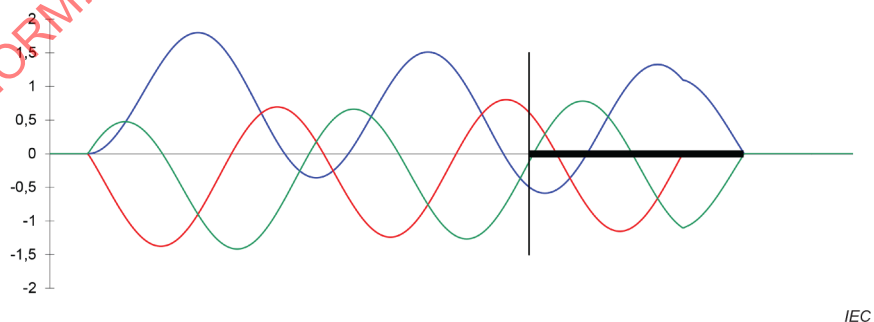
Tests No. 1 and No. 2: Application of the TRV on the first-pole-to-clear



Test No. 3: Application of the TRV on the first-pole-to-clear with major loop



Test No. 4: Application of the TRV on the last-pole-to-clear with extended major loop



Test No. 5: Application of the TRV on the last-pole-to-clear with extended major loop

Figure D.7 – Representation of the testing conditions of Table D.6

Table D.7 – Demonstration of arcing times for $k_{pp} = 1,3$

Test no.	Test sequence	Asymmetry condition	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^a	Test condition (with reference to the three-phase system)	TRV		Injected current (di/dt) %
					Application (with reference to the three-phase current circuit)	u_c value p.u.	
1	Os	Major loop – intermediate (Table E.13 or Table E.16 col. 7 and 8)	0	$t_{arc\ min}$ on first-pole-to-clear Required asymmetry on the second-pole-to-clear with extended major loop	first-pole-to-clear	1,0	(Table E.13 or Table E.16 col. 9)
2	Os	Major loop – intermediate (Table E.13 or Table E.16 col. 7 and 8)	$-T \times da/360^\circ$	Re-ignition in the first-pole-to-clear to confirm the $t_{arc\ min}$ Required asymmetry on the second-pole-to-clear with extended major loop	first-pole-to-clear	1,0	(Table E.13 or Table E.16 col. 9)
3	Os	Major loop – rated (Table E.13 or Table E.16 col. 3 and 4)	$\Delta t_{a1} - T \times da/360^\circ$	t_{arc1} with major loop and required asymmetry on the first-pole-to-clear	first-pole-to-clear	1,0	(Table E.13 or Table E.16 col. 5)
4	Os	Major loop – rated (Table E.13 or Table E.16 col. 10 and 11)	$\Delta t_{a3} - T \times da/360^\circ$	t_{arc3} and required asymmetry on the second-pole-to-clear with extended major loop	second-pole-to-clear	1,0	(Table E.13 or Table E.16 col. 12)

Figure D.8 gives a representation of the testing conditions.

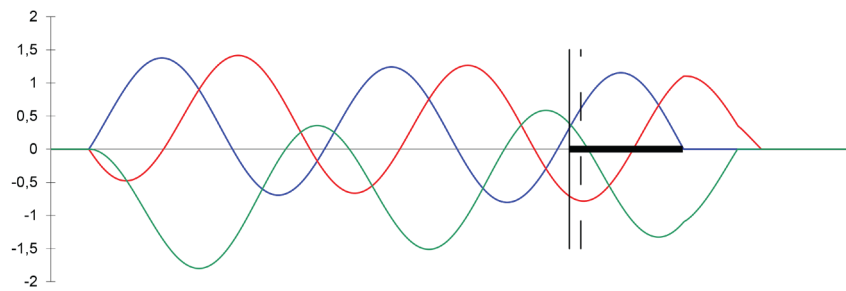
Values for the TRV reduction due to asymmetry can be found in Annex A.

^a Where

Δt_{a1} is the relevant parameter to be selected from Table E.13 or Table E.16 column 6;

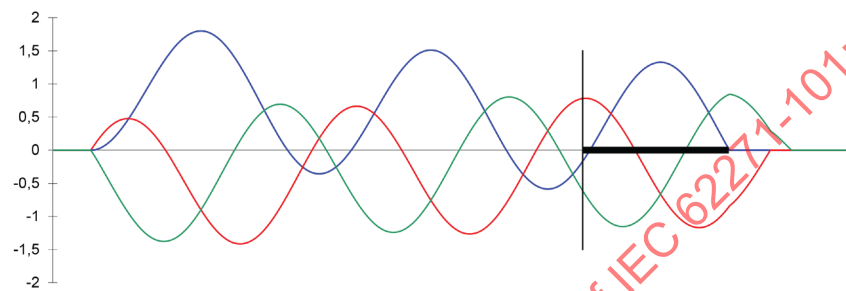
Δt_{a3} is the relevant parameter to be selected from Table E.13 or Table E.16 column 14;

$da = 18^\circ$.



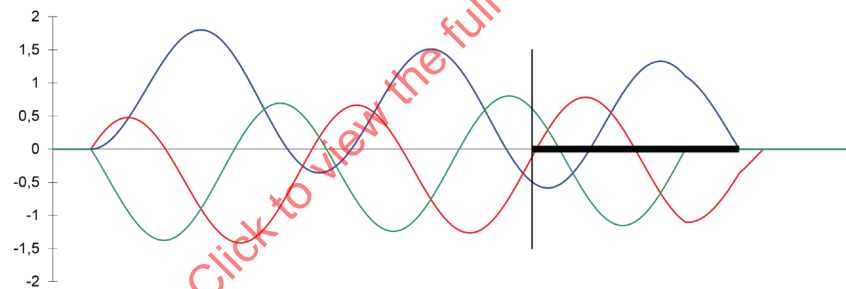
IEC

Tests No. 1 and No. 2: Application of the TRV on the first-pole-to-clear



IEC

Test No. 3: Application of the TRV on the first-pole-to-clear with major loop



IEC

Test No. 4: Application of the TRV on the second-pole-to-clear with extended major loop

Figure D.8 – Representation of the testing conditions of Table D.7

Table D.8 – Alternative demonstration of arcing times for $k_{pp} = 1,3$

Test no.	Test sequence	Asymmetry condition	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^a	Test condition (with reference to the three-phase system)	TRV		Injected current (di/dt) %
					Application (with reference to three-phase current circuit)	u_c value p.u.	
1	Os	Major loop – intermediate (Table E.13 or Table E.16 col. 7 and 8)	0	$t_{arc\ min}$ on first-pole-to-clear Required asymmetry on the second-pole-to-clear with extended major loop	first-pole-to-clear	1,0	(Table E.13 or Table E.16 col. 9)
2	Os	Major loop – intermediate (Table E.13 or Table E.16 col. 7 and 8)	$-T \times d\alpha/360^\circ$	Re-ignition in the first pole to clear to confirm the first-pole-to-clear $t_{arc\ min}$ Required asymmetry on the second-pole-to-clear with extended major loop	first-pole-to-clear	1,0	(Table E.13 or Table E.16 col. 9)
3	Os	Major loop – rated (Table E.13 or Table E.16 col. 3 and 4)	$\Delta t_{a1} - T \times d\alpha/360^\circ$	t_{arc1} with major loop and required asymmetry on the first-pole-to-clear	first-pole-to-clear	1,0	(Table E.13 or Table E.16 col. 5)
4	Os	Major loop – rated (Table E.13 or Table E.16 col. 10 and 11)	(Table E.13 or Table E.16 col. 13)	$t_{arc\ min}$ and required asymmetry on the second-pole-to-clear with extended major loop	second-pole-to-clear	0,97	(Table E.13 or Table E.16 col. 12)
5	Os	Major loop – rated (Table E.13 or Table E.16 col. 10 and 11)	$\Delta t_{a3} - T \times d\alpha/360^\circ$	t_{arc3} and required asymmetry on the second-pole-to-clear with extended major loop	second-pole-to-clear	0,97	(Table E.13 or Table E.16 col. 12)

Figure D.9 gives a representation of the testing conditions.

Values for the TRV reduction due to asymmetry can be found in Annex A.

If tests are performed after a failure of test 4 in Table D.7 and no re-conditioning of the circuit-breaker has taken place, then tests can continue from test 4 in Table D.8.

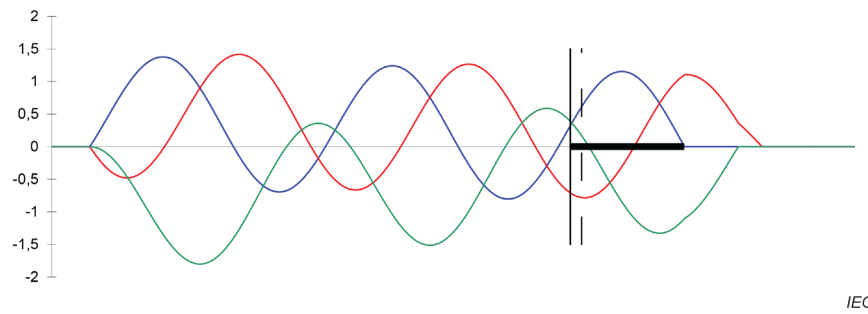
In case of failure during test 5, the circuit-breaker can be reconditioned and test 3 to test 5 shall be repeated. The test series is passed if no further failure occurs.

^a Where

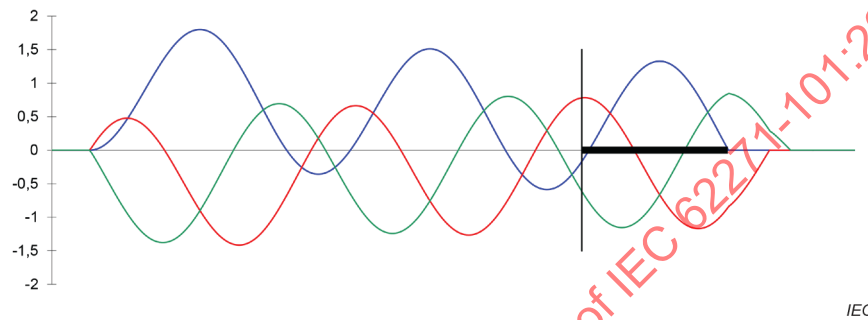
Δt_{a1} is the relevant parameter to be selected from Table E.13 or Table E.16 column 6;

Δt_{a3} is the relevant parameter to be selected from Table E.13 or Table E.16 column 14;

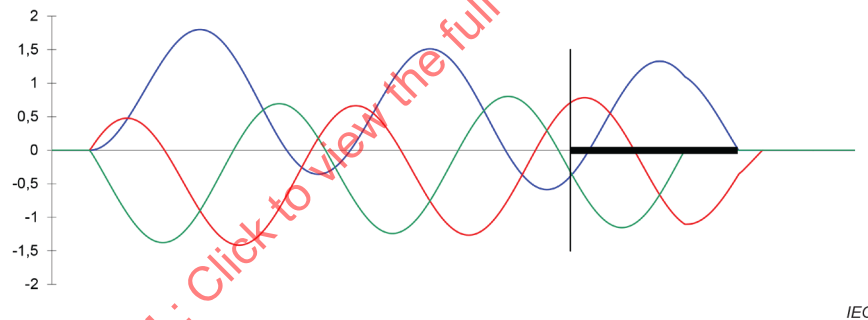
$d\alpha = 18^\circ$.



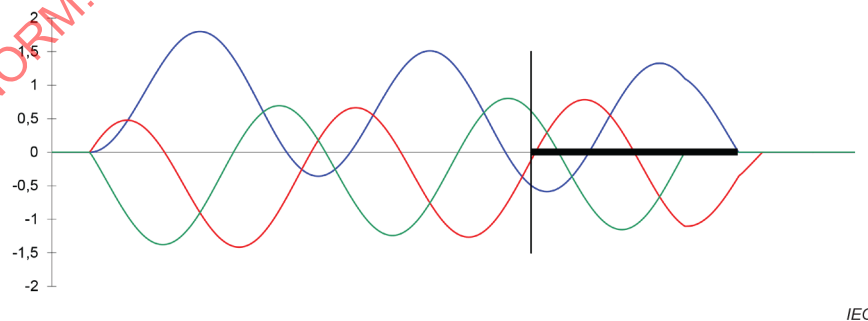
Tests No. 1 and No. 2: Application of the TRV on the first-pole-to-clear



Test No. 3: Application of the TRV on the first-pole-to-clear with major loop



Test No. 4: Application of the TRV on the second-pole-to-clear with extended major loop



Test No. 5: Application of the TRV on the second-pole-to-clear with extended major loop

Figure D.9 – Representation of the testing conditions of Table D.8

D.2.4 Combination of first-pole-to-clear factors 1,3 and 1,5

D.2.4.1 General

It is recognized that some of the test conditions are more severe than those given in the tables for the respective first-pole-to-clear factor. But all the tests given in Table D.9 and Table D.10 shall be performed in order to keep the equivalence with those tests specified in this document for each test-duty.

D.2.4.2 Test-duties T10, T30, T60 and T100s(b)

The corresponding tests can be found in Table D.9.

Table D.9 – Procedure for combining $k_{pp} = 1,5$ and 1,3 during test-duties T10, T30, T60 and T100s(b)

Test no.	Test sequence ^a	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^b	Test condition (with reference to the three-phase system)	TRV			Injected current (di/dr) %
				Application (with reference to the three-phase current circuit)	u_c value p.u.	u_c based on k_{pp}	
1	Os	0	$t_{arc\ min}$ on the first-pole-to-clear ($k_{pp} = 1,3$ and 1,5)	first-pole-to-clear	1,0	1,5	100
2	Os	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm the $t_{arc\ min}$	first-pole-to-clear	1,0	1,5	100
3	(Cd)Os	$T \times 42^\circ / 360^\circ$	$t_{arc\ max}$ on the first-pole-to-clear ($k_{pp} = 1,3$ and 1,5)	first-pole-to-clear	1,0	1,5	100
4	Od- t -CdOs	$T \times 90^\circ / 360^\circ$	$t_{arc\ min}$ on the second-pole-to-clear ($k_{pp} = 1,3$) last-pole-to-clear ($k_{pp} = 1,5$) ^c	second-pole-to-clear	0,97	1,3	89
5	CdOs	$T \times 132^\circ / 360^\circ$	$t_{arc\ max}$ on the second-pole-to-clear ($k_{pp} = 1,3$) last-pole-to-clear ($k_{pp} = 1,5$) ^c	second-pole-to-clear	0,97	1,3	89
6	(Cd)Os	$T \times 162^\circ / 360^\circ$	$t_{arc\ max}$ on the third-pole-to-clear ($k_{pp} = 1,3$)	third-pole-to-clear	0,77	1,3	57

For test 1 to test 3, the synthetic circuit shall be applied on the first-pole-to clear.

In case of failure during test 5 or test 6, the circuit-breaker can be reconditioned and test 4 to test 6 shall be repeated. The test series is passed if no further failure occurs.

If the current circuit is with unearthed neutral, for test 4 to test 6, the synthetic circuit shall be applied on the last-pole-to-clear (with extended loop).

If the current circuit is with earthed neutral, for test 4 and test 5, the synthetic circuit shall be applied on the second-pole-to-clear. For test 6, the synthetic circuit shall be applied on the third-pole-to-clear.

^a Abbreviated terms are in accordance with Table 6.

^b Where $d\alpha = 18^\circ$.

^c Arcing times for test 4 and test 5 can be interchanged.

D.2.4.3 Test duties T100a

The corresponding tests can be found in Table D.10.

Table D.10 – Procedure for combining $k_{pp} = 1,5$ and 1,3 during test-duty T100a

Test no.	Test sequence	Asymmetry condition	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^a	Test condition (with reference to the three-phase system)	TRV			Injected current (di/dt) %
					Application (with reference to the three-phase current circuit)	u_c value p.u.	u_c based on k_{pp}	
1	Os	Major loop – Intermediate (Table E.12 or Table E.15 col. 7 and 8)	0	$t_{arc\ min}$ on first-pole-to-clear ($k_{pp} = 1,5$ and 1,3) Required asymmetry on the second- or last-pole-to-clear with extended major loop	first-pole-to-clear	1,0	1,5	(Table E.12 or Table E.15 col. 9)
2	Os	Major loop – Intermediate (Table E.12 or Table E.15 col. 7 and 8)	$-T \times da/360^\circ$	Re-ignition in the first-pole-to-clear to confirm the $t_{arc\ min}$ Required asymmetry on the second-or last-pole-to-clear with extended major loop	first-pole-to-clear	1,0	1,5	(Table E.12 or Table E.15 col. 9)
3	Os	Major loop – rated (Table E.12 or Table E.15 col. 3 and 4)	$\Delta t_{a1} - T \times da/360^\circ$	t_{arc1} with major loop and required asymmetry on the first-pole-to-clear ($k_{pp} = 1,3$ and 1,5)	first-pole-to-clear	1,0	1,5	(Table E.12 or Table E.15 col. 5)
4	Os	Major loop – rated ^b	(Table E.12 or Table E.15 col. 13)	$t_{arc\ min}$ with required asymmetry on the second-pole-to-clear with extended major loop ($k_{pp} = 1,3$) and last-pole-to-clear with extended major loop ($k_{pp}=1,5$)	second-pole-to-clear ^b	0,97	1,3	(Table E.13 or Table E.16 col. 12)
5	Os	Major loop – rated ^b	$\Delta t_{a3} - T \times da/360^\circ$	t_{arc3} and required asymmetry on the second-pole-to-clear with extended major loop ($k_{pp} = 1,3$)	second-pole-to-clear ^b	0,97	1,3	(Table E.13 or Table E.16 col. 12)

Test no.	Test sequence	Asymmetry condition	Arc duration (additional to $t_{arc\ min}$ of the first-pole-to-clear for the phase subjected to the TRV) ^a	Test condition (with reference to the three-phase system)	TRV			Injected current (di/dt) %
					Application (with reference to the three-phase current circuit)	u_c value p.u.	u_c based on k_{pp}	
6	Os	Major loop – rated ^b	$\Delta t_{a2} - T \times da/360^\circ$	t_{arc2} and required asymmetry on the last-pole-to-clear with extended major loop ($k_{pp} = 1,5$)	last-pole-to-clear ^b	0,58	1,5	(Table E.12 or Table E.15 col. 12)

In case of failure during test 5 or test 6, the circuit-breaker can be reconditioned and test 4 to test 6 shall be repeated. The test series is passed if no further failure occurs.

Test 5 and test 6 can be combined, using the TRV and di/dt of test 5 and the arcing time of test 6.

Values for the TRV reduction due to asymmetry can be found in Annex A.

a Where

Δt_{a1} is the relevant parameter to be selected from Table E.12 or Table E.15 column 6;

Δt_{22} is the relevant parameter to be selected from Table E.12 or Table E.15 column 14;

Δt_{a3} is the relevant parameter to be selected from Table E.13 or Table E.16 column 14;

$$d\alpha = 18^\circ.$$

^b If the current circuit is with unearthed neutral, for test 4 to test 6, the synthetic circuit shall be applied on the last-pole-to-clear with extended loop. See Table E.12 or Table E.15, column 10 and 11, for amplitude and duration of the last current loop.

If the current circuit is with earthed neutral, for test 4 to test 6, the synthetic circuit shall be applied on the second-pole-to-clear with extended loop. See Table E.13 or Table E.16 column 10 and 11, for amplitude and duration of the last current loop.

Annex E (normative)

Splitting of test duties in test series taking into account the associated TRV for each pole-to-clear

E.1 General

Depending on the limitation of a laboratory, three-phase tests are not always possible. It is common practice to perform such tests using a single-phase circuit with a single TRV that covers the first, second and last pole-to-clear. This test procedure can result in higher stresses on the circuit-breaker under test compared to the corresponding three-phase direct test procedure.

The procedure in Annex E can be used in substitution of three-phase tests where single-phase testing is permitted.

A combination of the first-pole-to-clear factors 1,5 and 1,3 in accordance with 7.104.3.4 of IEC 62271-100:2021, while splitting the test-duties at the same time, can be made according to Clause E.4.

E.2 Test-duties T10, T30, T60, T100s(b), OP1 and OP2(b)

E.2.1 Test procedure for first-pole-to-clear factors 1,5 and 2,5

The single-phase test procedures for splitting of test duties to demonstrate arcing times with the correct TRV for each pole-to-clear according to 7.104.3.5 of IEC 62271-100:2021 are given in Table E.1 for the first-pole-to-clear factors of 1,5 and 2,5.

Table E.1 – Test procedure for $k_{pp} = 1,5$ and 2,5

Test no.	Test sequence ^a	Arc duration (additional to the $t_{arc\ min}$) ms ^d	Test condition (with reference to the three-phase system)	TRV		Injected current di/dr %
				RRRV p.u.	u_c value p.u.	
1	Os CdOs ^b	0	$t_{arc\ min}$ first-pole-to-clear	1,0	1,0	100
2	Os CdOs ^b	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	1,0	1,0	100
3	Od- t -CdOs Os ^c	$T \times 42^\circ / 360^\circ$	$t_{arc\ max}$ first-pole-to-clear	1,0	1,0	100
4	Os	$T \times 90^\circ / 360^\circ$	$t_{arc\ min}$ last-pole-to-clear	0,7	0,58	87
5	CdOs Os ^c	$T \times 132^\circ / 360^\circ$	$t_{arc\ max}$ last-pole-to-clear	0,7	0,58	87

For T10, T30 and T60, the Cd operation can be carried out under no-load conditions.

^a Abbreviated terms are in accordance with Table 6.

^b Test sequence for OP2(b), the Cd operation can be carried out under no-load conditions, see also Table 7.

^c Test sequence for OP1 and OP2(b), see also Table 7.

^d Where $d\alpha = 18^\circ$.

E.2.2 Test procedure for first-pole-to-clear factors 1,3 and 2,0

The single-phase test procedures for splitting of test duties to demonstrate arcing times with the correct TRV for each pole-to-clear according to 7.104.3.5 of IEC 62271-100:2021 are given in Table E.2 and Table E.3 for the first-pole-to-clear factors of 1,3 and 2,0. A simplified procedure is given in Table E.3 which is more severe than the procedure given in Table E.2.

In case of a failure during test 5 or test 6 as given in Table E.2, the circuit-breaker can be reconditioned and test 4 to test 6 shall be repeated. The test series is passed if no further failure occurs.

In case of a failure during test 5 as given in Table E.3, the circuit-breaker can be reconditioned and test 3 to test 5 shall be repeated. The test series is passed if no further failure occurs.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 7.102.9.6 of IEC 62271-100:2021.

Table E.2 – Test procedure for $k_{pp} = 1,3$ and 2,0

Test no.	Test sequence ^a	Arc duration (additional to the $t_{arc\ min}$) ms ^d	Test condition (with reference to the three-phase system)	TRV		Injected current di/dt %
				RRRV p.u.	u_c value p.u.	
1	Os CdOs ^b	0	$t_{arc\ min}$ first-pole-to-clear	1,0	1,0	100
2	Os CdOs ^b	$-T \times da/360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	1,0	1,0	100
3	(Cd)Os Os ^c	$T \times 42^\circ/360^\circ$	$t_{arc\ max}$ first-pole-to-clear	1,0	1,0	100
4	Od- t -CdOs Os ^c	$T \times 77^\circ/360^\circ$	$t_{arc\ min}$ second-pole-to-clear ^e	0,95	0,97	89
5	CdOs Os ^c	$T \times 119^\circ/360^\circ$	$t_{arc\ max}$ second-pole-to-clear ^e	0,95	0,97	89
6	(Cd)Os Os ^c	$T \times 162^\circ/360^\circ$	$t_{arc\ max}$ third-pole-to-clear	0,70	0,77	57

For T10, T30 and T60, the Cd operation can be carried out under no-load conditions.

^a Abbreviated terms are in accordance with Table 6.

^b Test sequence for OP2(b), the Cd operation can be carried out under no-load conditions, see also Table 7.

^c Test sequence for OP1 and OP2(b), see also Table 7.

^d Where $da = 18^\circ$.

^e Arcing times for test 4 and test 5 can be interchanged.

Table E.3 – Simplified test procedure for $k_{pp} = 1,3$ and $2,0$

Test no.	Test sequence ^a	Arc duration (additional to the $t_{arc\ min}$) ms ^d	Test condition (with reference to the three-phase system)	TRV		Injected current di/dr %
				RRRV p.u.	u_c value p.u.	
1	Os CdOs ^b	0	$t_{arc\ min}$ first-pole-to-clear	1,0	1,0	100
2	Os CdOs ^b	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	1,0	1,0	100
3	Od- t -CdOs Os ^c	$T \times 119^\circ / 360^\circ$	$t_{arc\ max}$ second-pole-to-clear ^e	1,0	1,0	100
4	CdOs Os ^c	$T \times 60^\circ / 360^\circ$	$t_{arc\ med}$ first- and second-pole-to-clear ^e	1,0	1,0	100
5	(Cd)Os Os ^c	$T \times 162^\circ / 360^\circ$	$t_{arc\ max}$ third-pole-to-clear	0,70	0,77	57
For T10, T30 and T60, the Cd operation can be carried out under no-load conditions.						
^a Abbreviated terms are in accordance with Table 6. ^b Test sequence for OP2(b), the Cd operation can be carried out under no-load conditions, see also Table 7. ^c Test sequence for OP1 and OP2(b), see also Table 7. ^d Where $d\alpha = 18^\circ$. ^e Arcing times for tests 3 and 4 can be interchanged.						

E.2.3 Test procedure for first-pole-to-clear factor 1,2

The single-phase test procedures for splitting of test duties to demonstrate arcing times with the correct TRV for each pole-to-clear according to 7.104.3.5 of IEC 62271-100:2021 are given in Table E.4 and Table E.5 for a first-pole-to-clear factor of 1,2.

A simplified procedure is given in Table E.5 which is more severe than the procedure given in Table E.4.

In case of a failure during test 5 or test 6 as given in Table E.4, the circuit-breaker can be reconditioned and test 4 to test 6 shall be repeated. The test series is passed if no further failure occurs.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 7.102.9.6 of IEC 62271-100:2021.

Table E.4 – Test procedure for $k_{pp} = 1,2$

Test no.	Test sequence ^a	Arc duration (additional to the $t_{arc\ min}$) ms ^b	Test condition (with reference to the three-phase system)	TRV		Injected current di/dt %
				RRRV p.u.	u_c value p.u.	
1	Os	0	$t_{arc\ min}$ first-pole-to-clear	1,0	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	1,0	1,0	100
3	(Cd)Os	$T \times 42^\circ / 360^\circ$	$t_{arc\ max}$ first-pole-to-clear	1,0	1,0	100
4	Od- t -CdOs	$T \times 71^\circ / 360^\circ$	$t_{arc\ min}$ second-pole-to-clear ^c	0,95	0,95	92
5	CdOs	$T \times 113^\circ / 360^\circ$	$t_{arc\ max}$ second-pole-to-clear ^c	0,95	0,95	92
6	(Cd)Os	$T \times 162^\circ / 360^\circ$	$t_{arc\ max}$ third-pole-to-clear	0,83	0,83	75
For T10, T30 and T60, the Cd operation can be carried out under no-load conditions.						
^a Abbreviated terms are in accordance with Table 6.						
^b Where $d\alpha = 18^\circ$.						
^c Arcing times for test 4 and test 5 can be interchanged.						

Table E.5 – Simplified test procedure for $k_{pp} = 1,2$

Test no.	Test sequence ^a	Arc duration (additional to the $t_{arc\ min}$) ms ^b	Test condition (with reference to the three-phase system)	TRV		Injected current di/dt %
				RRRV p.u.	u_c value p.u.	
1	Os	0	$t_{arc\ min}$ first-pole-to-clear	1,0	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	1,0	1,0	100
3	Od- t -CdOs	$T \times 113^\circ / 360^\circ$	$t_{arc\ max}$ second-pole-to-clear ^c	1,0	1,0	100
4	CdOs	$T \times 57^\circ / 360^\circ$	$t_{arc\ med}$ first-and second-pole-to-clear ^c	1,0	1,0	100
5	(Cd)Os	$T \times 162^\circ / 360^\circ$	$t_{arc\ max}$ third-pole-to-clear	0,83	0,83	75
For T10, T30 and T60, the Cd operation can be carried out under no-load conditions.						
^a Abbreviated terms are in accordance with Table 6.						
^b Where $d\alpha = 18^\circ$.						
^c Arcing times for test 3 and test 4 can be interchanged.						

E.3 Test duty T100a

E.3.1 General

The test procedure described here is based on the determination of the minimum arcing time after a major loop with intermediate asymmetry.

The voltage correction for the first-pole-to-clear shall be derived from Table A.1 to Table A.6 or calculated according Annex A. The voltage correction for the second- and third-pole-to-clear shall be derived from the values of the first-pole-to-clear multiplied by the standard multipliers for the corresponding pole-to-clear as given in Table E.6, Table E.7, Table E.8 and Table E.11.

E.3.2 Test procedure for first-pole-to-clear factor 1,5

The test series shows the clearing capability for the different asymmetrical conditions and their associated TRV values. The aim is to obtain a series of 5 valid tests.

The corresponding tests can be found in Table E.6.

In case of a failure during test 5 as given in Table E.6, the circuit-breaker can be reconditioned and test 3 to test 5 shall be repeated. The test series is passed if no further failure occurs.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 7.102.9.6 of IEC 62271-100:2021.

Table E.6 – Test procedure for asymmetrical currents for $k_{pp} = 1,5$

Test no.	Test sequence	Asymmetry condition	Arc duration ^a (additional to the $t_{arc\ min}$) ms	Test condition (with reference to the three-phase system)	TRV		Injected current di/dt %
					RRRV p.u.	u_c value p.u.	
1	Os	Major loop intermediate (col. 7 and 8)	0	$t_{arc\ min}$ first-pole-to-clear	1,0	1,0	(col. 9)
2	Os	Major loop intermediate (col. 7 and 8)	$-T \times d\alpha/360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	1,0	1,0	(col. 9)
3	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a1} - T \times d\alpha/360^\circ$	$t_{arc\ max} (= t_{arc1})$ first-pole-to-clear	1,0	1,0	(col. 5)
4	Os	Major loop rated (col. 3 and 4)	(col. 13)	$t_{arc\ min}$ last-pole-to-clear	0,7	0,58	(col.12)
5	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a2} - T \times d\alpha/360^\circ$	$t_{arc\ max} (= t_{arc2})$ last-pole-to-clear	0,7	0,58	(col.12)

Figure E.1 gives an exemplary representation of the testing conditions.

Column numbers refer to columns in Table E.12 or Table E.15.

^a Where
 Δt_{a1} is the relevant parameter to be selected from Table E.12 or Table E.15 column 6;
 Δt_{a2} is the relevant parameter to be selected from Table E.12 or Table E.15 column 14;
 $d\alpha = 18^\circ$.

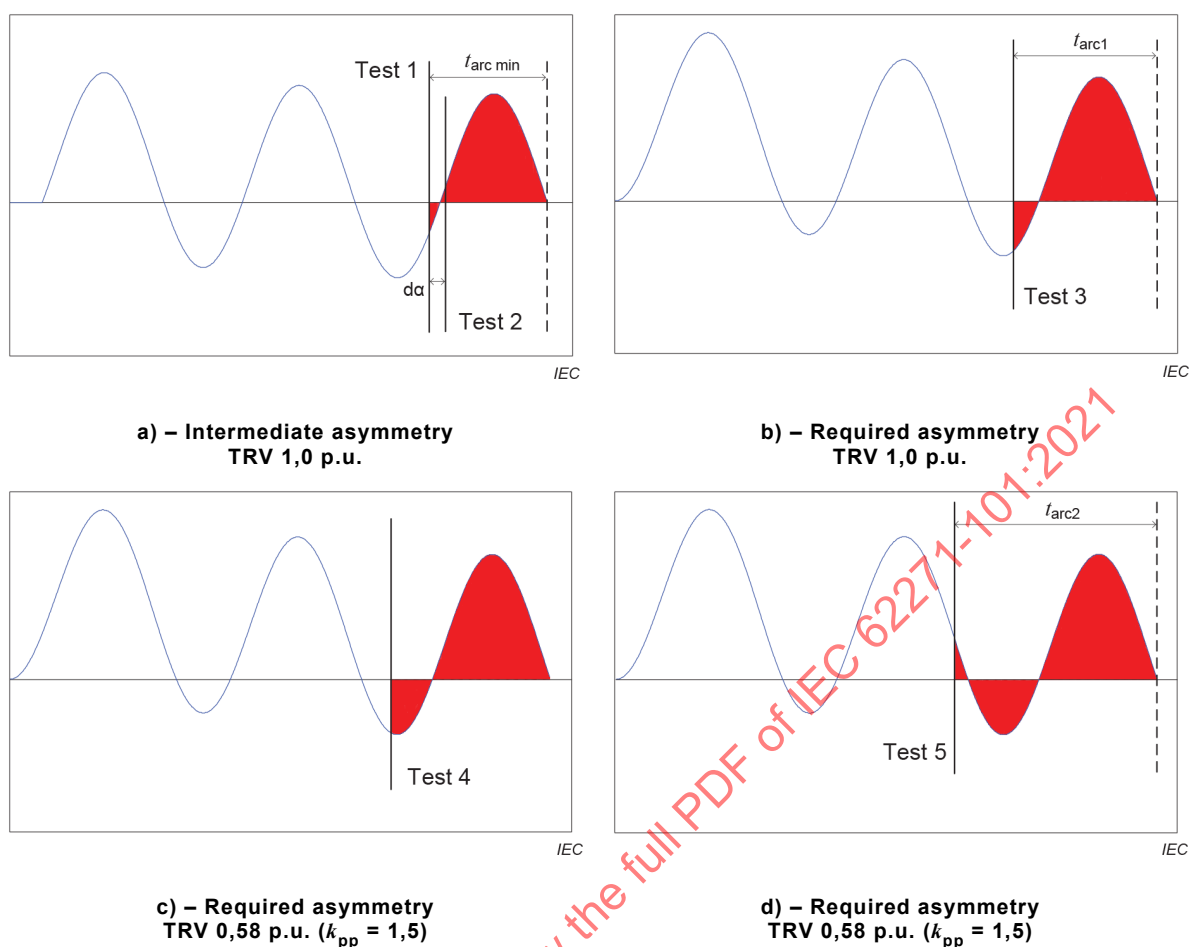


Figure E.1 – Example of graphical representation of the tests shown in Table E.6

E.3.3 Test procedure for first-pole-to-clear factor 1,3

The test series shows the clearing capability for the different asymmetrical conditions and their associated TRV values. The aim is to obtain a series of 5 valid tests.

The corresponding tests can be found in Table E.7.

In case of a failure during test 5 as given in Table E.7, the circuit-breaker can be reconditioned and test 3 to test 5 shall be repeated. The test series is passed if no further failure occurs.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 7.102.9.6 of IEC 62271-100:2021.

Table E.7 – Test procedure for asymmetrical currents for $k_{pp} = 1,3$

Test no.	Test sequence	Asymmetry condition	Arc duration ^a (additional to the $t_{arc\ min}$) ms	Test condition (with reference to the three-phase system)	TRV		Injected current di/dt %
					RRRV p.u.	u_c value p.u.	
1	Os	Major loop intermediate (col. 7 and 8)	0	$t_{arc\ min}$ first-pole-to-clear	1,0	1,0	(col. 9)
2	Os	Major loop intermediate (col. 7 and 8)	$-T \times d\alpha/360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	1,0	1,0	(col. 9)
3	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a1} - T \times d\alpha/360^\circ$	$t_{arc\ max} (= t_{arc1})$ first-pole-to-clear	1,0	1,0	(col. 5)
4	Os	Major loop rated (col. 3 and 4)	(col. 13)	$t_{arc\ min}$ second-pole-to-clear	0,95	0,97	(col. 12)
5	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a3} - T \times d\alpha/360^\circ$	$t_{arc\ max} (= t_{arc3})$ second-pole-to-clear	0,95	0,97	(col. 12)

Figure E.2 gives an exemplary representation of the testing conditions.

Column numbers refer to columns in Table E.13 or Table E.16.

^a Where

Δt_{a1} is the relevant parameter to be selected from Table E.13 or Table E.16, column 6;

Δt_{a3} is the relevant parameter to be selected from Table E.13 or Table E.16, column 14;

$d\alpha = 18^\circ$.

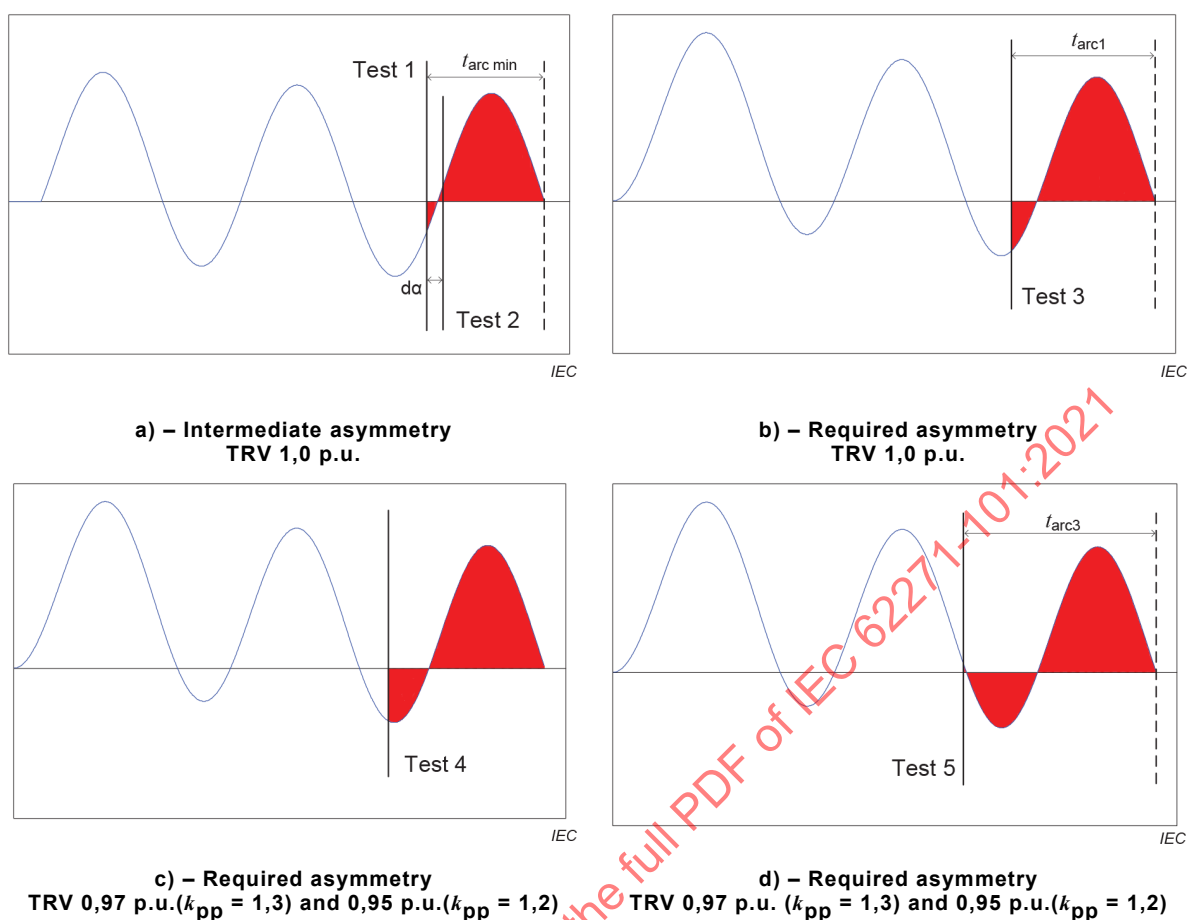


Figure E.2 – Example of graphical representation of the tests shown in Table E.7 and Table E.8

E.3.4 Test procedure for first-pole-to-clear factor 1,2

The test series shows the clearing capability for the different asymmetrical conditions and their associated TRV values. The aim is to obtain a series of 5 valid tests.

The corresponding tests can be found in Table E.8.

In case of a failure during test 5 as given in Table E.8, the circuit-breaker can be reconditioned and test 3 to test 5 shall be repeated. The test series is passed if no further failure occurs.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 7.102.9.6 of IEC 62271-100:2021.

Table E.8 – Test procedure for asymmetrical currents for $k_{pp} = 1,2$

Test no.	Test sequence	Asymmetry condition	Arc duration ^a (additional to the $t_{arc\ min}$) ms	Test condition (with reference to the three-phase system)	TRV		Injected current di/dt %
					RRRV p.u.	u_c value p.u.	
1	Os	Major loop intermediate (col. 7 and 8)	0	$t_{arc\ min}$ first-pole-to-clear	1,0	1,0	(col. 9)
2	Os	Major loop intermediate (col. 7 and 8)	$-T \times d\alpha/360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	1,0	1,0	(col. 9)
3	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a1} - T \times d\alpha/360^\circ$	$t_{arc\ max}$ (= t_{arc1}) first-pole-to-clear	1,0	1,0	(col. 5)
4	Os	Major loop rated (col. 3 and 4)	(col. 13)	$t_{arc\ min}$ second-pole-to-clear	0,95	0,95	(col. 12)
5	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a3} - T \times d\alpha/360^\circ$	$t_{arc\ max}$ (= t_{arc3}) second-pole-to-clear	0,95	0,95	(col. 12)
Figure E.2 gives an exemplary representation of the testing conditions.							
Column numbers refer to columns in Table E.14 or Table E.17.							
^a Where Δt_{a1} is the relevant parameter to be selected from Table E.14 or Table E.17, column 6; Δt_{a3} is the relevant parameter to be selected from Table E.14 or Table E.17, column 14; $d\alpha = 18^\circ$.							

E.4 Combination of first-pole-to-clear factors

E.4.1 General

It is recognized that some of the test conditions are more severe than those given in the tables for the respective first-pole-to-clear factor. But all the tests given in Table E.9 to Table E.11 shall be performed in order to keep the equivalence with those tests specified in this document for each test-duty.

E.4.2 Combination of first-pole-to-clear factors 1,3 and 1,5 for test duties T10, T30, T60 and T100s(b)

The corresponding tests can be found in Table E.9.

In case of failure during test 5 or test 6, the circuit-breaker can be reconditioned and test 4 to test 6 shall be repeated. The test series is passed if no further failure occurs.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 7.102.9.6 of IEC 62271-100:2021.

Table E.9 – Procedure for combining $k_{pp} = 1,3$ and $1,5$ for test-duties T10, T30, T60 and T100s(b)

Test no.	Test sequence ^a	Arc duration (additional to $t_{arc\ min}$) ms ^b	Test condition (with reference to the three-phase system)	TRV			Injected current di/dr %
				RRRV p.u.	u_c value p.u.	k_{pp} p.u.	
1	Os	0	$t_{arc\ min}$ first-pole-to-clear ($k_{pp} = 1,3$ and $1,5$)	1,0	1,0	1,5	100
2	Os	$-T \times d\alpha/360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	1,0	1,0	1,5	100
3	(Cd)Os	$T \times 42^\circ/360^\circ$	$t_{arc\ max}$ first-pole-to-clear ($k_{pp} = 1,3$ and $1,5$)	1,0	1,0	1,5	100
4	Od- t -CdOs	$T \times 90^\circ/360^\circ$	$t_{arc\ min}$ second-pole-to-clear ($k_{pp} = 1,3$) last-pole-to-clear ($k_{pp} = 1,5$) ^c	0,95	0,97	1,3	89
5	CdOs	$T \times 132^\circ/360^\circ$	$t_{arc\ max}$ second-pole-to-clear ($k_{pp} = 1,3$) last-pole-to-clear ($k_{pp} = 1,5$) ^c	0,95	0,97	1,3	89
6	(Cd)Os	$T \times 162^\circ/360^\circ$	$t_{arc\ max}$ last-pole-to-clear ($k_{pp} = 1,3$)	0,70	0,77	1,3	57
For T10, T30 and T60, the Cd operation can be carried out under no-load conditions.							
^a Abbreviated terms are in accordance with Table 6.							
^b Where $d\alpha = 18^\circ$.							
^c Arcing times for test 4 and test 5 can be interchanged.							

E.4.3 Combination of first-pole-to-clear factors 2,0 and 2,5 for test duties OP1 and OP2(b)

The corresponding tests can be found in Table E.10.

In case of failure during test 5 or test 6, the circuit-breaker can be reconditioned and test 4 to test 6 shall be repeated. The test series is passed if no further failure occurs.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 7.102.9.6 of IEC 62271-100:2021.

**Table E.10 – Procedure for combining $k_{pp} = 2,0$ and 2,5
for test-duties OP1 and OP2(b)**

Test no.	Test sequence ^a	Arc duration (additional to $t_{arc\ min}$) ms ^c	Test condition (with reference to the three-phase system)	TRV			Injected current di/dt %
				RRRV p.u.	u_c value p.u.	K_{pp} p.u.	
1	Os CdOs ^b	0	$t_{arc\ min}$ first-pole-to-clear ($k_{pp} = 2,0$ and 2,5)	1,0	1,0	2,5	100
2	Os CdOs ^b	$-T \times d\alpha / 360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{arc\ min}$	1,0	1,0	2,5	100
3	Os	$T \times 42^\circ / 360^\circ$	$t_{arc\ max}$ first-pole-to-clear ($k_{pp} = 2,0$ and 2,5)	1,0	1,0	2,5	100
4	Os	$T \times 90^\circ / 360^\circ$	$t_{arc\ min}$ second-pole-to-clear ($k_{pp} = 2,0$) last-pole-to-clear ($k_{pp} = 2,5$)	0,95	0,97	2,0	89
5	Os	$T \times 132^\circ / 360^\circ$	$t_{arc\ max}$ second-pole-to-clear ($k_{pp} = 2,0$) last-pole-to-clear ($k_{pp} = 2,5$)	0,95	0,97	2,0	89
6	Os	$T \times 162^\circ / 360^\circ$	$t_{arc\ max}$ last-pole-to-clear ($k_{pp} = 2,0$)	0,70	0,77	2,0	57
^a Abbreviated terms are in accordance with Table 6. ^b Test for OP2(b), the Cd operation can be carried out under no-load conditions, see also Table 7. ^c Where $d\alpha = 18^\circ$.							

E.4.4 Combination of first-pole-to-clear factors 1,3 and 1,5 for test duty T100a

The corresponding tests can be found in Table E.11.

Arc durations, current loop parameters and di/dt values depending on degree of asymmetry and DC time constant can be found in Table E.12, Table E.13, Table E.15 and Table E.16. In case of failure during test 5 or test 6, the circuit-breaker can be reconditioned and test 4 to test 6 shall be repeated. The test series is passed if no further failure occurs.

Re-conditioning of the circuit-breaker, when necessary, shall comply with the requirements of 7.102.9.6 of IEC 62271-100:2021.

Table E.11 – Procedure for combining $k_{pp} = 1,5$ and 1,3 for test-duty T100a

Test no.	Test sequence	Asymmetry condition	Arc duration ^a (additional to $t_{\text{arc min}}$) ms	Test condition (with reference to the three-phase system)	TRV			Injected current di/dt %
					RRRV p.u.	u_c value p.u.	k_{pp} p.u.	
1	Os	Major loop intermediate (col. 7 and 8)	0	$t_{\text{arc min}}$ first-pole-to-clear ($k_{pp} = 1,3$ and 1,5)	1,0	1,0	1,5	(col. 9)
2	Os	Major loop intermediate (col. 7 and 8)	$-T \times da/360^\circ$	Re-ignition in the first-pole-to-clear to confirm $t_{\text{arc min}}$	1,0	1,0	1,5	(col. 9)
3	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a1} - T \times da/360^\circ$	$t_{\text{arc max}} (= t_{\text{arc1}})$ first-pole-to-clear ($k_{pp} = 1,3$ and 1,5)	1,0	1,0	1,5	(col. 5)
4	Os	Major loop rated (col. 3 and 4)	(col. 13)	$t_{\text{arc min}}$ second-pole-to-clear ($k_{pp} = 1,3$) last-pole-to-clear ($k_{pp} = 1,5$)	0,95	0,97	1,3	(col. 12)
5	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a3} - T \times da/360^\circ$	$t_{\text{arc max}} (= t_{\text{arc3}})$ second-pole-to-clear ($k_{pp} = 1,3$)	0,95	0,97	1,3	(col. 12)
6	Os	Major loop rated (col. 3 and 4)	$\Delta t_{a2} - T \times da/360^\circ$	$t_{\text{arc max}} (= t_{\text{arc2}})$ last-pole-to-clear ($k_{pp} = 1,5$)	0,70	0,58	1,5	(col. 12)

Tests 1, 2, 3 and 6: Column numbers refer to columns in Table E.12 or Table E.15.

Tests 4 and 5: Column numbers refer to columns in Table E.13 or Table E.16.

Tests 5 and 6 can be combined applying test voltage of test 5 and arcing time of test 6.

^a Where

Δt_{a1} is the relevant parameter to be selected from Table E.12 or Table E.15, column 6;

Δt_{a2} is the relevant parameter to be selected from Table E.12 or Table E.15, column 14;

Δt_{a3} is the relevant parameter to be selected from Table E.13 or Table E.16, column 14;

$da = 18^\circ$

Table E.12 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,5$, $f_r = 50$ Hz

Column 1	2	First-pole-to-clear (major loop)				Intermediate asymmetry ^a			Last-pole-to-clear (major extended loop)				
		3	4	5	6	7	8	9	10	11	12	13	14
τ	Minimum clearing time	I_{peak}	Duration of the loop, Δt_1	d/dt first-pole-to-clear ^b	Maximum arcing window, Δt_{a1}	I_{peak}	Duration of the loop	d/dt first-pole to clear ^b	I_{peak}	Duration of the loop, Δt_2	d/dt last-pole-to-clear ^b	Minimum arcing window	Maximum arcing window Δt_{a2}
ms	ms	p.u.	ms	%	ms	p.u.	ms	%	p.u.	ms	%	ms	ms
45	$10,0 < t \leq 27,0$	1,52	13,6	92,7	4,1	1,24	11,6	99,2	1,52	15,0	82,2	5,6	10,6
	$27,0 < t \leq 47,5$	1,33	12,2	97,8	3,8	1,16	11,0	100	1,33	13,7	85,4	5,4	9,8
	$47,5 < t \leq 68,0$	1,21	11,4	99,6	3,7	1,10	10,6	100	1,21	12,9	86,5	5,2	9,2
60	$10,0 < t \leq 27,0$	1,61	14,2	86,9	4,3	1,29	11,9	97,8	1,61	15,6	78,5	5,7	11,1
	$27,0 < t \leq 47,5$	1,44	12,9	94,1	4,0	1,21	11,4	99,2	1,44	14,3	83,0	5,5	10,2
	$47,5 < t \leq 67,5$	1,31	12,1	97,4	3,8	1,15	11,0	99,8	1,31	13,6	85,1	5,4	9,7
75	$67,5 < t \leq 88,0$	1,22	11,4	99,0	3,7	1,11	10,7	100	1,22	13,0	86,1	5,3	9,3
	$10,0 < t \leq 27,0$	1,67	14,8	81,8	4,4	1,33	12,1	96,7	1,67	16,1	75,3	5,8	11,3
	$27,0 < t \leq 47,5$	1,51	13,4	90,2	4,2	1,25	11,6	98,3	1,51	14,9	80,5	5,6	10,6
	$47,5 < t \leq 67,5$	1,39	12,6	94,7	3,9	1,19	11,2	99,2	1,39	14,1	83,4	5,5	10,1
	$67,5 < t \leq 87,5$	1,30	12,0	97,2	3,8	1,15	10,9	99,6	1,30	13,5	84,9	5,3	9,7
	$87,5 < t \leq 108$	1,23	11,5	98,6	3,7	1,11	10,7	99,9	1,23	13,1	85,8	5,2	9,3

		First-pole-to-clear (major loop)				Intermediate asymmetry ^a			Last-pole-to-clear (major extended loop)				
Column 1	2	3	4	5	6	7	8	9	10	11	12	13	14
τ	Minimum clearing time	I_{peak}	Duration of the loop, Δt_1	di/dr first-pole-to-clear ^b	Maximum arcing window, ΔI_{a1}	I_{peak}	Duration of the loop	di/dr first-pole to clear ^b	I_{peak}	Duration of the loop, Δt_2	di/dr last-pole-to-clear ^b	Minimum arcing window	Maximum arcing window ΔI_{a2}
ms	ms	p.u.	ms	%	ms	p.u.	ms	%	p.u.	ms	%	ms	ms
120	$10,0 < t \leq 27,0$	1,78	15,7	70,2	4,8	1,38	12,5	94,1	1,78	17,0	68,3	6,0	11,9
	$27,0 < t \leq 47,0$	1,66	14,6	80,0	4,4	1,32	12,1	96,0	1,66	15,9	74,1	5,8	11,3
	$47,0 < t \leq 67,5$	1,56	13,8	86,4	4,3	1,27	11,8	97,3	1,56	15,2	78,0	5,7	10,8
	$67,5 < t \leq 87,5$	1,47	13,2	90,6	4,1	1,23	11,5	98,1	1,47	14,6	80,7	5,6	10,4
	$87,5 < t \leq 108$	1,40	12,6	93,5	4,0	1,20	11,3	98,7	1,40	14,1	82,5	5,5	10,1

^a Intermediate asymmetry, see 3.16.

^b Corresponding di/dr at current zero (percentage of the di/dr of the symmetrical rated short-circuit current).

a Intermediate asymmetry, see 3.16.

Corresponding di/dr at current zero (percentage of the di/dr of the symmetrical rated short-circuit current).

Table E.13 – Required test parameters for different asymmetrical conditions in the case of a $k_{pp} = 1,3$, $f_r = 50$ Hz

Column 1	2	First-pole-to-clear (major loop)				Intermediate asymmetry ^a			Second-pole-to-clear (major extended loop)				
		3	4	5	6	7	8	9	10	11	12	13	14
τ	Minimum clearing time	I_{peak}	Duration of the loop, Δt_{r1}	di/dt first-pole-to-clear ^b	Maximum arcing window, Δt_{a1}	I_{peak}	Duration of the loop	di/dt first-pole-to-clear ^b	I_{peak}	Duration of the loop, Δt_{r3}	di/dt second-pole-to-clear ^b	Minimum arcing window	Maximum arcing window, Δt_{a3}
ms	ms	p.u.	ms	%	ms	p.u.	ms	%	p.u.	ms	%	ms	ms
45	$10,0 < t \leq 27,0$	1,52	13,6	92,7	4,1	1,24	11,6	99,2	1,52	14,4	84,0	5,0	10,0
	$27,0 < t \leq 47,5$	1,33	12,2	97,8	3,8	1,16	11,0	100	1,33	13,1	88,1	4,7	9,1
	$47,5 < t \leq 68,0$	1,21	11,4	99,6	3,7	1,10	10,6	100	1,21	12,3	89,5	4,5	8,6
	$10,0 < t \leq 27,0$	1,61	14,2	86,9	4,3	1,29	11,9	97,8	1,61	15,1	79,2	4,4	10,5
75	$27,0 < t \leq 47,5$	1,44	12,9	94,1	4,0	1,21	11,4	99,2	1,44	13,8	84,9	5,1	9,6
	$47,5 < t \leq 67,5$	1,31	12,1	97,4	3,8	1,15	11,0	99,8	1,31	12,9	87,5	4,9	9,1
	$67,5 < t \leq 88,0$	1,22	11,4	99,0	3,7	1,11	10,7	100	1,22	12,3	88,8	4,7	8,6
	$10,0 < t \leq 27,0$	1,67	14,8	81,8	4,4	1,33	12,1	96,7	1,67	15,6	74,9	5,3	10,8
75	$27,0 < t \leq 47,5$	1,51	13,4	90,2	4,2	1,25	11,6	98,3	1,51	14,3	81,6	5,0	10,0
	$47,5 < t \leq 67,5$	1,39	12,6	94,7	3,9	1,19	11,2	99,2	1,39	13,4	85,2	4,8	9,4
	$67,5 < t \leq 87,5$	1,30	12,0	97,2	3,8	1,15	10,9	99,6	1,30	12,8	87,2	4,7	9,0
	$87,5 < t \leq 108$	1,23	11,5	98,6	3,7	1,11	10,7	99,9	1,23	12,4	88,3	4,6	8,7

		First-pole-to-clear (major loop)				Intermediate asymmetry ^a			Second-pole-to-clear (major extended loop)				
Column 1	2	3	4	5	6	7	8	9	10	11	12	13	14
τ	Minimum clearing time	I_{peak}	Duration of the loop, Δt_1	di/dr first-pole-to-clear ^b	Maximum arcing window, ΔV_{a1}	I_{peak}	Duration of the loop	di/dr first-pole-to-clear ^b	I_{peak}	Duration of the loop, Δt_3	di/dr second-pole-to-clear ^b	Minimum arcing window	Maximum arcing window, ΔV_{a3}
ms	ms	p.u.	ms	%	ms	p.u.	ms	%	p.u.	ms	%	ms	ms
120	$10,0 < t \leq 27,0$	1,78	15,7	70,2	4,8	1,38	12,5	94,1	1,78	16,6	65,5	5,6	11,4
	$27,0 < t \leq 47,0$	1,66	14,6	80,0	4,4	1,32	12,1	96,0	1,66	15,3	73,2	5,3	10,8
	$47,0 < t \leq 67,5$	1,56	13,8	86,4	4,3	1,27	11,8	97,3	1,56	14,6	78,3	5,1	10,3
	$67,5 < t \leq 87,5$	1,47	13,2	90,6	4,1	1,23	11,5	98,1	1,47	14,0	81,7	5,0	9,8
	$87,5 < t \leq 108$	1,40	12,6	93,5	4,0	1,20	11,3	98,7	1,40	13,5	84,0	4,8	9,5

^a Intermediate asymmetry, see 3.16.

^b Corresponding di/dr at current zero (percentage of the di/dr of the symmetrical rated short-circuit current).

^a Intermediate asymmetry, see 3.16.

b. Corresponding dI/dt at current zero (percentage of the symmetrical rated short-circuit current).

		First-pole-to-clear (major loop)				Intermediate asymmetry ^a			Second-pole-to-clear (major extended loop)				
Column 1	2	3	4	5	6	7	8	9	10	11	12	13	14
τ	Minimum clearing time	I_{peak}	Duration of the loop, Δt_1	dI/dr first-pole-to-clear ^b	Maximum arcing window, ΔI_{a1}	I_{peak}	Duration of the loop	dI/dr first-pole-to-clear ^b	I_{peak}	Duration of the loop Δt_3	dI/dr second-pole-to-clear ^b	Minimum arcing window	Maximum arcing window, ΔI_{a3}
ms	ms	p.u.	ms	%	ms	p.u.	ms	%	p.u.	ms	%	ms	ms
120	$10,0 < t \leq 27,0$	1,78	15,7	70,2	4,8	1,38	12,5	94,1	1,78	16,3	65,9	5,3	11,2
	$27,0 < t \leq 47,0$	1,66	14,6	80,0	4,4	1,32	12,1	96,0	1,66	15,2	74,5	5,0	10,5
	$47,0 < t \leq 67,5$	1,56	13,8	86,4	4,3	1,27	11,8	97,3	1,56	14,4	80,0	4,8	10,0
	$67,5 < t \leq 87,5$	1,47	13,2	90,6	4,1	1,23	11,5	98,1	1,47	13,7	83,8	4,7	9,5
	$87,5 < t \leq 108$	1,40	12,6	93,5	4,0	1,20	11,3	98,7	1,40	13,2	86,3	4,5	9,1

^a Intermediate asymmetry, see 3.17.

^b Corresponding dI/dr at current zero (percentage of the dI/dr of the symmetrical rated short-circuit current).

b. Corresponding di/dt at current zero (percentage of the symmetrical rated short-circuit current).

b. Corresponding di/dt at current zero (percentage of the symmetrical rated short-circuit current).

Table E.15 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,5$, $f_r = 60$ Hz

Column 1	2	First-pole-to-clear (major loop)			Intermediate asymmetry ^a			Last-pole-to-clear (major extended loop)					
τ	Minimum clearing time	3	4	5	6	7	8	9	10	11	12	13	14
ms	ms	I_{peak} p.u.	Duration of the loop, Δt_1 ms	di/dt first-pole-to-clear ^b %	Maximum arcing window, Δt_{a1} ms	I_{peak} p.u.	Duration of the loop ms	di/dt first-pole-to-clear ^b %	I_{peak} p.u.	Duration of the loop, Δt_2 ms	di/dt last-pole-to-clear ^b %	Minimum arcing window ms	Maximum arcing window, Δt_{a2} ms
45	$8,5 < t \leq 22,5$	1,58	11,6	89,1	3,5	1,28	9,8	98,4	1,58	12,8	79,9	4,7	9,1
	$22,5 < t \leq 39,5$	1,40	10,5	95,6	3,3	1,19	9,4	99,5	1,40	11,8	84,0	4,5	8,4
	$39,5 < t \leq 56,5$	1,27	9,8	98,4	3,1	1,13	9,0	100	1,27	11,1	85,7	4,4	7,9
	$56,5 < t \leq 73,0$	1,19	9,3	99,5	3,0	1,09	8,8	100	1,19	10,7	86,4	4,3	7,6
60	$8,5 < t \leq 22,5$	1,66	12,2	82,8	3,7	1,32	10,0	96,9	1,66	13,3	75,9	4,8	9,4
	$22,5 < t \leq 39,5$	1,50	11,1	91,0	3,4	1,24	9,6	98,5	1,50	12,4	81,0	4,7	8,8
	$39,5 < t \leq 56,5$	1,38	10,4	95,3	3,3	1,18	9,3	99,3	1,38	11,7	83,7	4,5	8,3
	$56,5 < t \leq 73,0$	1,29	9,9	97,6	3,1	1,14	9,1	99,7	1,29	11,2	85,2	4,4	8,0
	$73,0 < t \leq 90,0$	1,22	9,5	98,6	3,1	1,10	8,9	100	1,22	10,8	85,9	4,4	7,7

- a Intermediate asymmetry, see 3.17.
- b Corresponding $d i / d t$ at current zero (percentage of the $d i / d t$ of the symmetrical rated short-circuit current).

Table E.16 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,3, f_r = 60$ Hz

		First-pole-to-clear (major loop)				Intermediate asymmetry ^a			Second-pole-to-clear (major extended loop)				
Column 1	2	3	4	5	6	7	8	9	10	11	12	13	14
τ	Minimum clearing time	I_{peak}	Duration of the loop, Δt_1	dI/dt first-pole-to-clear ^b	Maximum arcing window, Δt_{a1}	I_{peak}	Duration of the loop	dI/dt first-pole-to-clear ^b	I_{peak}	Duration of the loop, Δt_3	dI/dt second-pole-to-clear ^b	Minimum arcing window	Maximum arcing window, Δt_{a3}
ms	ms	p.u.	ms	%	ms	p.u.	ms	%	p.u.	ms	%	ms	ms
45	$8,5 < t \leq 22,5$	1,58	11,6	89,1	3,5	1,28	9,8	98,4	1,58	12,4	81,0	4,2	8,6
	$22,5 < t \leq 39,5$	1,40	10,5	95,6	3,3	1,19	9,4	99,5	1,40	11,2	86,2	4,0	7,9
	$39,5 < t \leq 56,5$	1,27	9,8	98,4	3,1	1,13	9,0	100	1,27	10,6	88,4	3,9	7,4
	$56,5 < t \leq 73,0$	1,19	9,3	99,5	3,0	1,09	8,8	100	1,19	10,1	89,3	3,8	7,1
	$8,5 < t \leq 22,5$	1,66	12,2	82,8	3,7	1,32	10,0	96,9	1,66	12,9	75,7	4,4	9,0
60	$22,5 < t \leq 39,5$	1,50	11,1	91,0	3,4	1,24	9,6	98,5	1,50	11,8	82,3	4,2	8,3
	$39,5 < t \leq 56,5$	1,38	10,4	95,3	3,3	1,18	9,3	99,3	1,38	11,2	85,7	4,0	7,8
	$56,5 < t \leq 73,0$	1,29	9,9	97,6	3,1	1,14	9,1	99,7	1,29	10,6	87,6	3,9	7,5
	$73,0 < t \leq 90,0$	1,22	9,5	98,6	3,1	1,10	8,9	100	1,22	10,2	88,5	3,8	7,2

		First-pole-to-clear (major loop)				Intermediate asymmetry ^a			Second-pole-to-clear (major extended loop)				
Column 1	2	3	4	5	6	7	8	9	10	11	12	13	14
τ	Minimum clearing time	I_{peak}	Duration of the loop, Δt_1	d <i>i</i> /d <i>t</i> first-pole-to-clear ^b	Maximum arcing window, Δt_{at}	I_{peak}	Duration of the loop	d <i>i</i> /d <i>t</i> first-pole-to-clear ^b	I_{peak}	Duration of the loop, Δt_3	d <i>i</i> /d <i>t</i> second-pole-to-clear ^b	Minimum arcing window	Maximum arcing window, Δt_{a3}
ms	ms	p.u.	ms	%	ms	p.u.	ms	%	p.u.	ms	%	ms	ms
75	$8,5 < t \leq 22,5$	1,72	12,6	77,4	3,8	1,35	10,2	95,7	1,72	13,3	71,3	4,5	9,2
	$22,5 < t \leq 39,5$	1,57	11,6	86,5	3,6	1,28	9,8	97,4	1,57	12,3	78,6	4,3	8,6
	$39,5 < t \leq 56,0$	1,46	10,9	91,9	3,4	1,22	9,5	98,5	1,46	11,6	82,6	4,1	8,1
	$56,0 < t \leq 73,0$	1,37	10,3	95,1	3,2	1,18	9,3	99,2	1,37	11,1	85,4	4,0	7,8
	$73,0 < t \leq 90,0$	1,30	9,9	97,1	3,1	1,14	9,1	99,6	1,30	10,7	87,0	3,9	7,5
120	$90,0 < t \leq 107$	1,24	9,6	98,3	3,1	1,12	9,0	99,8	1,24	10,4	88,0	3,8	7,3
	$8,5 < t \leq 22,5$	1,81	13,4	65,6	4,1	1,40	10,5	93,2	1,81	14,1	61,9	4,7	9,7
	$22,5 < t \leq 39,0$	1,71	12,5	75,6	3,8	1,35	10,2	95,0	1,71	13,2	69,7	4,5	9,2
	$39,0 < t \leq 56,0$	1,62	11,8	82,2	3,7	1,30	10,0	96,3	1,62	12,5	75,0	4,4	8,8
	$56,0 < t \leq 73,0$	1,54	11,3	87,1	3,5	1,26	9,8	97,3	1,54	12,0	78,8	4,2	8,5
	$73,0 < t \leq 89,5$	1,47	10,9	90,6	3,4	1,23	9,6	98,0	1,47	11,6	81,5	4,1	8,1
	$89,5 < t \leq 106$	1,41	10,6	93,0	3,3	1,20	9,4	98,6	1,41	11,3	83,6	4,0	7,9
^a Intermediate asymmetry, see 3.17.													
^b Corresponding d <i>i</i> /d <i>t</i> at current zero (percentage of the d <i>i</i> /d <i>t</i> of the symmetrical rated short-circuit current).													

^a Intermediate asymmetry, see 3.17.

b Corresponding dI/dt at current zero (percentage of the symmetrical rated short-circuit current).

Table E.17 – Required test parameters for different asymmetrical conditions in the case of $k_{pp} = 1,2, f_r = 60$ Hz

Column 1	2	First-pole-to-clear (major loop)				Intermediate asymmetry ^a			Second-pole-to-clear (major extended loop)				
		3	4	5	6	7	8	9	10	11	12	13	14
τ	Minimum clearing time	I_{peak}	Duration of the loop, Δt_1	di/dt first-pole-to-clear ^b	Maximum arcing window, Δt_{a1}	I_{peak}	Duration of the loop	di/dt first-pole-to-clear ^b	I_{peak}	Duration of the loop, Δt_3	di/dt second-pole-to-clear ^b	Minimum arcing window	Maximum arcing window, Δt_{a3}
ms	ms	p.u.	ms	%	ms	p.u.	ms	%	p.u.	ms	%	ms	ms
120	$8,5 < t \leq 22,5$	1,81	13,4	65,6	4,1	1,40	10,5	93,2	1,81	13,9	61,9	4,5	9,5
	$22,5 < t \leq 39,0$	1,71	12,5	75,6	3,8	1,35	10,2	95,0	1,71	13,0	70,5	4,3	9,0
	$39,0 < t \leq 56,0$	1,62	11,8	82,2	3,7	1,30	10,0	96,3	1,62	12,3	76,4	4,1	8,6
	$56,0 < t \leq 73,0$	1,54	11,3	87,1	3,5	1,26	9,8	97,3	1,54	11,8	80,6	4,0	8,2
	$73,0 < t \leq 89,5$	1,47	10,9	90,5	3,4	1,23	9,6	98,0	1,47	11,4	83,6	3,9	7,9
	$89,5 < t \leq 106$	1,41	10,6	93,0	3,3	1,20	9,4	98,6	1,41	11,0	85,8	3,8	7,7

^a Intermediate asymmetry, see 3.17.

^b Corresponding di/dt at current zero (percentage of the di/dt of the symmetrical rated short-circuit current).

Annex F (informative)

Three-phase synthetic test circuits

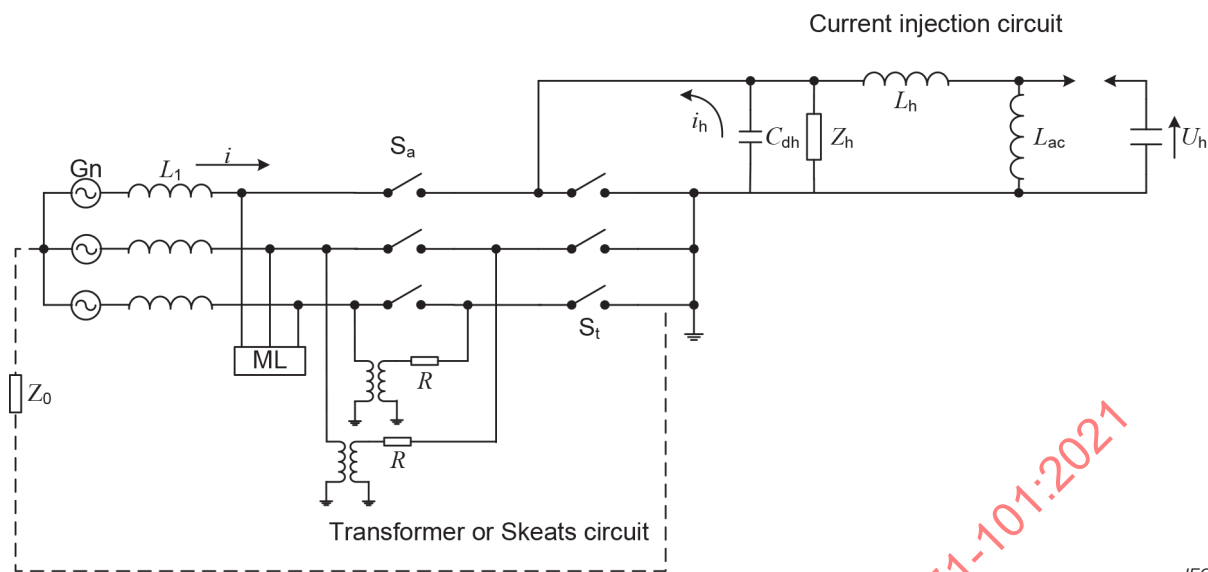
F.1 General

Annex F outlines some typical three-phase synthetic test circuits.

F.2 Three-phase synthetic combined circuit

This circuit is shown in Figure F.1 and consists of the following:

- a three-phase current circuit;
When the circuit of Figure 28a of IEC 62271-100:2021, first-pole-to-clear factor 1,3, is used, an additional inductance is connected in the neutral connection of the current source.
- a three-phase auxiliary circuit-breaker;
- a voltage circuit: current injection parallel circuit, in accordance with Figure 145 and Figure 146 of IEC TR 62271-306:2012/AMD1:2018, connected between one phase and earth;
Through this circuit, a four-parameter TRV is applied. Moreover, by means of an additional inductance L_{ac} , it is possible to obtain an oscillating recovery voltage at rated power frequency.
- two voltage circuits: duplicate (Skeats) circuits, in accordance with Figure 148 of IEC TR 62271-306:2012/AMD1:2018, connected between each one of the other two phases and earth;
Through these circuits, two parameter TRVs, whose envelope satisfies the specified four-parameter TRV reference line, are applied.
- re-ignition circuits connected to each phase to prevent an early clearance of the test circuit-breaker and to check the longest possible arcing time.



IEC

Key

G _n	Generator	C _{dh}	capacitance for time delay of voltage circuit
S _a	auxiliary circuit-breaker	L _h	inductance of voltage circuit
S _t	test circuit-breaker	U _h	charging voltage of voltage circuit
Z ₀	impedance in the neutral connection (when circuit with $k_{pp} = 1,3$ is used)	i	current of current circuit
L ₁	inductance of current circuit	i _h	injected current
ML	multi-loop re-ignition circuit	L _{ac}	additional reactance when AC recovery voltage is requested
Z _h	equivalent surge impedance of voltage circuit		

Figure F.1 – Three-phase synthetic combined circuit

The three voltage circuits shall be connected to the different phases according to the requirements of Table 2.

Figure F.2 shows the waveshapes of currents, phase-to-ground and phase-to-phase voltages during a three-phase synthetic breaking test (T100s; $k_{pp} = 1,5$) performed according to the three-phase synthetic combined circuit.

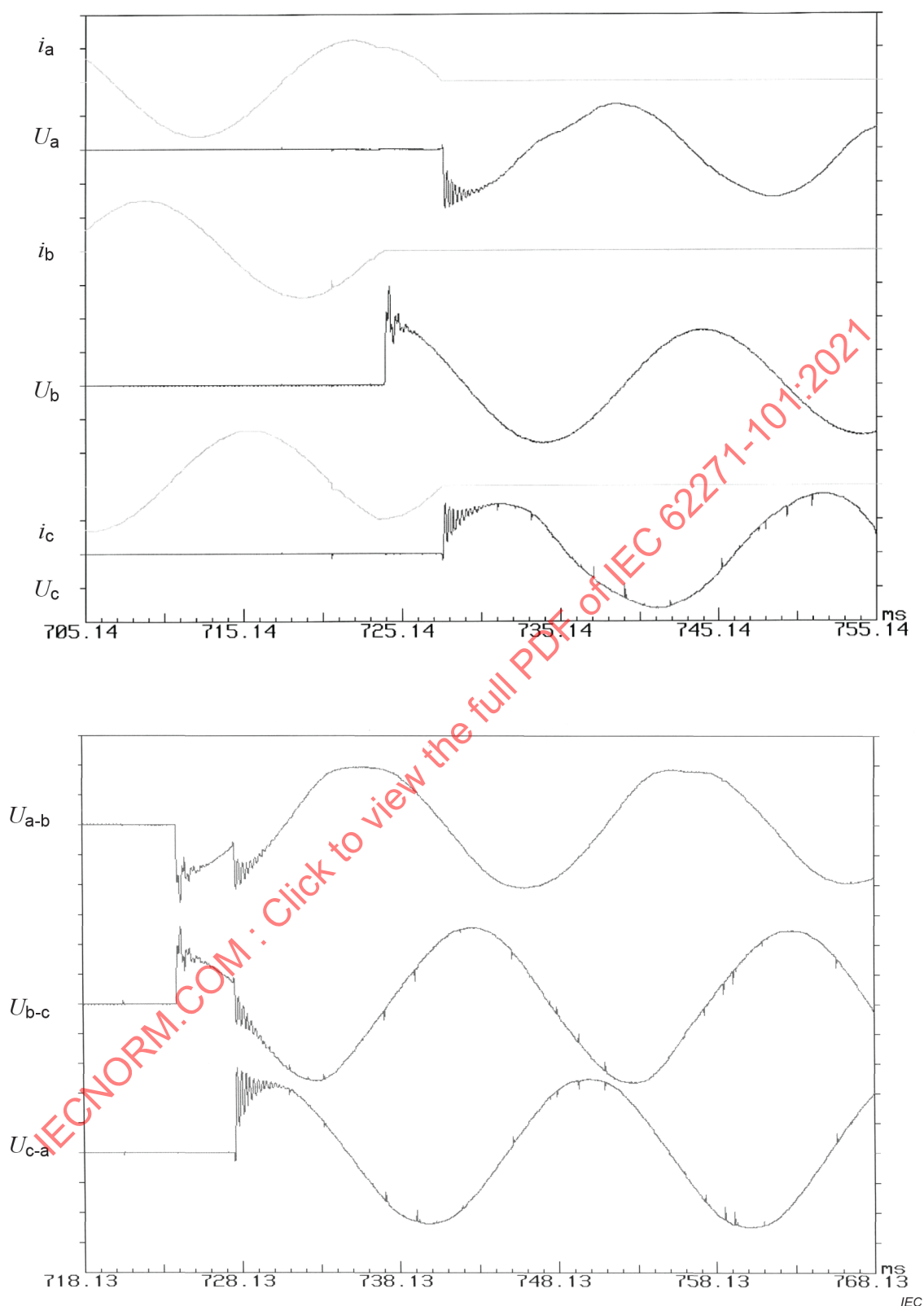


Figure F.2 – Waveshapes of currents, phase-to-ground and phase-to phase voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,5$) performed according to the three-phase synthetic combined circuit

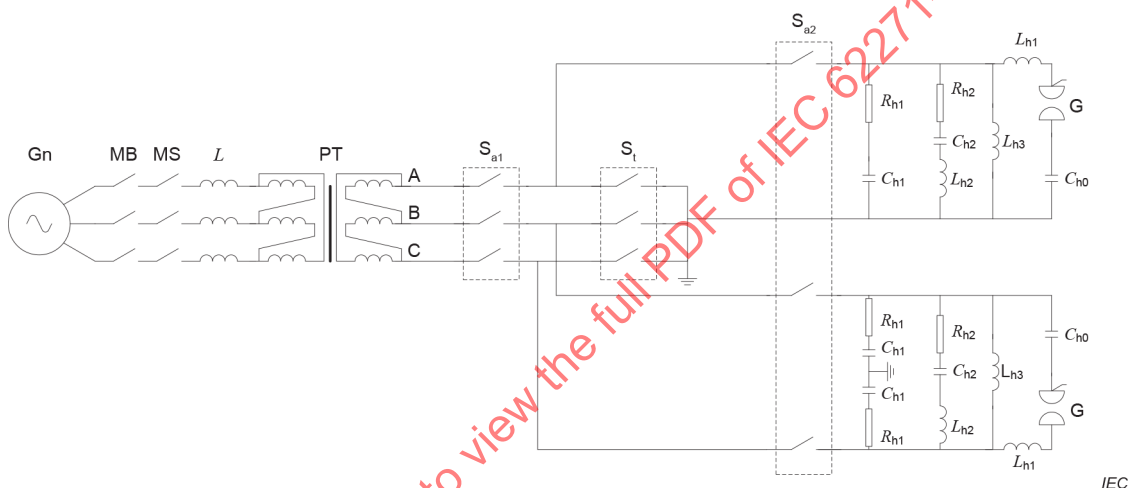
F.3 Three-phase synthetic circuit with injection in all phases

This circuit is shown in Figure F.3 and consists of the following:

- a three-phase current circuit;
- a three-phase auxiliary circuit-breaker;
- a voltage circuit: current injection parallel circuit, in accordance with Figure 145 and Figure 146 of IEC TR 62271-306:2012/AMD1:2018, connected between one phase and earth;
- a voltage circuit, as above, connected between the other two phases;

This circuit differs only from a normal current injection parallel circuit in that the return conductor shall be properly insulated from earth. The recovery voltage can be equally distributed between the two last clearing poles with grading capacitors.

- re-ignition circuits connected to each phase to prevent an early clearing of the test circuit-breaker and to check the longest possible arcing time.



Key

Current circuit

Gn	generator
MB	master breaker
MS	make switch
L	inductance of the current circuit
PT	power transformer
St	test circuit-breaker
Sa1,2	auxiliary circuit-breakers

Voltage circuit

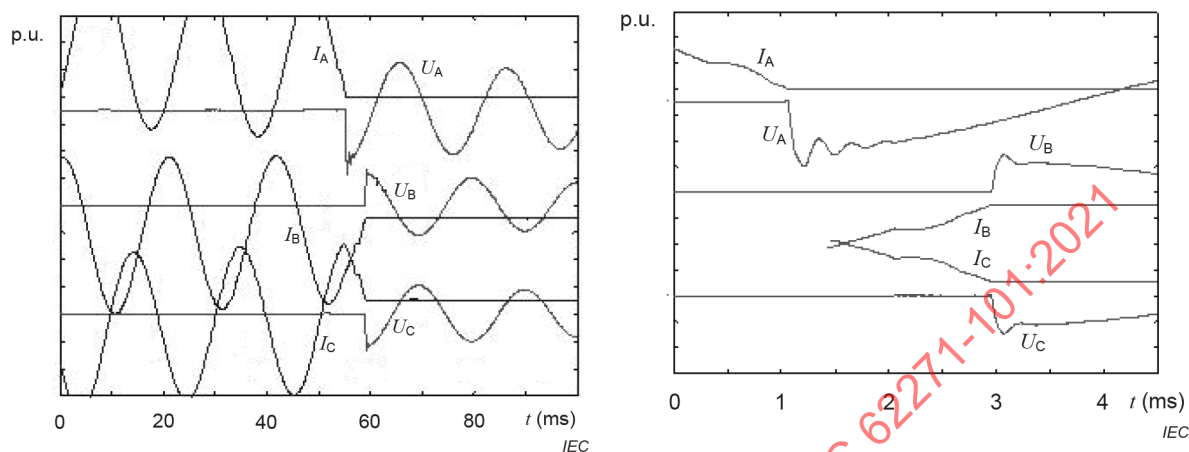
Ch0	main capacitor
Ch1,2	TRV control capacitor
Rh1,2	damping resistor
Lh1,2	inductance of voltage circuit
Lh3	power-frequency inductance

Figure F.3 – Three-phase synthetic circuit with injection in all phases for $k_{pp} = 1,5$

Through these circuits, a four-parameter TRV is applied. Moreover, by means of an additional inductance L_{ac} , it is possible to obtain an oscillating recovery voltage at rated power frequency.

The two voltage circuits shall be connected to the different phases according to the requirements of Table 2.

Figure F.4 shows the waveshapes of currents and phase-to-ground voltages during a three-phase synthetic breaking test (T100s; $k_{pp} = 1,5$) performed according to the three-phase synthetic circuit with injection in all phases.



Key

U_A, U_B, U_C voltages across circuit-breaker poles A, B and C, respectively

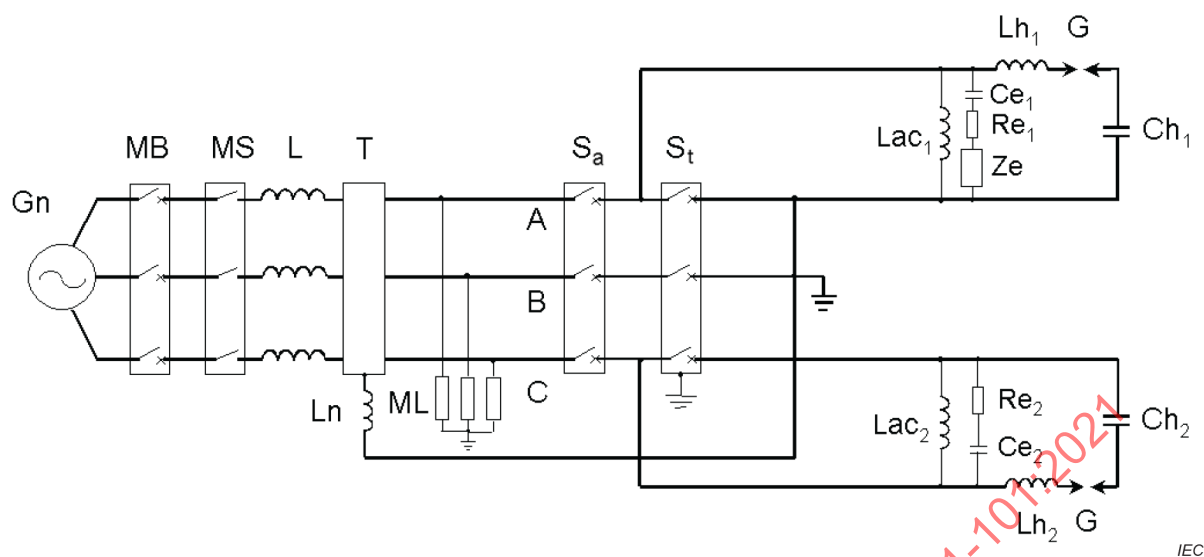
I_A, I_B, I_C current through circuit-breaker poles A, B and C, respectively

Figure F.4 – Waveshapes of currents and phase-to-ground voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,5$) performed according to the three-phase synthetic circuit with injection in all phases

F.4 Three-phase synthetic circuit with injection in two phases

This circuit is shown in Figure F.5 and consists of the following:

- a three-phase current circuit;
When the circuit of Figure 28a of IEC 62271-100:2021, first-pole-to-clear-factor 1,3, is used, an additional inductance is connected in the neutral connection of the current source.
- a three-phase auxiliary circuit-breaker;
- a voltage circuit: current injection parallel circuit, in accordance with Figure 145 and Figure 146 of IEC TR 62271-306:2012/AMD1:2018, connected between one phase and earth;
- a voltage circuit, as above, connected between one of the other two phases and earth. As an alternative, this circuit could be a voltage injection parallel circuit in accordance with Figure 150 and Figure 151 of IEC TR 62271-306:2012/AMD1:2018;
- re-ignition circuits connected to each phase to prevent an early clearance of the test circuit-breaker and to check the longest possible arcing time.

**Key**

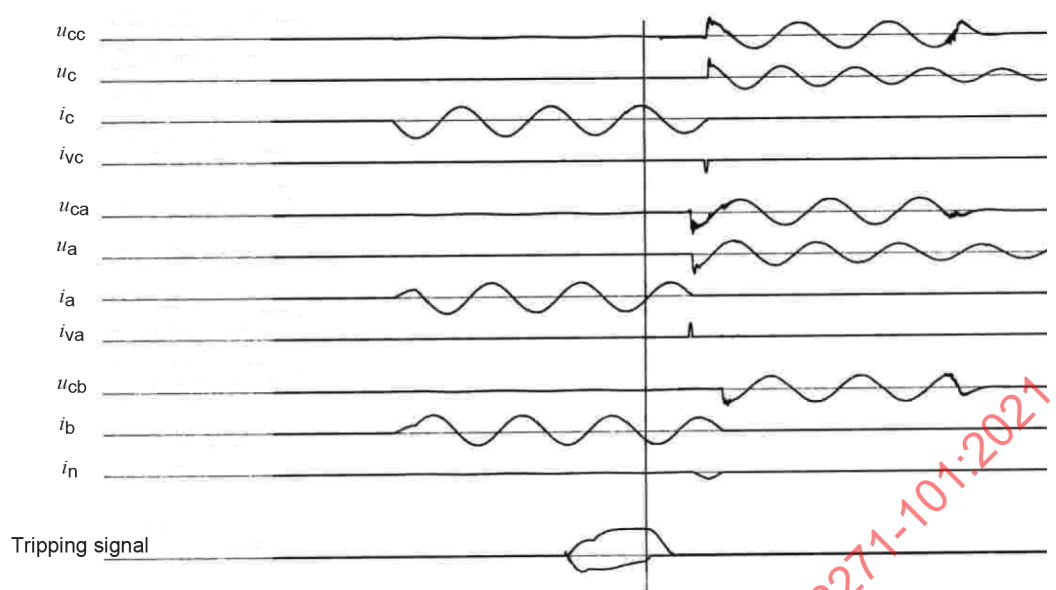
Gn	generator	MB	back-up circuit-breaker
MS	making switch	T	transformer
S _a	auxiliary circuit-breaker	S _t	test circuit-breaker
L	inductance of current circuit	Ln	inductance in the neutral connection
ML	multi-loop re-ignition circuit	G	trigger gap
Lac ₁ , Lac ₂	inductance for AC recovery voltage	R _e , C _e , Z _e	TRV components
Lh ₁ , Lh ₂	inductance of voltage circuit	Ch ₁ , Ch ₂	main capacitor banks

Figure F.5 – Three-phase synthetic circuit for terminal fault tests with $k_{pp} = 1,3$ (current injection method)

Through these circuits, a four-parameter TRV is applied. Moreover, by means of an additional inductance L_{ac} , it is possible to obtain an oscillating recovery voltage at rated power frequency.

The two voltage circuits shall be connected to the different phases according to the requirements of Table 2.

Figure F.6 and Figure F.7 show the waveshapes of currents, phase-to-ground and phase-to-phase voltages during a three-phase synthetic breaking test (T100s; $k_{pp} = 1,3$) performed according to the three-phase synthetic circuit with current injection in two phases.



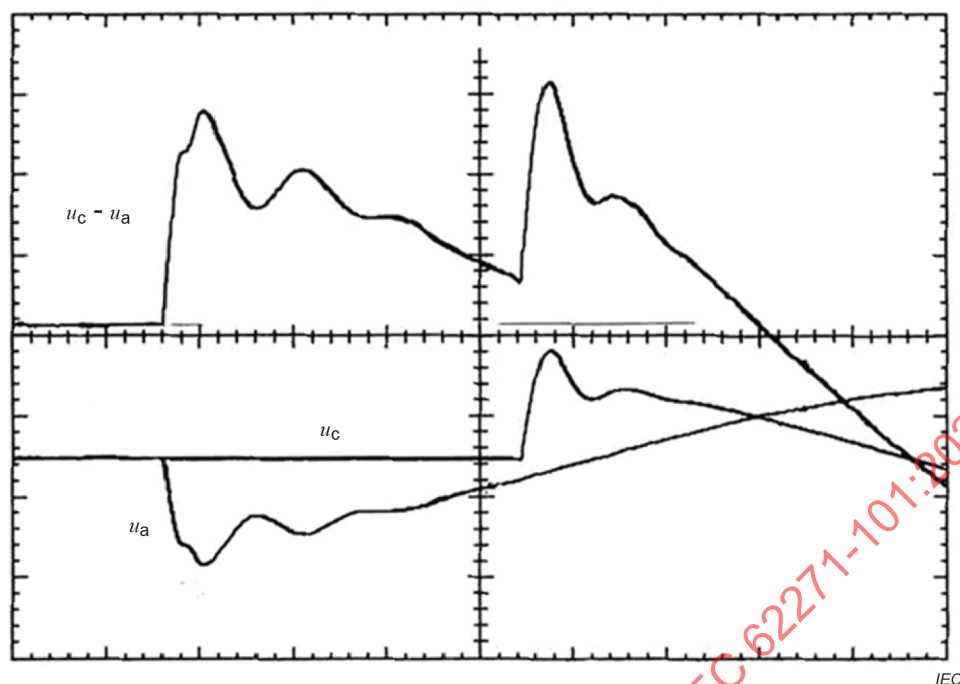
IEC

Key

u_{cc}	voltage of current circuit
u_c	TRV, RV
i_{vc}	injected current
u_{ca}	voltage of current circuit

u_a	TRV, RV
i_{va}	injected current
u_{cb}	voltage of current circuit
i_n	neutral

Figure F.6 – Waveshapes of currents and phase-to-ground voltages during a three-phase synthetic test (T100s; $k_{pp} = 1,3$) performed according to the three-phase synthetic circuit shown in Figure F.5

**Key**

u_a , u_c voltages across poles A and C of the test circuit-breaker, respectively

Figure F.7 – TRV voltages waveshapes of the test circuit described in Figure F.5

The circuit in Figure F.5 is not applying the correct voltage between phases, as no TRV and recovery voltage is applied on one phase. Therefore, care should be taken when using this circuit, for example for circuit-breaker having all three poles in the same enclosure. This circuit could be used in combination with multi-part testing.

Annex G (informative)

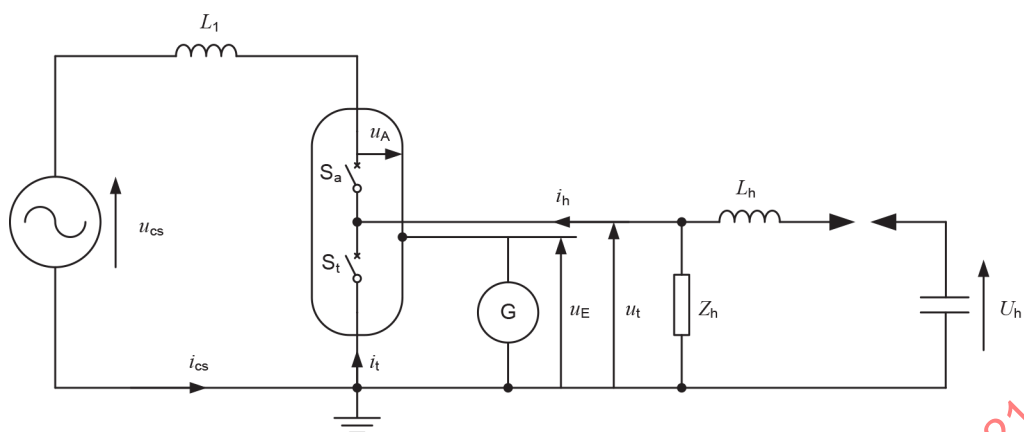
Examples of test circuits for metal-enclosed and dead tank circuit-breakers

Annex G outlines some examples of synthetic test circuits for type testing relevant to short-circuit making, breaking and switching performance of metal-enclosed and dead tank circuit-breakers. Test procedures applicable for metal-enclosed and dead tank circuit-breakers are described in Annex I of IEC 62271-100:2021.

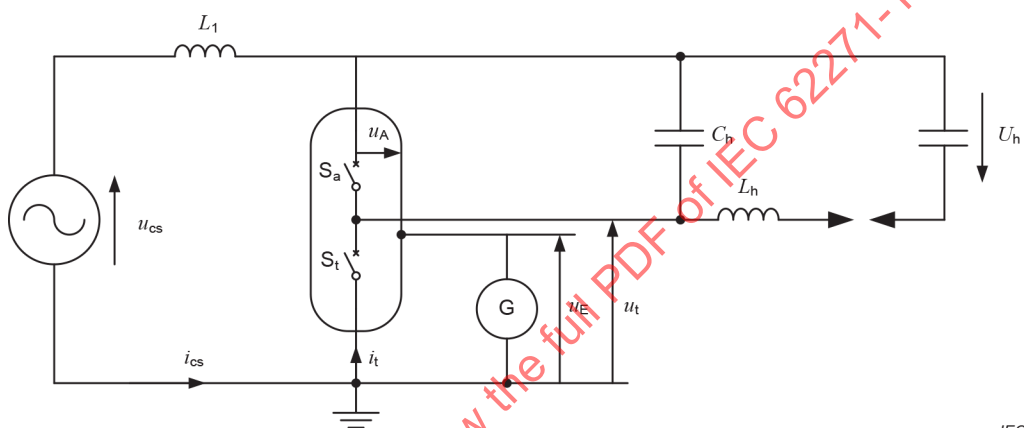
Many circuits are possible with different features. Some examples are given in Figure G.1 to Figure G.9 as follows:

- terminal fault tests on one or more units of metal-enclosed or dead tank circuit-breakers (Figure G.1 to Figure G.6);
- capacitive current switching tests (Figure G.7 to Figure G.9);
- out-of-phase making test (Figure G.10).

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2021



a) – Example of an injection circuit with voltage circuit in parallel with the unit(s) under test



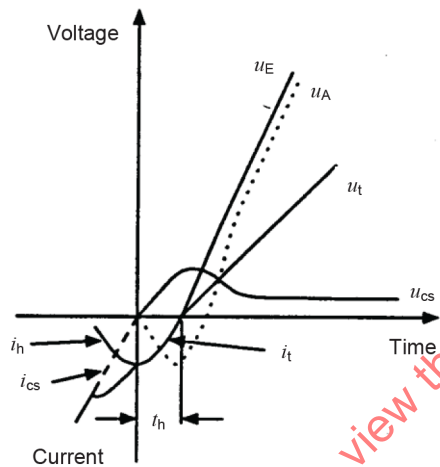
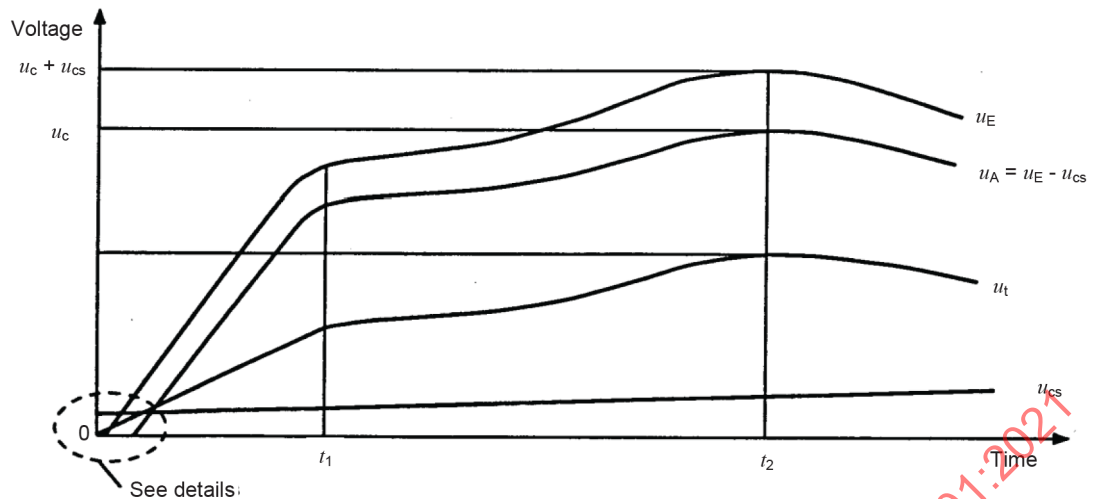
b) – Example of an injection circuit with voltage circuit in parallel with the unit(s) used as auxiliary circuit-breaker

Key

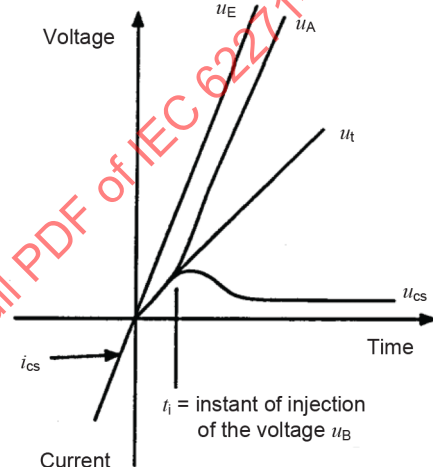
- S_a unit(s) of the circuit-breaker used as auxiliary circuit-breaker
- S_t unit(s) of the circuit-breaker used as test circuit-breaker
- G supply of u_E , applied to the enclosure
- u_{cs} voltage of the current circuit
- i_{cs} current of the current circuit
- i_h injected current
- i_t current through S_t
- L_1 inductance of the current circuit
- L_h inductance of the voltage circuit
- Z_h equivalent surge impedance of the voltage circuit
- C_h capacitance of the voltage circuit which, together with L_h , controls the major part of the TRV

For explanation of u_t , u_E and u_A , see Figure G.2.

**Figure G.1 – Example of a test circuit for unit testing
(circuit-breaker with interaction due to gas circulation)**



Example of voltage waveshapes in a current injection circuit, in accordance with Figure G.1 a), with the voltage circuit in parallel with the unit(s) as test circuit-breaker

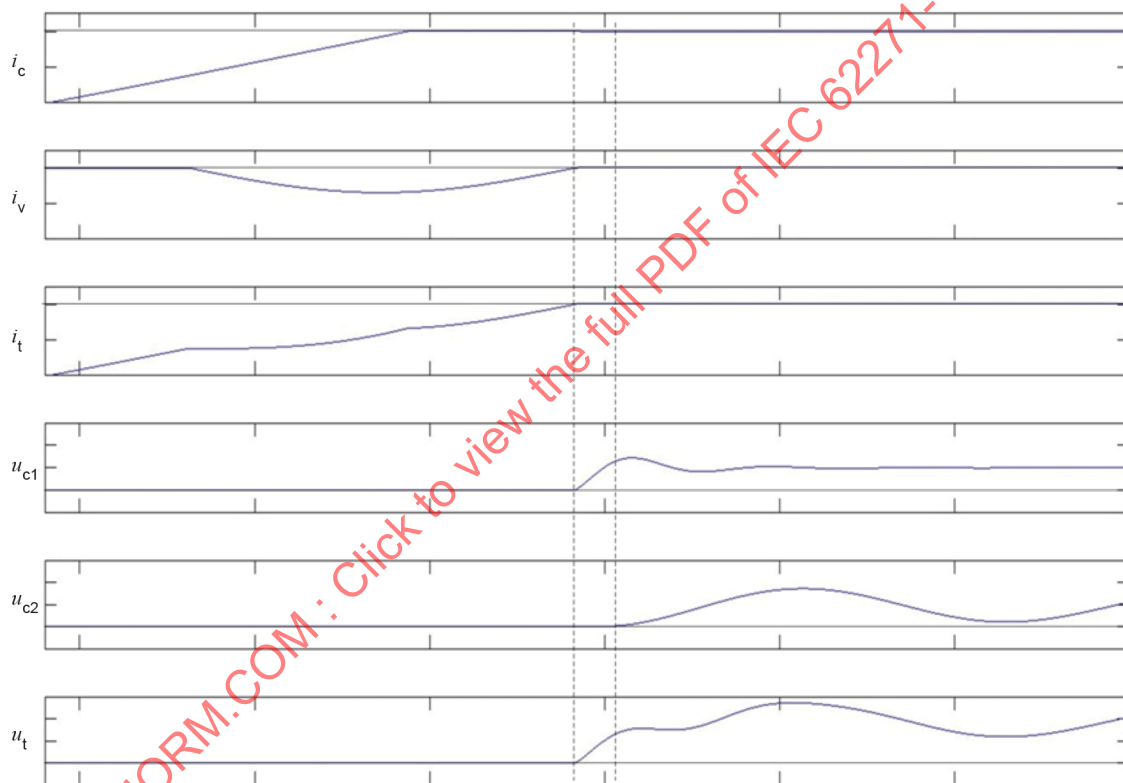
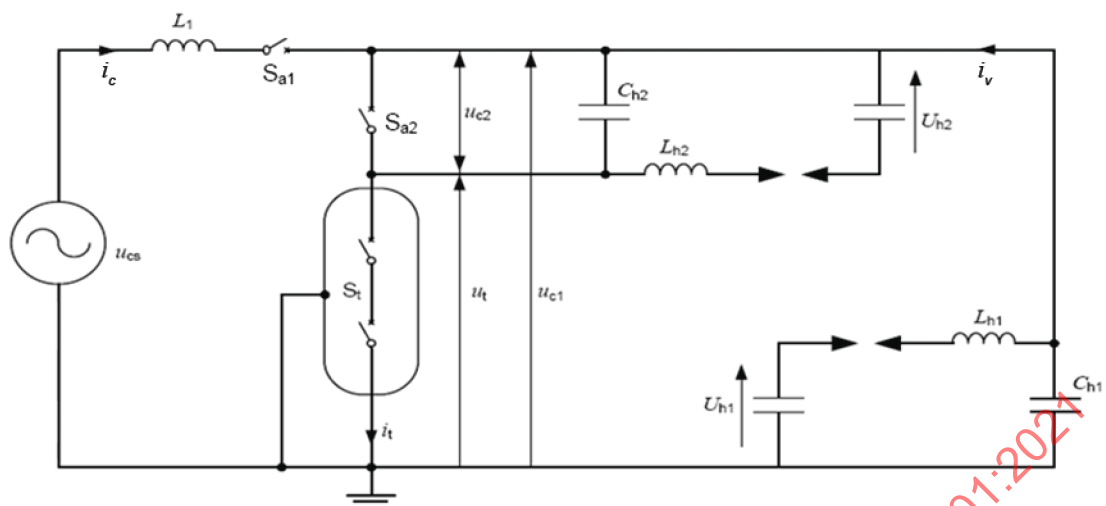


Example of voltage waveshapes in a voltage injection circuit, in accordance with Figure G.1 b), with the voltage circuit in parallel with the unit(s) as auxiliary circuit-breaker

Key

- u_E voltage applied to the insulated enclosure
- u_t voltage applied to the contact gap of the unit(s) under test (resulting voltage between the terminal not earthed of the unit under test and the enclosure; a linear distribution of the voltage between the units is assumed)
- u_{CS} voltage of the current circuit
- u_A resulting voltage between one terminal and the enclosure
- u_C peak of the TRV

**Figure G.2 – Oscillogram corresponding to Figure G.1 –
Example of the required TRVs to be applied between the terminals of
the unit(s) under test and between the live parts and the insulated enclosure**

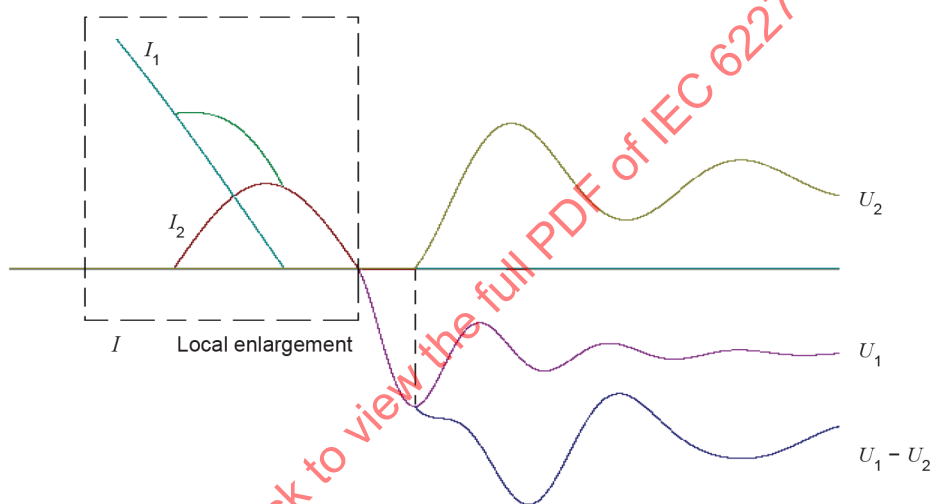
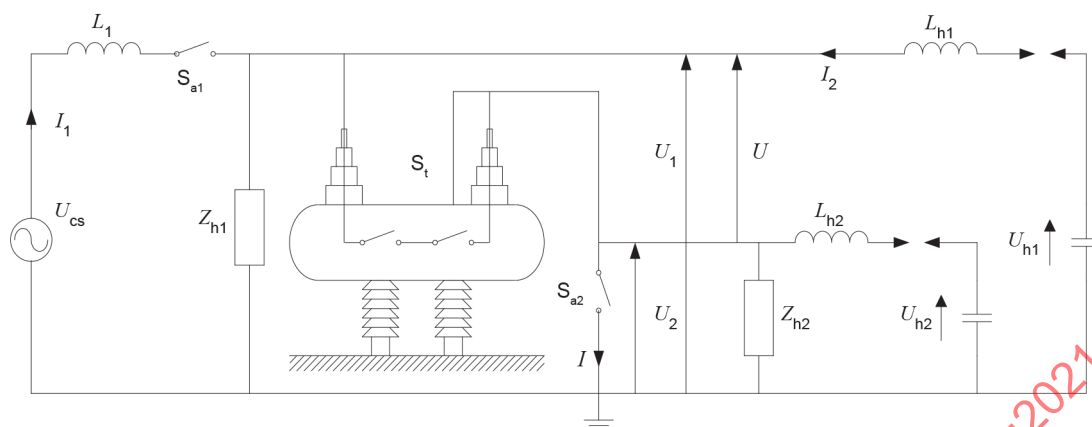


IEC

Key

S_{a1}, S_{a2}	auxiliary circuit-breakers	u_{c1}, u_{c2}	voltages applied to both terminals of the circuit-breaker under test
S_t	circuit-breaker under test	i_v	Injected current
u_t	voltage across S_t	U_{h1}, U_{h2}	charging voltages of voltage circuits
S_t	capacitance of voltage circuits	i_c	current of the current circuit
L_{h1}, L_{h2}	inductance of voltage circuits		
i_t	current through S_t		
L_1	inductance of current circuit		

Figure G.3 – Example of test circuit using two voltage circuits for breaking tests

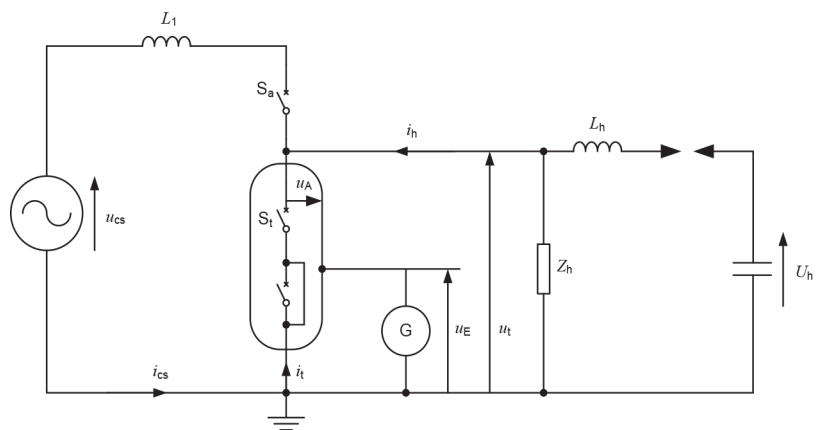


IEC

Key

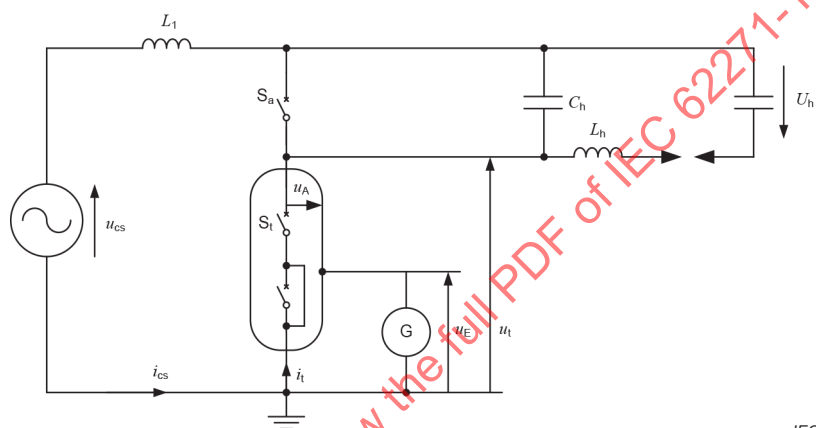
- S_{a1}, S_{a2} auxiliary circuit-breakers
- S_t circuit-breaker under test
- U_t voltage of the current circuit
- L_1 inductance of current circuit

Figure G.4 – Example of test circuit using two voltage circuits for breaking tests



IEC

a) – Example of an injection circuit with voltage circuit in parallel with the unit(s) under test



IEC

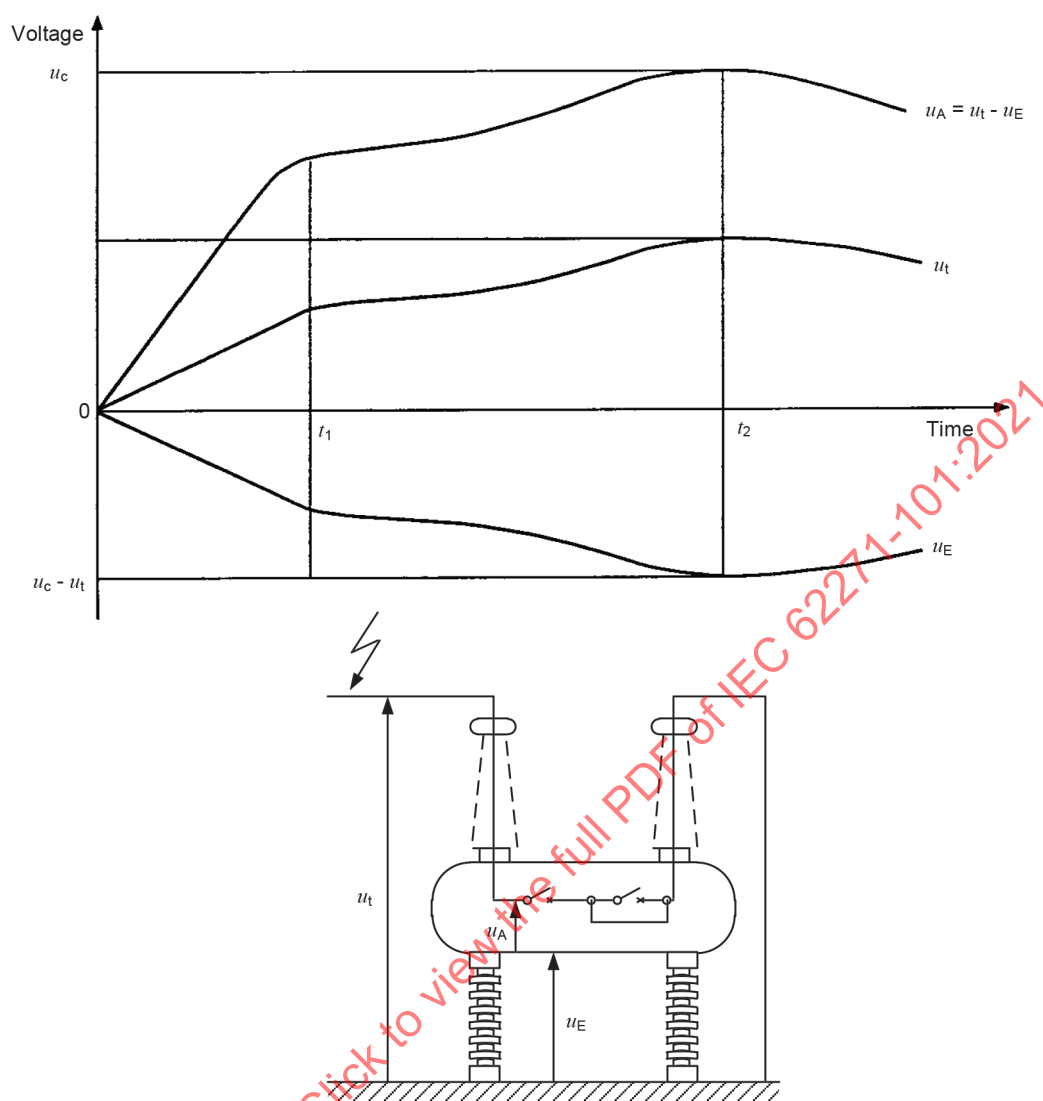
b) – Example of an injection circuit with voltage circuit in parallel with the auxiliary circuit-breaker

Key

S_a	auxiliary circuit-breaker
S_t	unit(s) of the test circuit-breaker
G	supply of voltage u_E applied to the enclosure
u_A	resulting voltage between one terminal and the enclosure
u_{cs}	voltage of the current circuit
i_{cs}	current of the current circuit
i_h	injected current
i_t	current through S_t
L_h	inductance of the voltage circuit
Z_h	equivalent surge impedance of the voltage circuit
C_h	capacitance of the voltage circuit which, together with L_h , controls the major part of the TRV

For explanation of u_t , see Figure G.4.

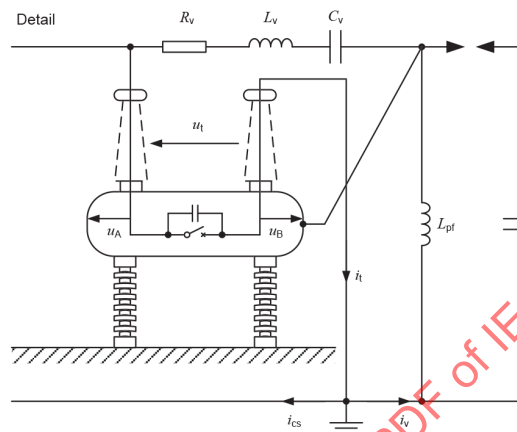
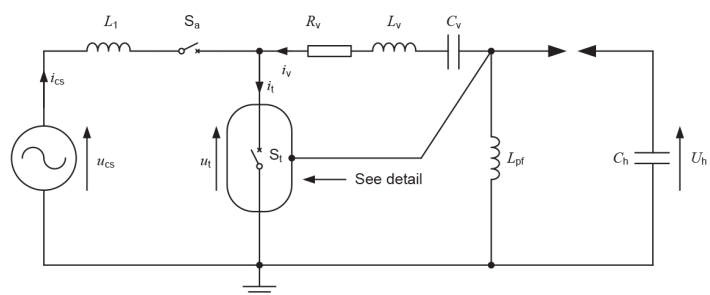
Figure G.5 – Example of a synthetic test circuit for unit testing (if unit testing is allowed as per 7.102.4.2 of IEC 62271-100:2021)



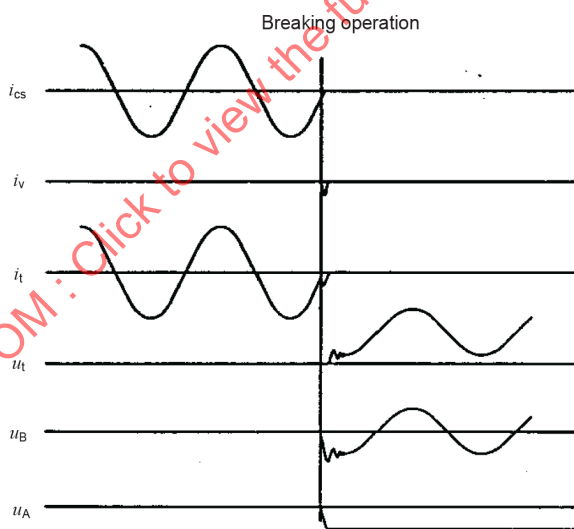
Key

- u_E voltage applied to the insulated enclosure
- u_t voltage applied to the contact gap of the unit(s) under test
- u_A resulting voltage between one terminal and the enclosure
- u_c peak of the TRV

**Figure G.6 – Oscillogram corresponding to Figure G.3 –
Example of the required TRVs to be applied between the terminals
of the unit(s) under test and between the live parts and the insulated enclosure**



a) – General layout of the test circuit

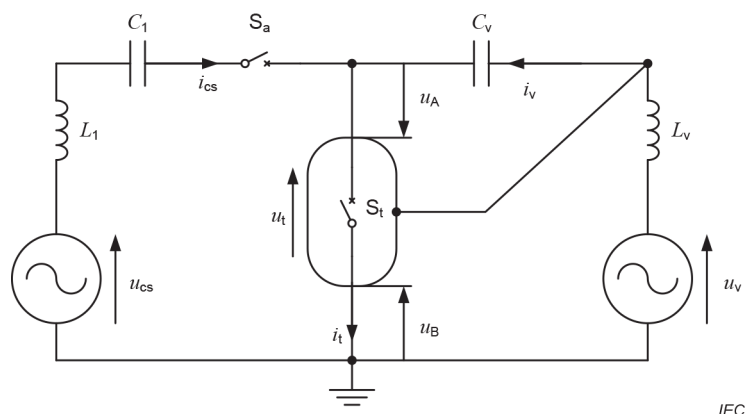


b) – Qualitative current and voltage waveshapes

Key

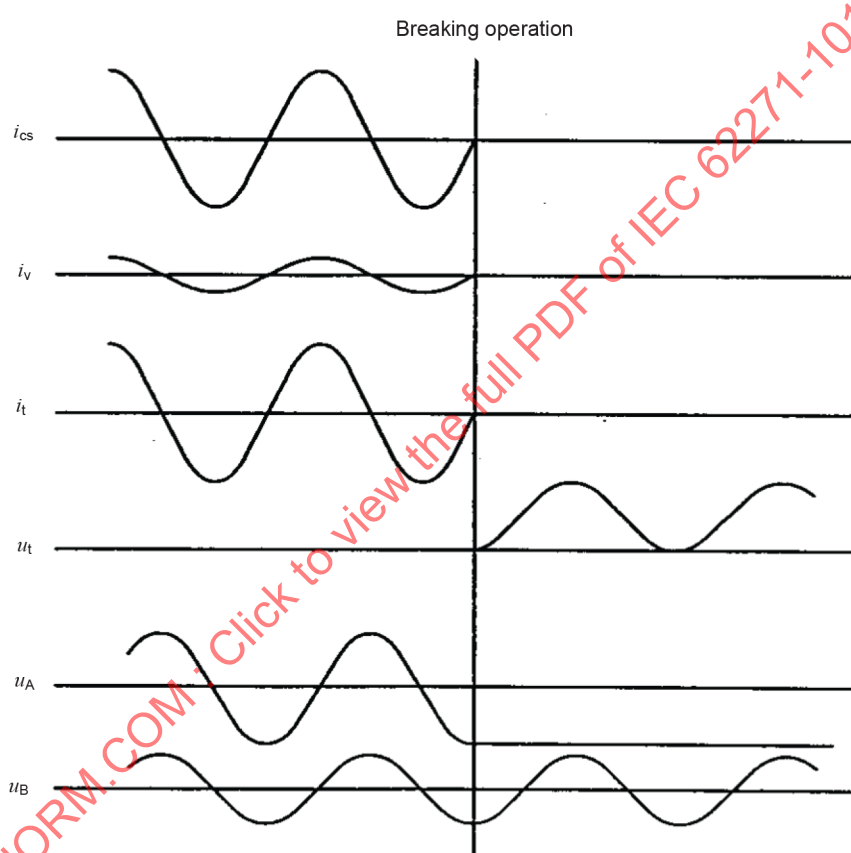
S_a	auxiliary circuit-breakers	i_v	injected current
S_t	circuit-breaker under test	i_t	test current
U_h	charging voltage of the voltage circuit	u_A	resulting voltage between the energized terminal of the circuit-breaker and the enclosure
u_{cs}	voltage of the current circuit	u_B	resulting voltage between the earthed terminal of the circuit-breaker and the enclosure
i_{cs}	current of the current circuit	u_t	test voltage

Figure G.7 – Example of a capacitive current injection circuit with enclosure of the circuit-breaker energized



IEC

a) – General layout of the test circuit



IEC

b) – Qualitative current and voltage waveshapes

Key

S_a	auxiliary circuit-breakers	i_v	current of the voltage circuit
S_t	circuit-breaker under test	i_t	test current
u_v	voltage of the voltage circuit	u_A	resulting voltage between the energized terminal of the circuit-breaker and the enclosure
u_{cs}	voltage of the current circuit	u_B	resulting voltage between the earthed terminal of the circuit-breaker and the enclosure
i_{cs}	current of the current circuit	u_t	test voltage

Figure G.8 – Example of a capacitive synthetic circuit using two power-frequency circuits and with the enclosure of the circuit-breaker energized

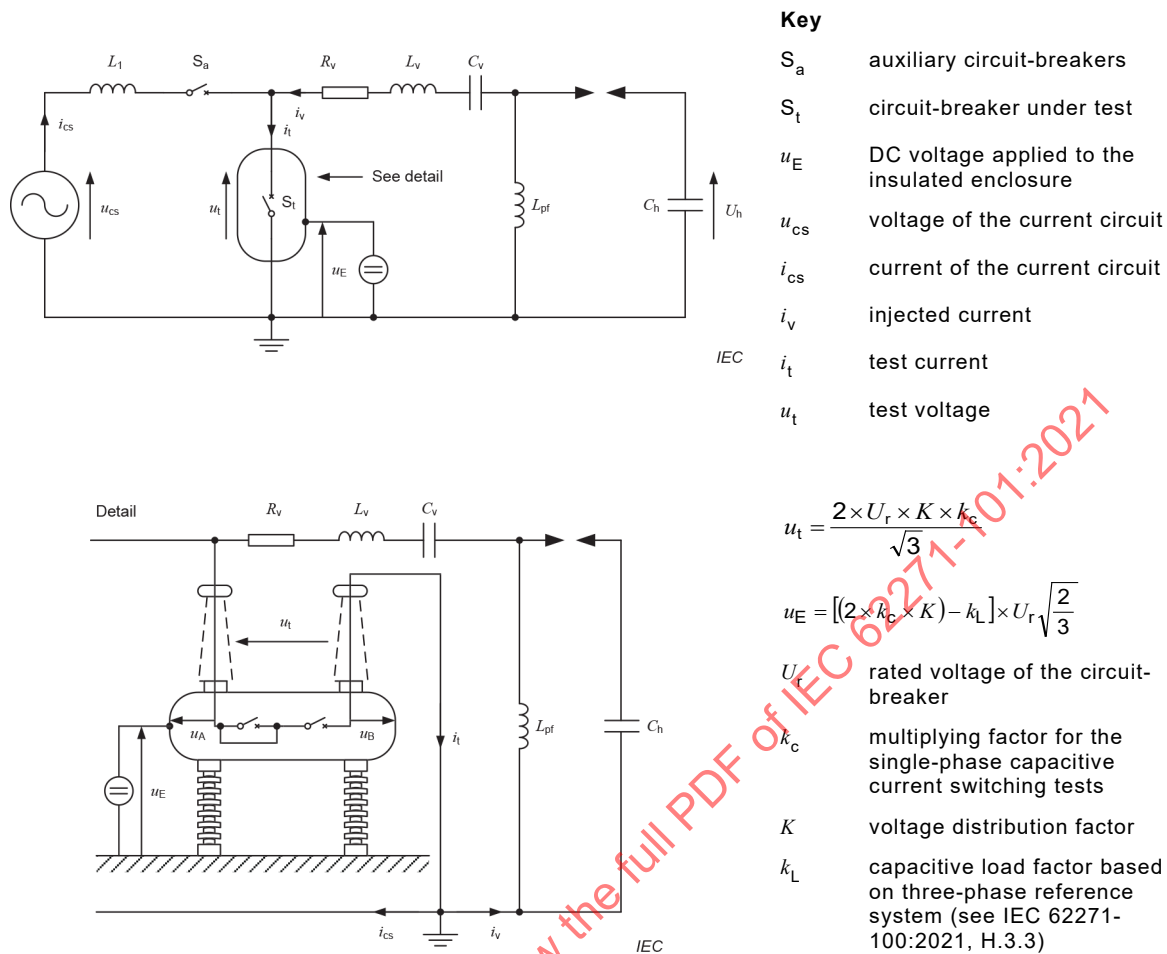
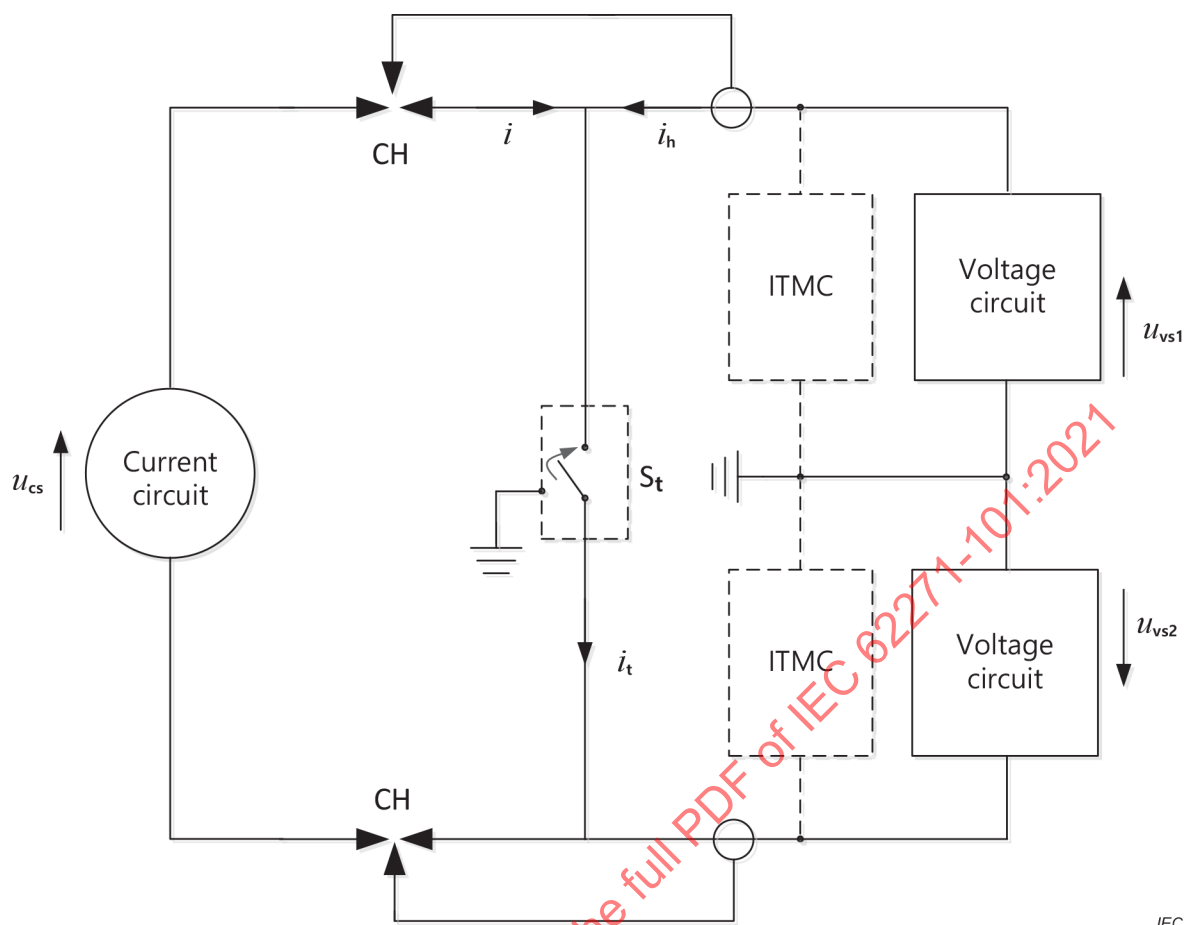


Figure G.9 – Example of a capacitive synthetic current injection circuit – Unit testing on half a pole of a circuit-breaker with two units per pole – Enclosure energized with DC voltage



IEC

Figure G.10 – Example of a synthetic making circuit for out-of-phase tests

Annex H (informative)

Step-by-step method to prolong arcing

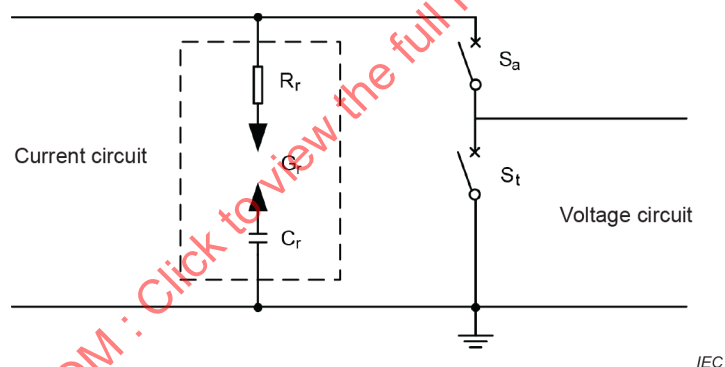
With this method, only one voltage circuit is used. The test circuit-breaker is artificially re-ignited by a special re-ignition circuit, or other means, in order to prolong arcing up to the current zero at which the voltage circuit is to be applied.

a) Method with a separate re-ignition circuit

A separate re-ignition circuit provides a rapidly rising pulse of current, of opposite polarity to that of the power-frequency current, approximately 10 μ s before current zero. The current through the circuit-breaker is thus rapidly reversed and conduction in the arc gap is maintained for a further loop of power-frequency current. As an example, a re-ignition circuit is indicated in Figure H.1 and Figure H.2. Several such circuits can be used for prolonging the arcing through several loops of current. The re-ignition circuit can in principle be applied to re-ignite both test and auxiliary circuit-breaker. However, the need to re-ignite both circuit-breakers is usually avoided by suitably delaying the separation of the auxiliary circuit-breaker contacts.

b) Method with increased power-frequency circuit severity

In some cases, the arcing of the test circuit-breaker can be prolonged by increasing the rate-of-rise of the transient recovery voltage in the power-frequency current circuit. Whether this is effective or not depends upon the characteristics of the power-frequency current circuit and of the circuit-breaker under test.



Key

S_t test circuit-breaker
 S_a auxiliary circuit-breaker
 R_r resistor for re-ignition circuit

C_r capacitor for re-ignition circuit
 G_r spark gap for closing re-ignition circuit

Figure H.1 – Example of a re-ignition circuit diagram for prolonging arc-duration

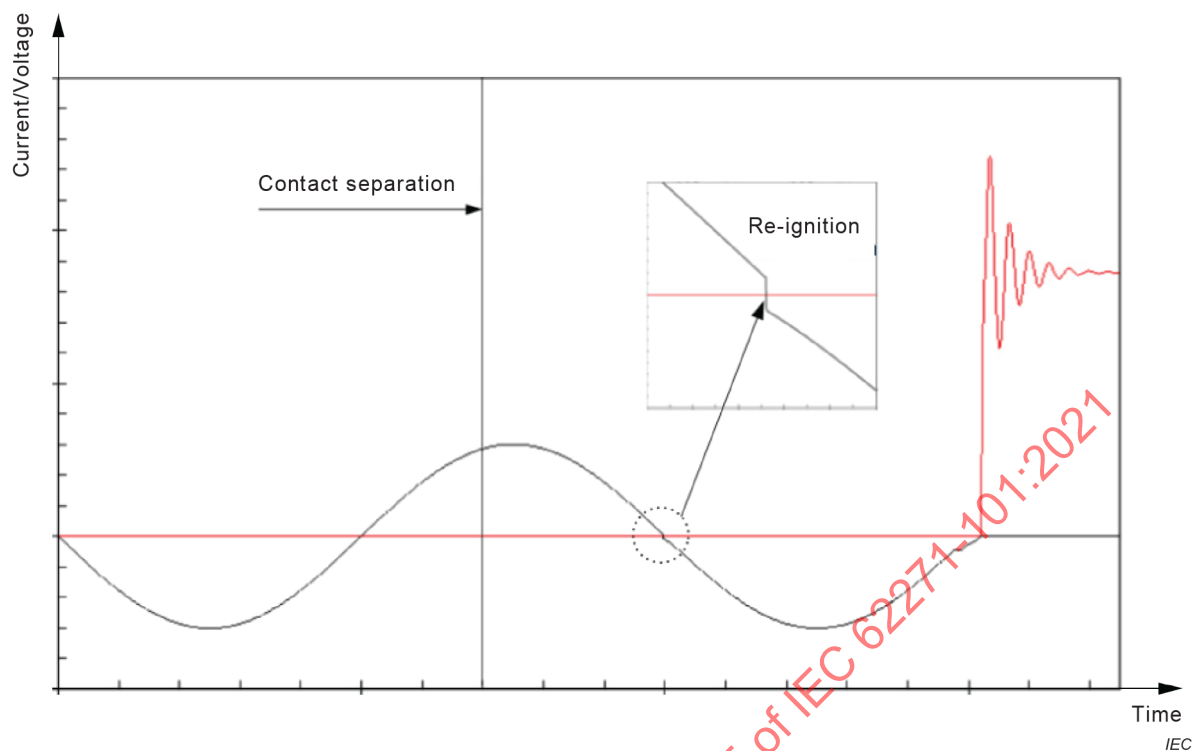


Figure H.2 – Example of waveforms obtained during a symmetrical test using the circuit in Figure H.1

Annex I (informative)

Synthetic methods for capacitive current tests

I.1 General

Synthetic capacitive current switching tests are generally performed using single-phase test circuits. There are principally two types of circuits.

a) Combined current and voltage circuits

The test circuit consists of a current circuit and a voltage circuit. Both circuits have a capacitive nature, although an inductive or resistive current circuit can be used as an alternative, provided that the phase angle between the two circuits is changed accordingly.

The two circuits can be power-frequency fed transformers or charged capacitors, or a combination of both. The application of this type of circuit implies the use of an auxiliary circuit-breaker to isolate the test circuit-breaker from the current circuit.

The time between separation of voltage circuit and current circuit by the auxiliary circuit-breaker (current zero in the current circuit) and the current zero in the voltage circuit should not be longer than 500 μ s.

b) LC oscillating circuits

The test circuit consists of an LC oscillating circuit that provides both the current and voltage from a single source. The application of this type of circuit does not require the use of an auxiliary circuit-breaker.

For applicability of the mentioned methods in case of metal-enclosed circuit-breakers, see Annex G of this document and Annex H of IEC 62271-100:2021.

NOTE Phenomena occurring after a restrike or a re-ignition event are not representative of service conditions as the test circuit does not adequately reproduce the post-event voltage conditions.

Many test circuits are possible with different features. Some examples are given in Figure I.1 to Figure I.7.

An impedance can be added for protection of the test circuit and/or control of the inrush current, provided that the prospective recovery voltage is in accordance with 7.111.10 of IEC 62271-100:2021.

I.2 Recovery voltage

In principle, the recovery voltage consists of an AC voltage applied to one terminal of the test circuit-breaker, while a slowly decaying DC voltage stresses the other terminal. In some test circuits, both voltages are superimposed at one terminal of the test circuit-breaker, the other terminal being earthed. This condition is more severe with respect to both the insulation to earth and across contacts. The combined current and voltage circuits of Figure I.4 and Figure I.5 can be used to apply the correct voltage stresses to each terminal of the circuit-breaker. For synthetic method, the decay of the AC voltage should be kept within limits given in 7.111.7 and Figure 12.

I.3 Combined current and voltage circuits

When tests are performed using the circuits described in I.1 a), the connection of the current and voltage circuits to the auxiliary and test circuit-breakers can be in parallel mode, subtracting the voltages on the auxiliary circuit-breaker, or in series mode, and adding the voltages on the test circuit-breaker.

Depending on whether the voltage circuit is connected permanently or switched in before or after power-frequency current zero, a distinction can be made between power-frequency current superposition, current injection and voltage injection circuits.

I.4 Making tests

An example of a test circuit is given in Figure I.7.

The voltage circuit supplies the test voltage during closing of the contacts until dielectric breakdown occurs causing the initial transient making current to flow.

I.5 Current chopping

Current chopping phenomena, caused by interaction between a circuit-breaker and its circuit (in service or during laboratory tests), generally leads to a reduction of the load side voltage and thus also of the dielectric stress applied to the circuit-breaker.

In service or during laboratory tests in direct test circuits, chopping of small capacitive currents can take place. In synthetic test circuits, the probability of these events occurring is increased for the following reasons:

- generally speaking the characteristic parameters of the main and stray components of some synthetic test circuits are different and can influence the chopping behaviour of the circuit-breaker;
- the effect of additional (auxiliary) circuit-breakers in series with the test circuit-breaker in combined current and voltage circuits;
- the increased ratio of arc voltage to power-frequency voltage.

Therefore, when performing synthetic tests using test circuits described in I.1a), it can be difficult to determine whether or not current chopping is a significant feature of the test circuit-breaker. To reduce current chopping, the following measures can be taken:

- modify the capacitances seen from the circuit-breaker terminals;
- use an auxiliary circuit-breaker with a short minimum arc duration and low arc voltage in combined current and voltage circuits.

Some synthetic test circuits are less-sensitive to current chopping, and therefore, can provide a recovery voltage for long arcing times where it would be reduced in a direct circuit.

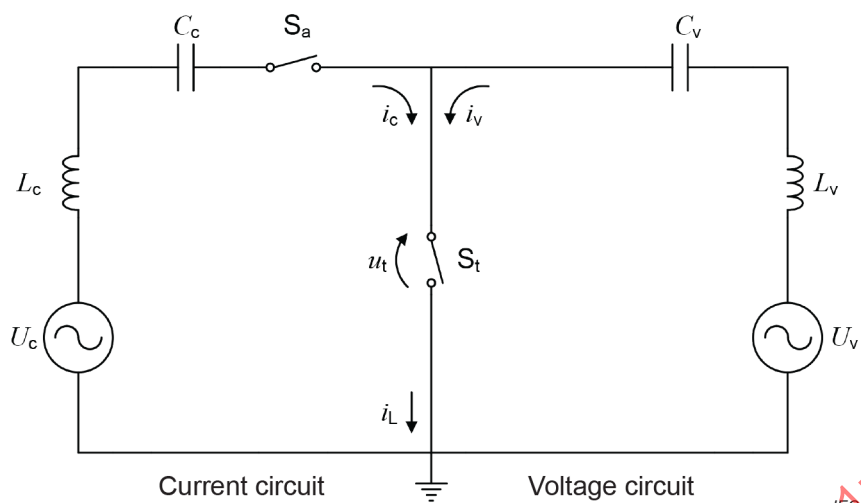
I.6 Examples test circuits

Figure I.1 to Figure I.7 show some examples of synthetic test circuits for capacitive current switching. The following list of symbol explanations relates to these figures, as appropriate, and are listed here for the sake of brevity and to avoid repetition.

The equations presented for the given circuits are meant for guidance only. They do not take into account losses or other phenomena in the test circuits.

C_c	= capacitance of the current circuit
C_{hB}, C_B	= capacitances of the voltage circuit B
C_v	= capacitance of the voltage circuit
C_h, L_{pf}	= power-frequency oscillation circuit
f_{inrush}	= frequency of the inrush current

f_L	= frequency of the current i_L
f_r	= rated power frequency
f_{RV}	= frequency of the recovery voltage
G	= gap
i_c	= current of the current circuit
$i_{\max \text{ peak}}$	= maximum peak of the inrush current
i_L	= load current (current through test circuit-breaker S_t)
i_v	= current of the voltage circuit
L_c	= inductance of the current circuit
L_v	= inductance of the voltage circuit
m	= ratio of current i_L to current i_v
n	= ratio of voltage u_t to voltage U_c
R_v	= resistance of the voltage circuit
R_B	= resistance of circuit B
R_p	= earthing resistor
S_a	= auxiliary circuit-breaker
S_{a1}, S_{a2}, S_{a3}	= auxiliary circuit-breakers
S_t	= test circuit-breaker
$\hat{t}$	= time to the peak of injected current
U_c	= voltage of the current circuit
U_h	= charging voltage of C_h
U_{hB}	= charging voltage of C_{hB}
U_v	= voltage of the voltage circuit
u_A, u_B	= voltage to earth at points A and B, respectively
u_t	= voltage across the test circuit-breaker S_t
U_t	= test voltage according to IEC 62271-100
ω	= pulsation of the test circuit, $\omega = 2 \times \pi \times f_r$



$$U_c = u_t/n$$

$$i_c = i_L(1 - 1/m)$$

$$\omega L_c \ll 1/\omega C_c$$

$$C_c = n(1 - 1/m)C_L$$

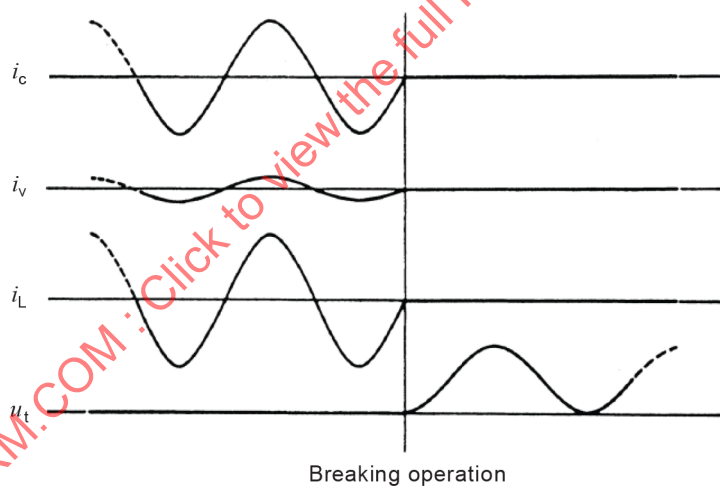
C_L = equivalent load capacitance

$$U_v = u_t$$

$$i_v = i_L/m$$

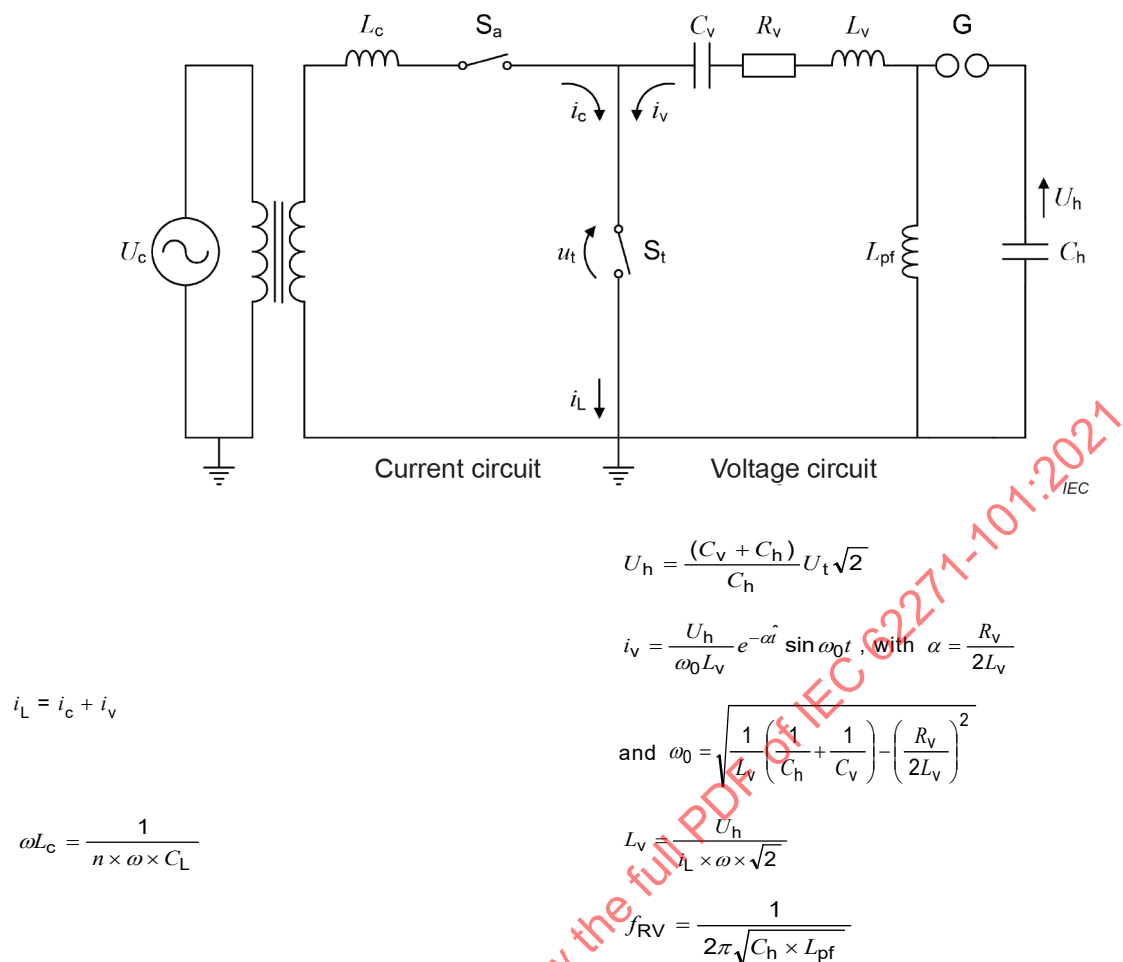
$$\omega L_v \ll 1/\omega C_v$$

$$C_v = C_L/m$$



IEC

Figure I.1 – Power-frequency circuits in parallel



$$i_L = i_c + i_v$$

$$\omega L_c = \frac{1}{n \times \omega \times C_L}$$

C_L = equivalent load capacitance

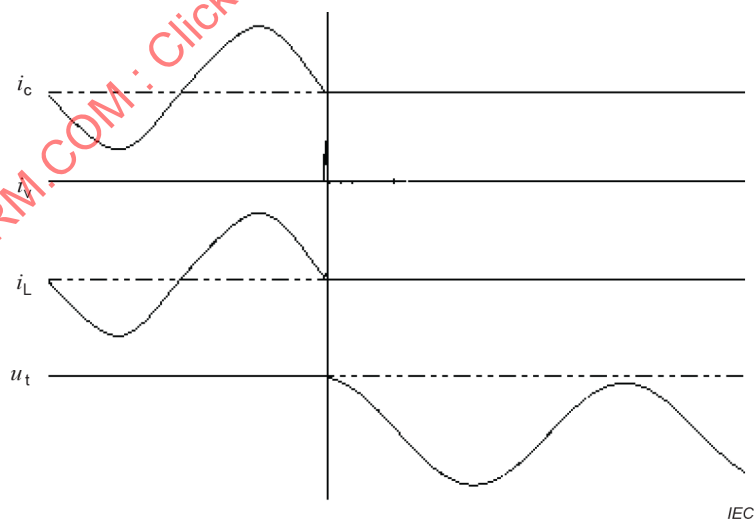
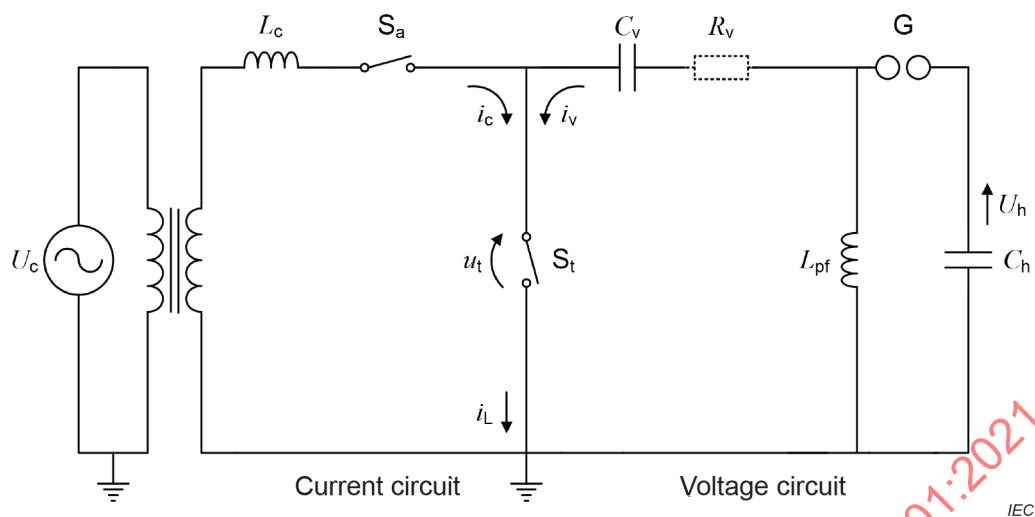


Figure I.2 – Current injection circuit



$$i_c = i_L - i_v$$

$$U_h = U_t \sqrt{2}$$

$$i_c = \frac{U_c}{\omega_r L_c}, \text{ with } \omega_r = 2\pi f_r$$

$$f_L = \frac{1}{2\pi\sqrt{(C_h + C_v) \times L_{pf}}}$$

$$i_v = 2\pi f_L \times C_v \times U_h$$

$$f_{RV} = \frac{1}{2\pi\sqrt{C_h \times L_{pf}}}$$

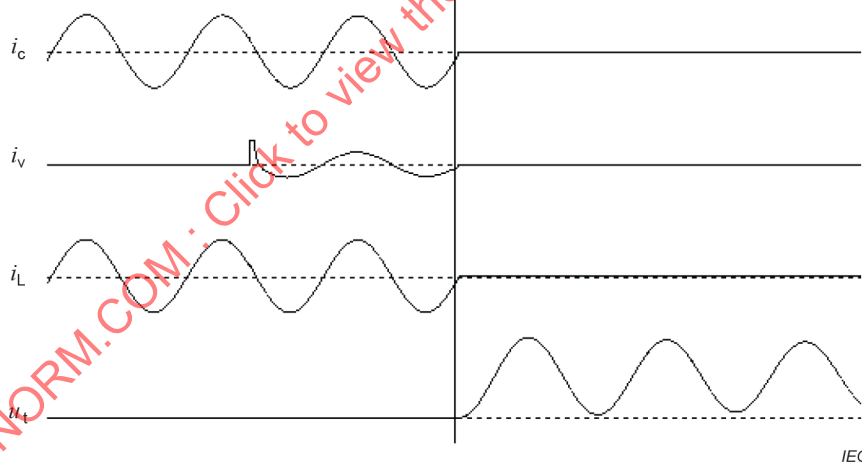
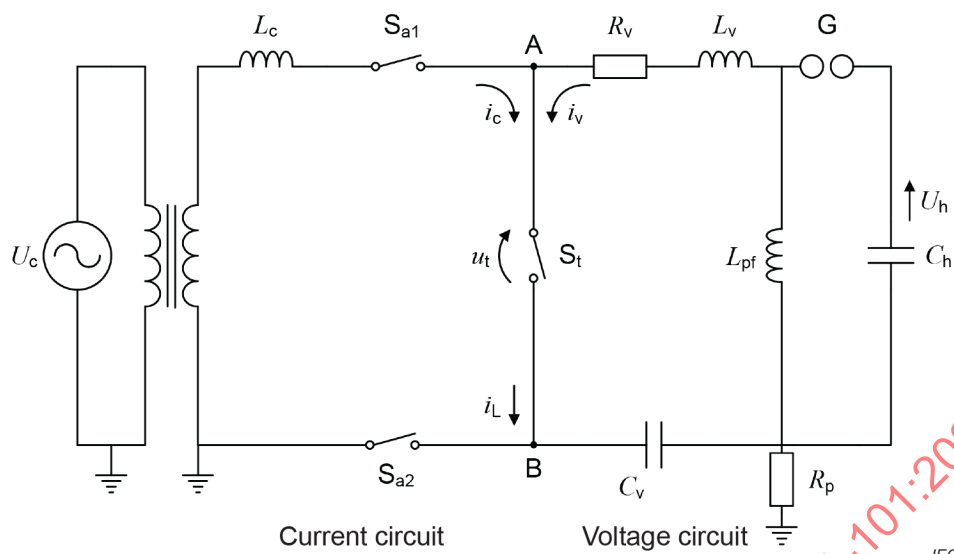


Figure I.3 – Power-frequency current injection circuit



$$U_c = \frac{U_t}{n}$$

$$U_h = \frac{(C_v + C_h)}{C_h} U_t \sqrt{2}$$

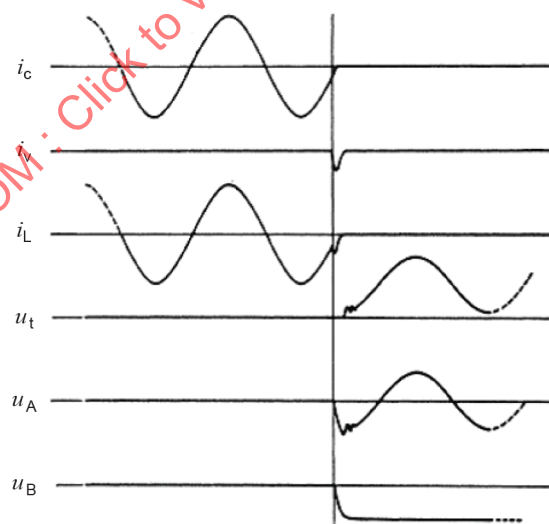
$$i_v = \frac{U_h}{\omega_0 L_v} e^{-\alpha t} \sin \omega_0 t, \text{ with } \alpha = \frac{R_v}{2L_v}$$

$$i_L = i_c + i_v$$

$$\text{and } \omega_0 = \sqrt{\frac{1}{L_v} \left(\frac{1}{C_h} + \frac{1}{C_v} \right) - \left(\frac{R_v}{2L_v} \right)^2}$$

$$\omega L_c = \frac{1}{n \times \omega \times C_L}$$

$$L_v = \frac{U_h}{i_L \times \omega \times \sqrt{2}}$$

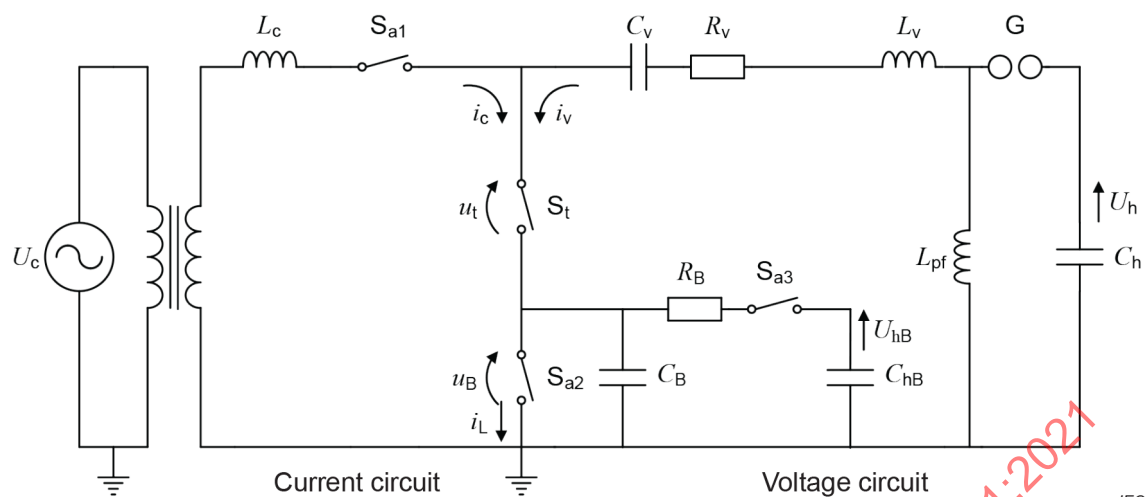


Breaking operation

IEC

NOTE The circuit can also be used with the power-frequency current injection method.

Figure I.4 – Current injection circuit, recovery voltage applied to both terminals of the circuit-breaker



$$U_c = \frac{U_t}{n}$$

$$i_L = i_C + i_V$$

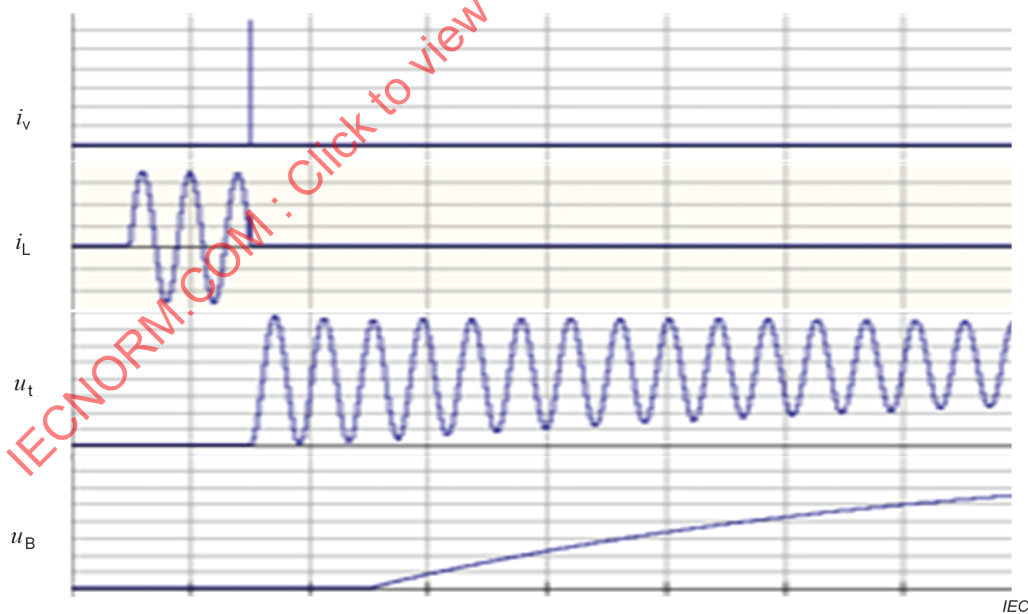
$$U_h = \frac{(C_v + C_h)}{C_h} U_t \sqrt{2}$$

$$i_v = \frac{U_h}{\omega_0 L_v} e^{-\alpha t} \sin \omega_0 t, \text{ with } \alpha = \frac{R_v}{2L_v}$$

$$\text{and } \omega_0 = \sqrt{\frac{1}{L_v} \left(\frac{1}{C_h} + \frac{1}{C_v} \right) - \left(\frac{R_v}{2L_v} \right)^2}$$

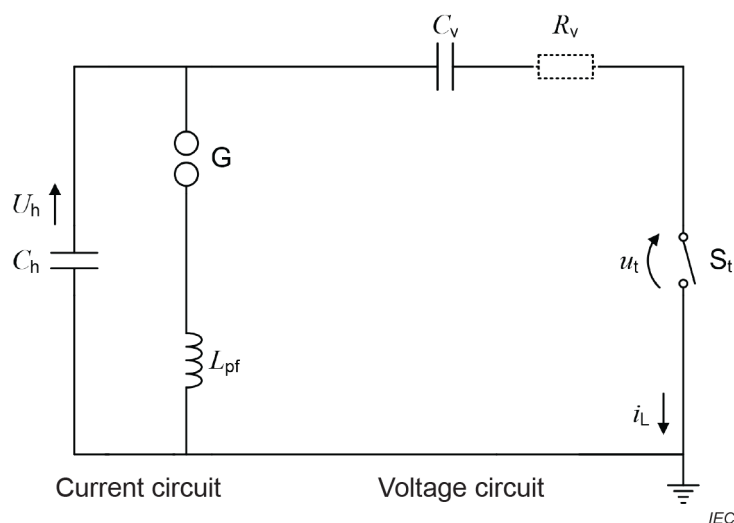
$$\omega L_c = \frac{1}{n \times \omega \times C_1}$$

$$L_v = \frac{U_h}{i_L \times \omega \times \sqrt{2}}$$



NOTE The circuit can also be used with the power-frequency current injection method.

Figure I.5 – Current injection circuit with decay compensation



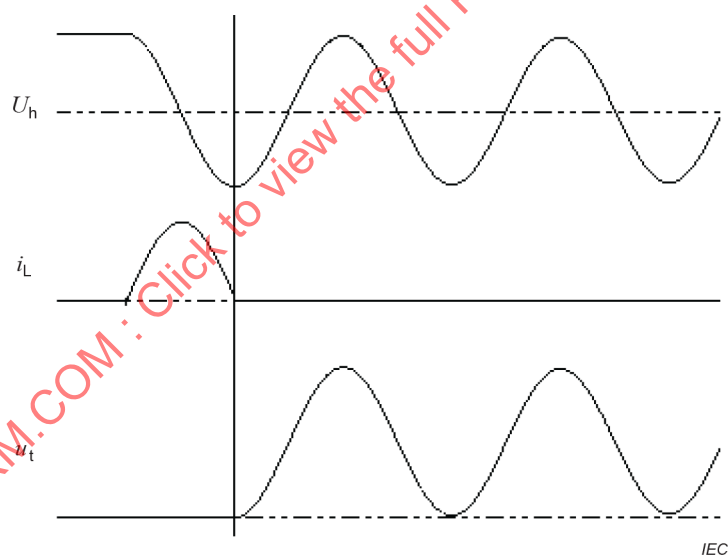
$$U_h = U_t \sqrt{2}$$

$$f_{RV} = \frac{1}{2\pi \sqrt{C_h \times L_{pf}}}$$

C_v = equivalent load capacitance

$$i_L = 2\pi f_L \times C_v \times U_h$$

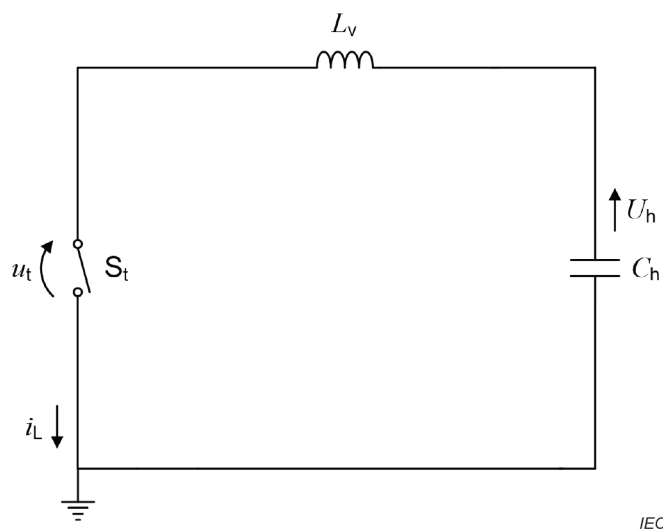
$$f_L = \frac{1}{2\pi \sqrt{(C_h + C_v) \times L_{pf}}}$$



C_h and C_v are pre-charged at the voltage U_h .

The load side capacitance C_v can also be inserted between the test circuit-breaker and earth. Care should be taken to the correct voltage distribution in case of metal enclosed circuit-breakers.

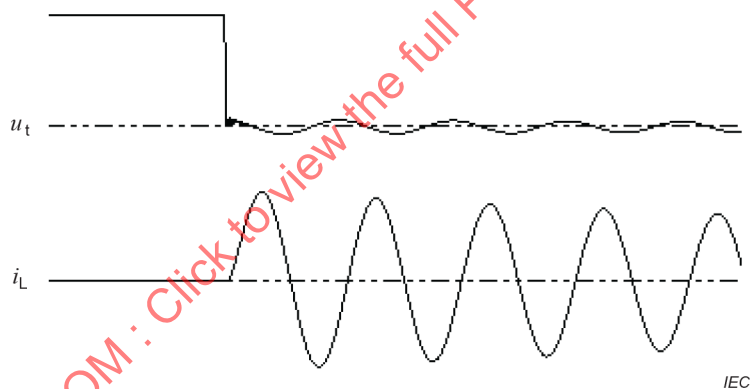
Figure I.6 – LC oscillating circuit



$$U_h = U_t \times \sqrt{2}$$

$$i_{\text{max peak}} = U_h \times C_h \times 2\pi f_{\text{inrush}}$$

$$f_{\text{inrush}} = \frac{1}{2\pi\sqrt{C_h \times L_v}}$$



NOTE This circuit does not reproduce possible interactions for back-to-back inrush making current test when the circuit-breaker can clear during the pre-arc interval.

Figure I.7 – Inrush making current test circuit

Annex J (normative)

Synthetic test methods for circuit-breakers with opening resistors

J.1 General

Due to limited available energy in synthetic circuits, synthetic tests shall be done in two parts:

- tests on the making and breaking unit;
- tests on the resistor switch.

Where tests are performed without opening resistor the effect of the resistor is taken into account by applying modified current and voltage parameters. This is shown by calculation or simulation of interrupting conditions.

The synthetic test circuit shall have a prospective transient recovery voltage as specified in Annex I of IEC 62271-100:2021, and a recovery voltage as specified in 4.1.4.

The methods described here are appropriate to demonstrate the performance of the making and breaking unit and of the resistor switch. For the testing of the resistor stack, see Clause I.2 of IEC 62271-100:2021.

J.2 Conditions

J.2.1 General

The requirements which relate to the basic synthetic test circuit (see 4.1) shall be met taking into account the influence of the resistor as described in Annex I of IEC 62271-100:2021. Additional requirements during the high-voltage interval are given below.

J.2.2 Transient recovery voltage interval

The correct transient recovery voltage shall appear across the circuit-breaker, taking into account the influence of the opening resistor incorporated in the circuit-breaker and the arc voltage. For reference, see Annex I of IEC 62271-100:2021.

J.2.3 Power-frequency recovery voltage interval

Power-frequency recovery voltage shall be the same as the value specified in IEC 62271-100.

It is acceptable to use a power-frequency recovery voltage of the correct amplitude which has a phase shift different from that which would be obtained in a network. The direction of this phase shift should be such that the recovery voltage in the synthetic test lags behind that of the network. The result is to extend the first loop of the recovery voltage, which is acceptable provided that the phase shift does not exceed 20°.

J.3 Multiple step test procedure

J.3.1 General

The multiple step test procedure consists of three test sequences described in J.3.2, J.3.3 and J.3.4 below. For application of this test procedure, refer to Clause J.4 and 7.102.4.3.

Due to limited available energy using synthetic circuits, tests on the making and breaking unit can be performed in two separate test sequences:

- test to verify the re-ignition behaviour of the making and breaking unit during short-line-fault tests and T100s and T100a when tested with ITRV where current injection method is mandatory;
- test to verify re-ignition behaviour of the making and breaking unit during short-circuit test duties with any kind of synthetic test method.

It is essential that the operation and performance of the resistor switch is not affected by the operation of the making and breaking unit for these separate test procedures to be allowed, for example influence of hot gases, modified speed of the contact travel.

J.3.2 Test to verify the re-ignition behaviour of the making and breaking unit

This test procedure is applicable only for short-line-fault tests and T100s and T100a when tested with ITRV and if full TRV cannot be provided by a current injection circuit.

The objective of these tests is to establish the minimum arcing time and to demonstrate the breaking capability of the making and breaking unit during the interaction for the whole arcing window.

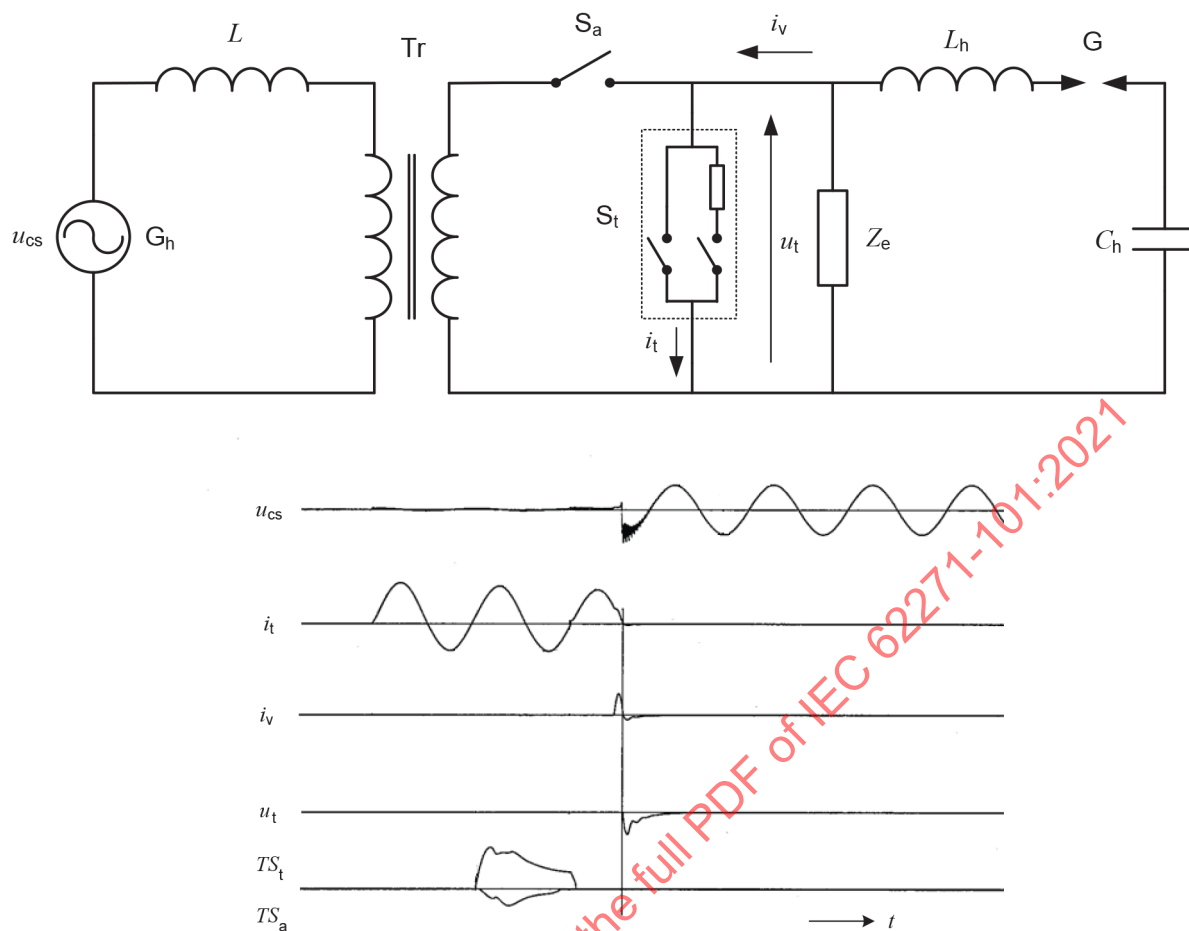
Test should be performed preferably with opening resistor mounted and connected in its normal position in the circuit-breaker.

Alternatively, the tests can be also performed without opening resistor provided that interruption by the making and breaking unit is not affected by or affecting the resistor switch.

The current injection method is mandatory for this test.

If, due to limitations, it is not possible to perform the test with the rated TRV, then the test can be performed at reduced voltage but not less than 30 % of the rated TRV, or for short-line fault test with the application of 7.109.5 of IEC 62271-100:2021. In this case, the test circuit shall be adjusted to take into account the effect of the modification of the prospective TRV (du/dt and time delay) by the parallel opening resistor. This is done by calculation or digital simulation.

An example of test circuit is given in Figure J.1.



IEC

Key

u_{cs}	voltage of current circuit	u_t	applied voltage
i_t	current in the test circuit-breaker	i_v	current in voltage circuit
G_h	short-circuit generator	Tr	transformer
C_h	main capacitor bank	Z_e	TRV components
G	trigger gap	L_h	inductance of voltage circuit
L	inductance of current circuit	S_t	test circuit-breaker
S_a	auxiliary circuit-breaker		
TS_t	tripping signal of S_t	TS_a	tripping signal of S_a

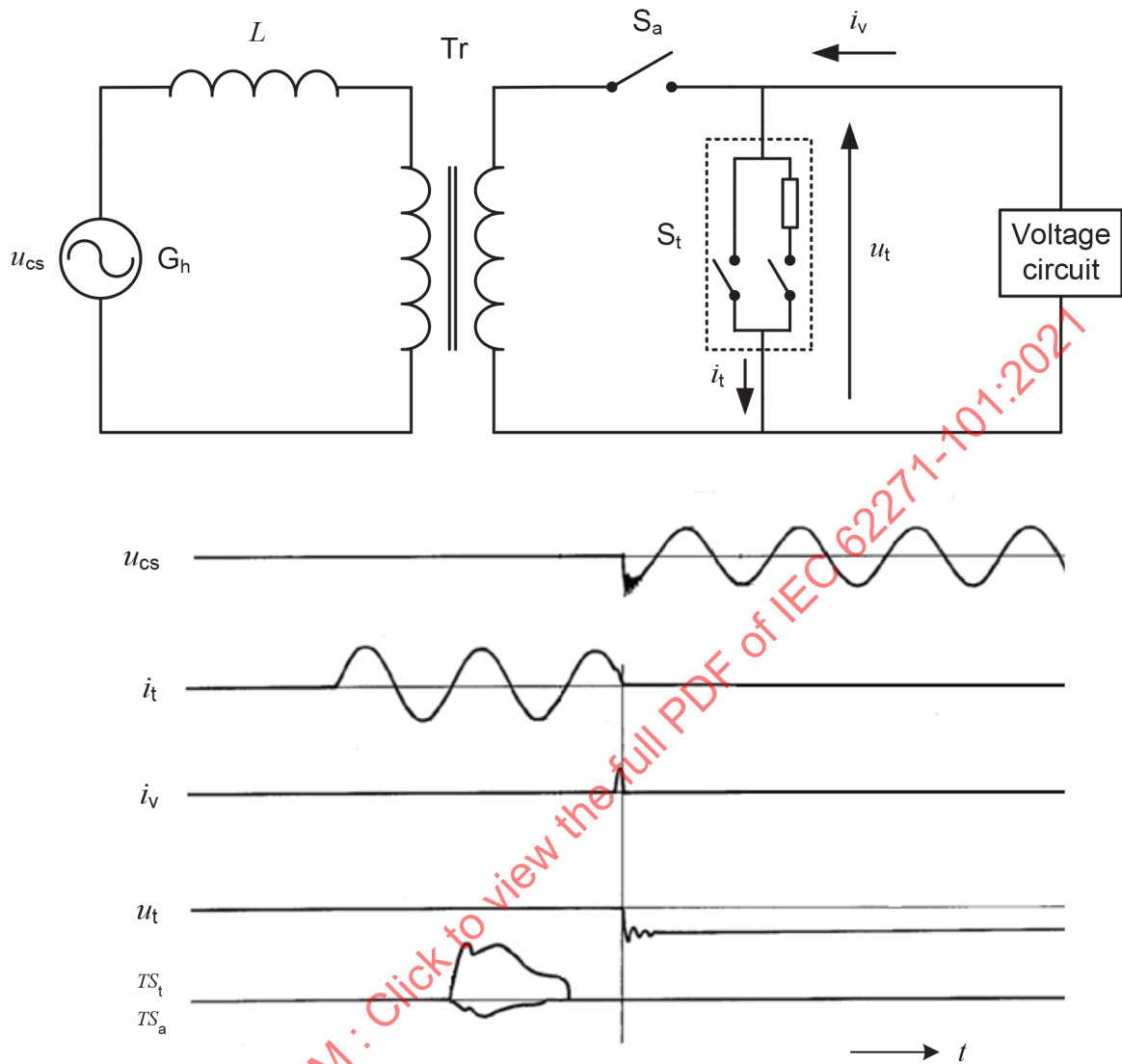
Figure J.1 – Test circuit to verify re-ignition behaviour of the making and breaking unit using current injection method

J.3.3 Test to verify the re-ignition behaviour of the making and breaking unit during short circuit test duties with any test method

An example of a test circuit is given in Figure J.2. The opening resistor will in most cases be removed and be replaced by suitable mock-up made of insulating material.

The circuit can be any kind of synthetic circuit described in 4.2. When the current injection method is used, the test also covers the thermal re-ignition behaviour as described in J.3.2.

NOTE Problems can arise when carrying out this test with several units in series. The removal of the parallel opening resistors can affect the voltage grading between the units. This can overstress some units.



IEC

Key

u_{cs}	voltage of current circuit	u_t	applied voltage
i_t	current in the test circuit-breaker	i_v	current in voltage circuit
G_h	short-circuit generator	Tr	transformer
L	inductance of current circuit	S_t	test circuit-breaker
S_a	auxiliary circuit-breaker	TS_t	Tripping signal of S_t
TS_a	Tripping signal of S_a	TS_a	Tripping signal of S_a

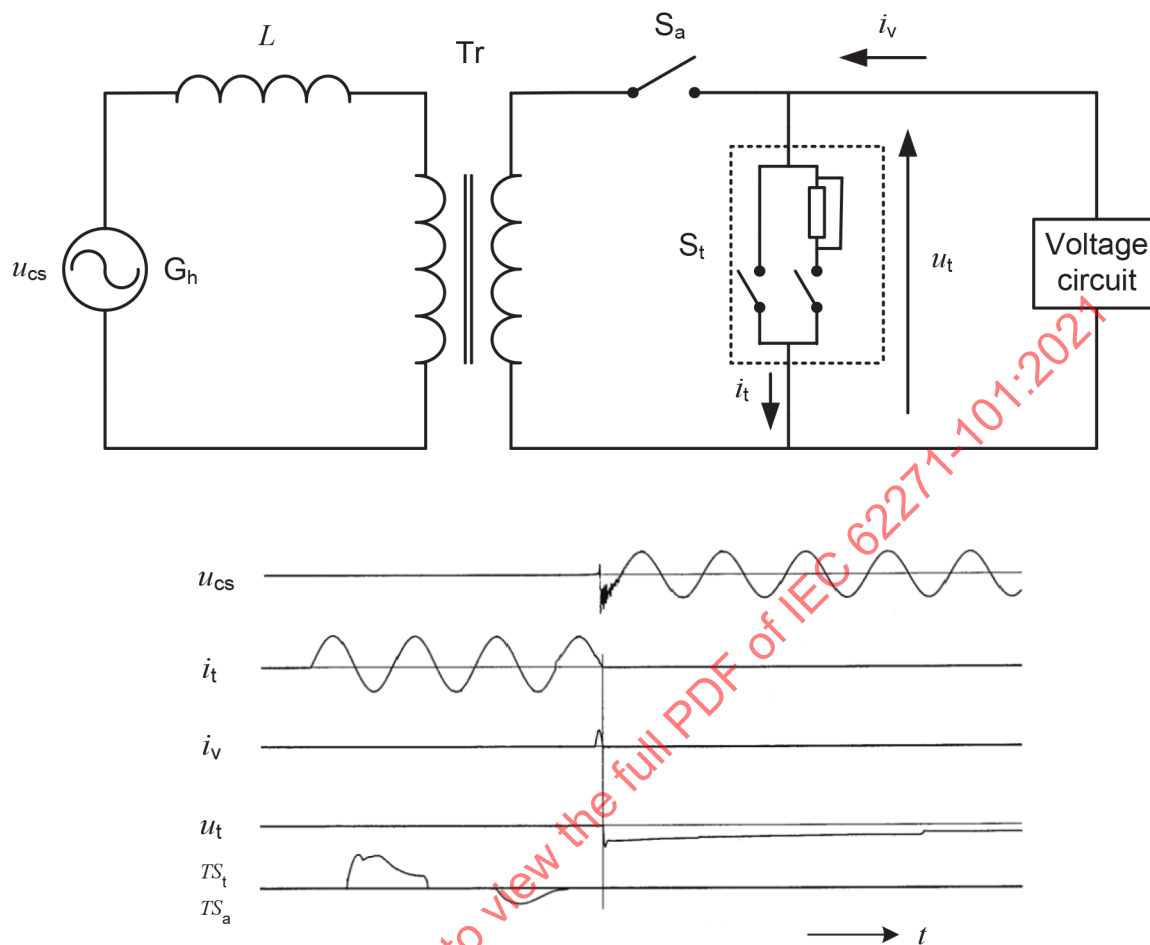
Figure J.2 – Test circuit to verify re-ignition behaviour of the making and breaking unit

J.3.4 Tests on resistor switch(s)

An example of a test circuit is given in Figure J.3. The resistors are short-circuited or replaced by a suitable conductor.

Current and TRV are given in I.2.3 of IEC 62271-100:2021.

The test can be performed with a direct circuit or with any kind of synthetic circuit described in 4.2.



IEC

Key

u_{cs}	voltage of current circuit	u_t	applied voltage
i_t	current in the test circuit-breaker	i_v	current in voltage circuit
G_h	short-circuit generator	Tr	transformer
L	inductance of current circuit	S_t	test circuit-breaker
TS_t	Tripping signal of S_t	S_a	auxiliary circuit-breaker
		TS_a	Tripping signal of S_a

Figure J.3 – Test circuit on the resistor switch

J.4 Test requirements

J.4.1 General

J.4.2 to J.4.4 describe the application of Annex I of IEC 62271-100:2021 for synthetic testing.

NOTE Most of the tests are conducted using multiple step tests procedure in single-phase tests.

Figure J.4 – Example of test circuit for capacitive current switching tests on the making and breaking unit

J.4.3 Testing of the resistor switch

J.4.3.1 Short-circuit making and breaking tests

Terminal fault test duty T10 and out-of-phase switching test duty OP2 shall be performed in accordance with I.2.3.1 of IEC 62271-100:2021 using the test procedure described in J.3.4. It is not necessary to repeat the other terminal fault test duties (T30, T60, T100a and T100s).

J.4.3.2 Short-line fault (SLF) tests

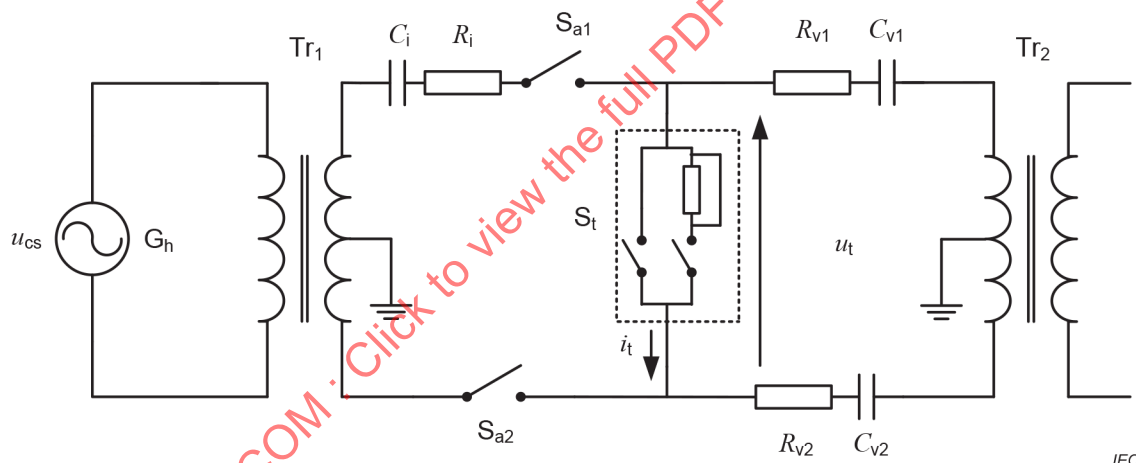
Short-line fault tests shall be performed in accordance with I.2.3.2 of IEC 62271-100:2021 using the test procedure described in J.3.4.

When terminal fault test duty T10 is performed in accordance with J.4.2.1, no SLF tests are required on the resistor switch.

J.4.3.3 Capacitive-current tests

Capacitive current tests shall be performed in accordance with I.2.3.3 of IEC 62271-100:2021, using the test procedure described in J.3.4.

An example of a test circuit for capacitive current switching following test procedure J.3.4 is given in Figure J.5.



Key

u_{cs}	voltage of current circuit	u_t	applied voltage
i_t	current in the test circuit-breaker	G_h	short-circuit generator
Tr_1	transformer of current circuit	Tr_2	transformer of voltage circuit
C_i	capacitor of current circuit	R_i	resistor of current circuit
C_{v1}, C_{v2}	capacitor of voltage circuit	R_{v1}, R_{v2}	resistor of voltage circuit
S_t	test circuit-breaker	S_{a1}, S_{a2}	auxiliary circuit-breakers

Figure J.5 – Example of test circuit for capacitive current switching tests on the resistor switch

J.4.4 Test of the resistor stack

For testing of the resistor stack see I.2.4 of IEC 62271-100:2021.

Annex K (informative)

Combination of current injection and voltage injection methods

K.1 Current injection methods

Information related to the current injection methods is given in 4.2.1 of this document and in 14.2 of IEC TR 62271-306:2012/AMD1:2018.

K.2 Voltage injection methods

Information related to the voltage injection methods is given in 4.2.2 of this document and in 14.4 of IEC TR 62271-306:2012/AMD1:2018.

K.3 Combined current and voltage injection circuits

K.3.1 General

In a synthetic test circuit using the combination of current and voltage injection methods, the initial part of the transient recovery voltage is generated by the current injection circuit.

The second part of the transient recovery voltage is generated by a voltage injection circuit (single- or multi-stage).

Two examples of synthetic test circuits are considered in Annex K combining a current injection and a voltage injection (see K.3.2 and K.3.3).

As an auxiliary circuit breaker interrupts the current through the test circuit-breaker at the same time as the test circuit-breaker, the method is not considered to be a current injection method in accordance with 4.2.1 and is not valid to test:

- short-line fault test duties,
- T100s and T100a when tested with ITRV.

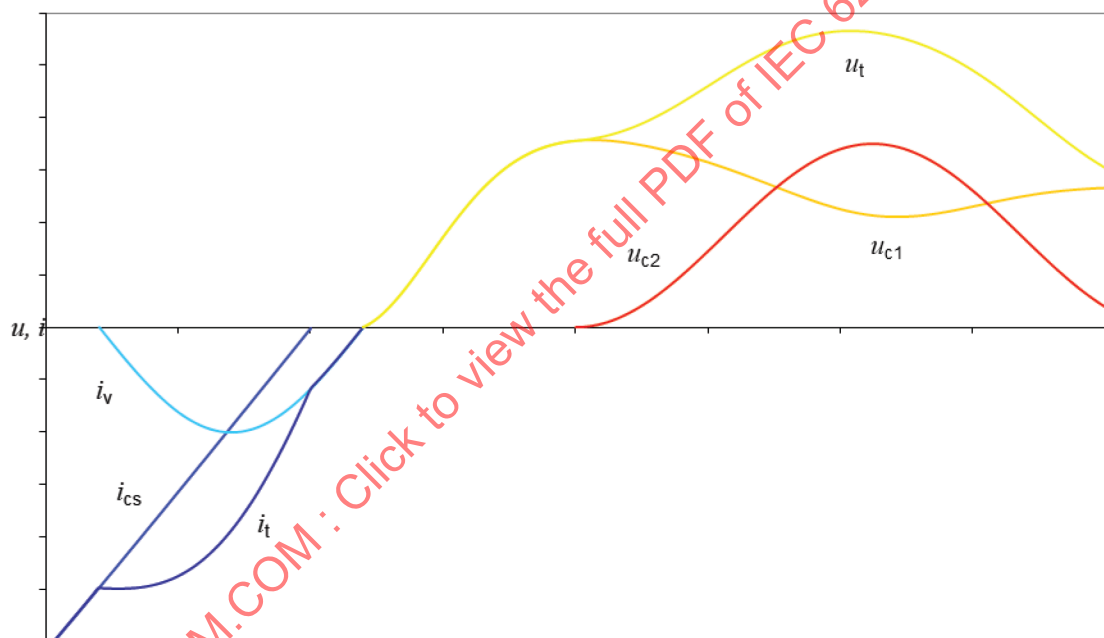
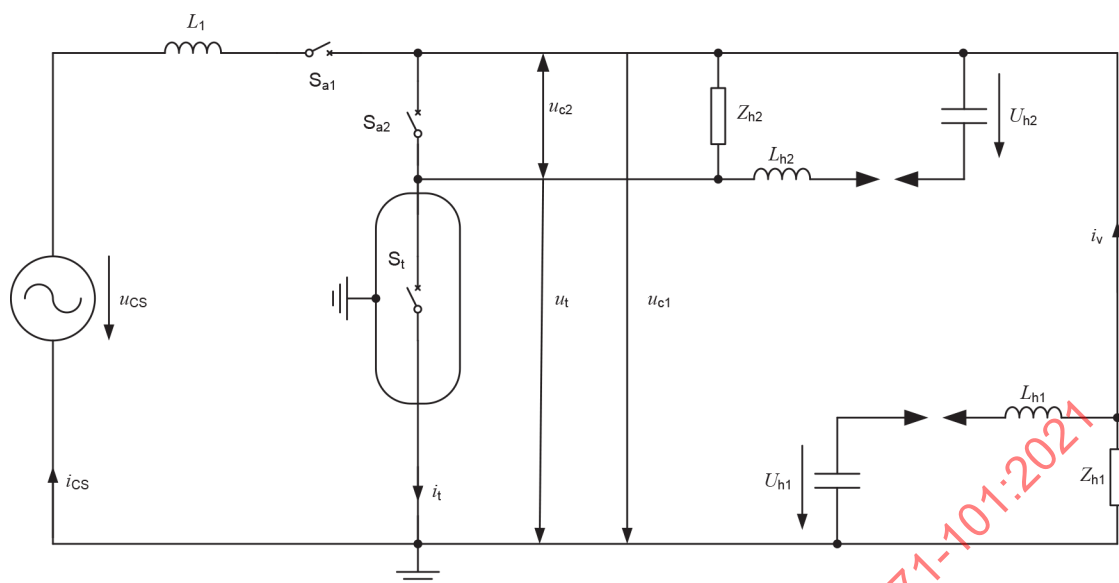
K.3.2 Combined current and voltage injection circuit with application of full test voltage to earth

This synthetic test circuit with combined current and voltage injection applies the full test voltage to one terminal of the test circuit-breaker with the other terminal earthed (Figure K.1).

K.3.3 Combined current and voltage injection circuit with separated application of test voltage

This synthetic test circuit applies the current injection circuit to one terminal and the voltage injection circuit to the second terminal (and to the enclosure if applicable) of the test circuit-breaker (Figure K.2).

In case of dead tank or GIS circuit-breaker, this test circuit can be used for out of phase test duty, with the tank earthed.

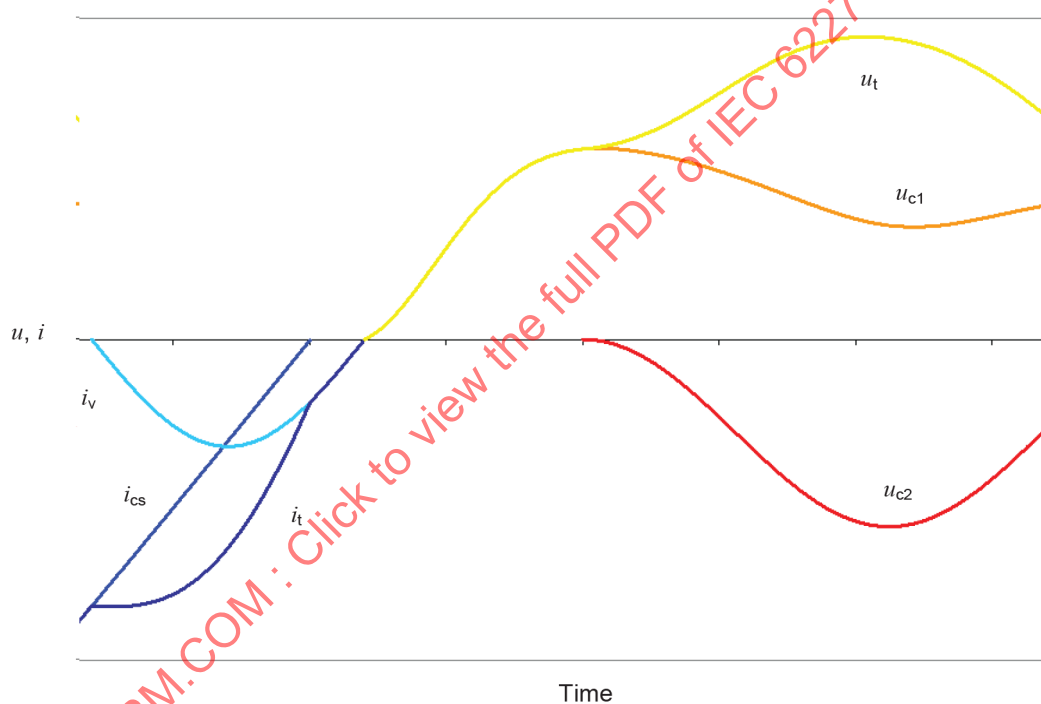
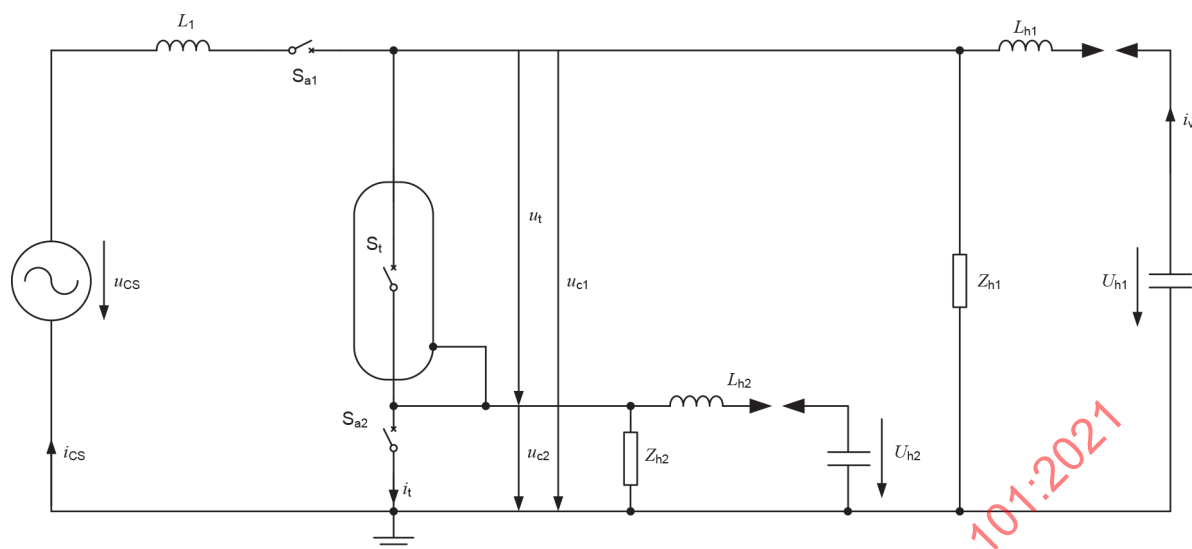


IEC

Key

u_{cs}	voltage of current circuit	U_{h1}, U_{h2}	charging voltage of voltage circuits
L_1	inductance of current circuit	i_{cs}	current of the current circuit
S_{a1}, S_{a2}	auxiliary circuit-breakers	i_v	injected current
S_t	test circuit-breaker	i_t	current through the test circuit-breaker
Z_{h1}, Z_{h2}	equivalent surge impedance of voltage circuits	u_{c1}, u_{c2}	voltage of the voltage circuits
L_{h1}, L_{h2}	inductance of voltage circuit	u_t	voltage across the test circuit-breaker

Figure K.1 – Example of combined current and voltage injection circuit with application of full test voltage to earth



IEC

Key

U_{cs}	voltage of current circuit	U_{h1}, U_{h2}	charging voltage of voltage circuits
L_1	inductance of current circuit	i_{cs}	current of the current circuit
S_{a1}, S_{a2}	auxiliary circuit-breakers	i_v	injected current
S_t	test circuit-breaker	i_t	current through the test circuit-breaker
Z_{h1}, Z_{h2}	equivalent surge impedance of voltage circuits	u_{c1}, u_{c2}	voltage of the voltage circuits
L_{h1}, L_{h2}	inductance of voltage circuit	u_t	voltage across the test circuit-breaker

Bibliography

IEC 60050-441, *International Electrotechnical Vocabulary (IEV) – Part 441: Switchgear, controlgear and fuses* (available at www.eletropedia.org)

IEC TR 62271-302:2010, *High-voltage switchgear and controlgear – Part 302: Alternating current circuit-breakers with intentionally non-simultaneous pole operation*

IEC TR 62271-306:2012, *High-voltage switchgear and controlgear – Part 306: Guide to IEC 62271-100, IEC 62271-1 and other IEC standards related to alternating current circuit-breakers*

IEC TR 62271-306:2012/AMD1:2018

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2021

SOMMAIRE

AVANT-PROPOS	163
1 Domaine d'application	165
2 Références normatives	165
3 Termes et définitions	165
4 Techniques et méthodes d'essais synthétiques pour les essais de coupure en court-circuit	167
4.1 Principes fondamentaux et exigences générales pour les méthodes d'essais synthétiques de coupure	167
4.1.1 Généralités	167
4.1.2 Période de fort courant	169
4.1.3 Période d'interaction	169
4.1.4 Période de haute tension	170
4.2 Circuits d'essais synthétiques et exigences spécifiques connexes relatives aux essais de coupure	172
4.2.1 Méthodes par injection de courant	172
4.2.2 Méthode par injection de tension	173
4.2.3 Circuit de Skeats (ou par transformateur)	174
4.2.4 Autres méthodes d'essais synthétiques	174
4.3 Méthodes d'essais synthétiques triphasés	174
5 Techniques et méthodes d'essais synthétiques pour les essais d'établissement en court-circuit	179
5.1 Principes fondamentaux et exigences générales pour les méthodes d'essais synthétiques d'établissement	179
5.1.1 Généralités	179
5.1.2 Période de haute tension	182
5.1.3 Durée de préarc	182
5.1.4 Période de fermeture et d'accrochage et position de fermeture complète	182
5.2 Circuit d'essai synthétique et exigences spécifiques connexes relatives aux essais d'établissement	182
5.2.1 Généralités	182
5.2.2 Circuit d'essai et exigences d'essai	182
5.2.3 Méthode d'essai alternative à tension réduite	187
7 Essais de type	188
7.102 Généralités	188
7.104 Démonstration des durées d'arc	189
7.107 Essais de défaut aux bornes	200
7.109 Essais de défaut proche en ligne	203
7.110 Essais d'établissement et de coupure en discordance de phases	204
7.111 Essais au courant capacitif	205
Annexe A (normative) Correction du rapport di/dt et de la TTR pour la séquence d'essais T100a	208
A.1 Généralités	208
A.2 Réduction du rapport di/dt	208
A.3 TTR corrigée pour le premier pôle qui coupe avec l'asymétrie exigée	208
A.4 Correction du rapport di/dt et de la TTR du premier pôle qui coupe pour les essais avec asymétrie intermédiaire	215

A.5	Correction du rapport di/dt et de la TTR du deuxième pôle qui coupe ou du dernier pôle qui coupe avec grande alternance rallongée avec asymétrie exigée pendant les essais triphasés.....	216
A.6	Correction du rapport di/dt et de la TTR pendant les essais avec une petite alternance suivante.....	216
A.7	Calcul du rapport di/dt et de la TTR du premier pôle qui coupe.....	216
A.7.1	Généralités.....	216
A.7.2	Calcul du rapport di/dt	216
A.7.3	Calcul de la TTR.....	217
A.7.4	Exemples de calcul du rapport di/dt et de la TTR.....	219
Annexe B (normative)	Tolérances sur les grandeurs d'essai lors des essais de type.....	221
Annexe C (normative)	Indications à donner et résultats à enregistrer lors d'essais synthétiques.....	224
C.1	Généralités.....	224
C.2	Disjoncteur auxiliaire.....	224
C.3	Conditions d'essai.....	224
C.4	Grandeurs à enregistrer.....	224
C.4.1	Généralités.....	224
C.4.2	Tensions.....	224
C.4.3	Courants.....	224
Annexe D (normative)	Procédure d'essai avec circuit de courant triphasé et un circuit de tension.....	225
D.1	Circuit d'essai.....	225
D.2	Méthode d'essai.....	226
D.2.1	Généralités.....	226
D.2.2	Séquence d'essais T100s(b).....	226
D.2.3	Séquence d'essai T100a.....	235
D.2.4	Combinaison des facteurs de premier pôle qui coupe 1,3 et 1,5.....	244
Annexe E (normative)	Séparation des séquences d'essais en séries d'essais compte tenu de la TTR associée à chaque pôle qui coupe.....	247
E.1	Généralités.....	247
E.2	Séquences d'essais T10, T30, T60, T100s(b), OP1 et OP2(b).....	247
E.2.1	Procédure d'essai pour des facteurs de premier pôle qui coupe 1,5 et 2,5.....	247
E.2.2	Procédure d'essai pour des facteurs de premier pôle qui coupe 1,3 et 2,0.....	248
E.2.3	Procédure d'essai pour un facteur de premier pôle qui coupe de 1,2.....	249
E.3	Séquence d'essai T100a.....	250
E.3.1	Généralités.....	250
E.3.2	Procédure d'essai pour un facteur de premier pôle qui coupe de 1,5.....	251
E.3.3	Procédure d'essai pour un facteur de premier pôle qui coupe de 1,3.....	252
E.3.4	Procédure d'essai pour un facteur de premier pôle qui coupe de 1,2.....	254
E.4	Combinaison des facteurs de premier pôle qui coupe.....	255
E.4.1	Généralités.....	255
E.4.2	Combinaison des facteurs de premier pôle qui coupe 1,3 et 1,5 pour les séquences d'essais T10, T30, T60 et T100s(b).....	255
E.4.3	Combinaison des facteurs de premier pôle qui coupe 2,0 et 2,5 pour les séquences d'essais OP1 et OP2(b).....	256
E.4.4	Combinaison des facteurs de premier pôle qui coupe 1,3 et 1,5 pour la séquence d'essais T100a.....	257
Annexe F (informative)	Circuits d'essais synthétiques triphasés.....	269

F.1	Généralités	269
F.2	Circuit combiné d'essais synthétiques triphasés.....	269
F.3	Circuit d'essais synthétiques triphasés avec une injection dans toutes les phases.....	272
F.4	Circuit d'essais synthétiques triphasés avec une injection en deux phases	273
Annexe G (informative) Exemples de circuits d'essais pour les disjoncteurs sous enveloppe métallique et à cuve mise à la terre.....		277
Annexe H (informative) Méthode "pas à pas" pour la prolongation de l'arc		288
Annexe I (informative) Méthodes d'essais synthétiques pour les essais d'établissement et de coupure de courants capacitifs		290
I.1	Généralités	290
I.2	Tension de rétablissement	290
I.3	Circuits combinés de courant et de tension	291
I.4	Essais d'établissement.....	291
I.5	Arrachement du courant.....	291
I.6	Exemples de circuits d'essais	292
Annexe J (normative) Méthodes d'essais synthétiques pour les disjoncteurs équipés de résistances d'ouverture		300
J.1	Généralités	300
J.2	Conditions	300
J.2.1	Généralités	300
J.2.2	Période de tension transitoire de rétablissement.....	300
J.2.3	Période de tension de rétablissement à fréquence industrielle	300
J.3	Procédure d'essai en plusieurs étapes.....	301
J.3.1	Généralités	301
J.3.2	Essai de vérification de la capacité de coupure thermique de l'interrupteur principal	301
J.3.3	Essai de vérification de la capacité de coupure diélectrique de l'interrupteur principal pendant les séquences d'essais en court-circuit avec toute méthode d'essai	302
J.3.4	Essais sur l'interrupteur ou les interrupteurs de résistance	303
J.4	Exigences d'essais	304
J.4.1	Généralités	304
J.4.2	Essais sur l'interrupteur principal.....	305
J.4.3	Essais sur l'interrupteur de résistance	306
J.4.4	Essai de l'empilage de résistances	307
Annexe K (informative) Combinaison des méthodes par injection de courant et par injection de tension.....		308
K.1	Méthodes par injection de courant	308
K.2	Méthodes par injection de tension.....	308
K.3	Circuits combinés d'injection de courant et de tension	308
K.3.1	Généralités	308
K.3.2	Circuit combiné d'injection de courant et de tension avec application de la tension d'essai complète par rapport à la terre.....	308
K.3.3	Circuit combiné d'injection de courant et de tension avec application séparée de la tension d'essai	308
Bibliographie.....		311

Figure 1 – Processus de coupure – Instants principaux..... 168

Figure 2 – Exemples d'évaluation de la tension de rétablissement initiale..... 171

Figure 3 – Impédance d'onde équivalente du circuit de tension pour la méthode par injection de courant	173
Figure 4 – Lignes de référence de TTR avec quatre paramètres pour $k_{pp} = 1,5$	176
Figure 5 – Lignes de référence de TTR avec quatre paramètres pour $k_{pp} = 1,3$	178
Figure 6 – Lignes de référence de TTR avec quatre paramètres pour $k_{pp} = 1,2$	179
Figure 7 – Processus d'établissement – Instants principaux	181
Figure 8 – Exemple de circuit d'essais synthétiques d'établissement pour les essais monophasés	184
Figure 9 – Exemple de circuit d'essais synthétiques d'établissement pour les essais en discordance de phase	185
Figure 10 – Exemple de circuit d'essais synthétiques d'établissement pour les essais triphasés ($k_{pp} = 1,5$)	186
Figure 11 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100s avec $k_{pp} = 1,5$	192
Figure 12 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100s avec $k_{pp} = 1,3$	193
Figure 13 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec $k_{pp} = 1,5$	196
Figure 14 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec $k_{pp} = 1,3$	197
Figure 15 – Évaluation de la tension de rétablissement en essai synthétique d'établissement et de coupure de courants capacitifs	207
Figure D.1 – Exemple d'un circuit de courant triphasé avec une injection synthétique monophasée	226
Figure D.2 – Représentation des conditions d'essai du Tableau D.1	228
Figure D.3 – Représentation des conditions d'essai du Tableau D.2	230
Figure D.4 – Représentation des conditions d'essai du Tableau D.3	232
Figure D.5 – Représentation des conditions d'essai du Tableau D.4	234
Figure D.6 – Représentation des conditions d'essai du Tableau D.5	237
Figure D.7 – Représentation des conditions d'essai du Tableau D.6	239
Figure D.8 – Représentation des conditions d'essai du Tableau D.7	241
Figure D.9 – Représentation des conditions d'essai du Tableau D.8	243
Figure E.1 – Exemple de représentation graphique des essais présentés dans le Tableau E.6	252
Figure E.2 – Exemple de représentation graphique des essais présentés dans le Tableau E.7 et le Tableau E.8	254
Figure F.1 – Circuit combiné d'essais synthétiques triphasés	270
Figure F.2 – Formes d'ondes de courants, tensions phase-terre et entre phases pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,5$) réalisé selon le circuit combiné d'essais synthétiques triphasés	271
Figure F.3 – Circuit d'essais synthétiques triphasés avec injection dans toutes les phases pour $k_{pp} = 1,5$	272

Figure F.4 – Formes d'ondes de courants et tensions phase-terre pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,5$) réalisé selon le circuit d'essais synthétiques triphasés avec injection dans toutes les phases	273
Figure F.5 – Circuit d'essais synthétiques triphasés pour les essais de défauts aux bornes avec $k_{pp} = 1,3$ (méthode par injection de courant).....	274
Figure F.6 – Formes d'ondes de courants et tensions phase-terre pendant un essai synthétique triphasé (T100s; $k_{pp} = 1,3$) réalisé selon le circuit d'essais synthétiques triphasés présenté à la Figure F.5.....	275
Figure F.7 – Formes d'ondes des tensions TTR du circuit d'essai décrit à la Figure F.5.....	276
Figure G.1 – Exemple d'un circuit d'essai pour essais par éléments séparés (disjoncteur avec interaction due à la circulation de gaz)	278
Figure G.2 – Oscillogramme correspondant à la Figure G.1 – Exemple des TTR exigées à appliquer entre les bornes de l'unité ou des unités en essai et entre les parties actives et l'enveloppe isolée	279
Figure G.3 – Exemple de circuit d'essai utilisant deux circuits de tension pour les essais de coupure.....	280
Figure G.4 – Exemple de circuit d'essai utilisant deux circuits de tension pour les essais de coupure.....	281
Figure G.5 – Exemple d'un circuit d'essai synthétique pour essais par éléments séparés (si l'essai par éléments séparés est autorisé selon 7.102.4.2 de l'IEC 62271-100:2021)	282
Figure G.6 – Oscillogramme correspondant à la Figure G.3 – Exemple des TTR exigées à appliquer entre les bornes de l'unité ou des unités en essai et entre les parties actives et l'enveloppe isolée	283
Figure G.7 – Exemple d'un circuit pour essais capacitifs avec injection de courant avec enveloppe du disjoncteur sous tension	284
Figure G.8 – Exemple d'un circuit d'essais synthétiques pour essais capacitifs utilisant deux circuits à fréquence industrielle et avec l'enveloppe du disjoncteur sous tension	285
Figure G.9 – Exemple d'un circuit synthétique pour essais capacitifs avec injection de courant – Essais par éléments séparés d'un demi-pôle d'un disjoncteur à deux éléments par pôle – Enveloppe alimentée par une tension continue.....	286
Figure G.10 – Exemple d'un circuit d'essais synthétiques d'établissement pour les essais en discordance de phase	287
Figure H.1 – Exemple d'un schéma de circuit de réallumage pour prolongation de la durée d'arc	288
Figure H.2 – Exemple de formes d'ondes obtenues pendant un essai symétrique avec le circuit de la Figure H.1	289
Figure I.1 – Circuits en parallèle à fréquence industrielle	293
Figure I.2 – Circuit à injection de courant.....	294
Figure I.3 – Circuit à injection de courant à fréquence industrielle.....	295
Figure I.4 – Circuit à injection de courant, tension de rétablissement appliquée aux deux bornes du disjoncteur	296
Figure I.5 – Circuit à injection de courant avec compensation de la décroissance	297
Figure I.6 – Circuit oscillant LC	298
Figure I.7 – Circuit d'essai d'établissement du courant d'appel de fermeture	299
Figure J.1 – Circuit d'essai de vérification de la capacité de coupure thermique de l'interrupteur principal par la méthode par injection de courant	302
Figure J.2 – Circuit d'essai de vérification de la capacité de coupure de l'interrupteur principal.....	303
Figure J.3 – Circuit d'essai de l'interrupteur de résistance	304

Figure J.4 – Exemple de circuit d'essai pour essais d'établissement et de coupure de courants capacitifs sur l'interrupteur principal	306
Figure J.5 – Exemple de circuit d'essai pour essais d'établissement et de coupure de courants capacitifs sur l'interrupteur de résistance.....	307
Figure K.1 – Exemple de circuit combiné d'injection de courant et de tension avec application de la tension d'essai complète par rapport à la terre	309
Figure K.2 – Exemple de circuit combiné d'injection de courant et de tension avec application séparée de la tension d'essai	310
Tableau 1 – Tolérances et limites exigées pendant la période de fort courant	169
Tableau 2 – Circuits d'essais pour les séquences d'essais T100s et T100a	175
Tableau 3 – Paramètres d'essai pendant la coupure triphasée pour les séquences d'essai T10, T30, T60 et T100s, $k_{pp} = 1,5$	176
Tableau 4 – Paramètres d'essai pendant la coupure triphasée pour les séquences d'essai T10, T30, T60 et T100s, $k_{pp} = 1,3$	177
Tableau 5 – Paramètres d'essai pendant la coupure triphasée pour les séquences d'essai T10, T30, T60 et T100s, $k_{pp} = 1,2$	178
Tableau 6 – Symboles et termes abrégés utilisés pour les manœuvres pendant les essais synthétiques	188
Tableau 7 – Méthodes d'essais synthétiques pour les séquences d'essais T10, T30, T60, T100s, T100a, SP, DEF, OP et SLF	201
Tableau A.1 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,3$ et $f_r = 50$ Hz	209
Tableau A.2 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,3$ et $f_r = 60$ Hz	210
Tableau A.3 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,5$ et $f_r = 50$ Hz	212
Tableau A.4 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,5$ et $f_r = 60$ Hz	213
Tableau A.5 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,2$ et $f_r = 50$ Hz	213
Tableau A.6 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,2$ et $f_r = 60$ Hz	214
Tableau A.7 – Pourcentage de la composante continue et di/dt au zéro de courant pour le premier pôle qui coupe pour $f_r = 50$ Hz	214
Tableau A.8 – Pourcentage de la composante continue et di/dt au zéro de courant pour le premier pôle qui coupe pour $f_r = 60$ Hz	215
Tableau B.1 – Tolérances sur les grandeurs d'essais lors des essais de type	222
Tableau D.1 – Démonstration des durées d'arc pour $k_{pp} = 1,5$	227
Tableau D.2 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,5$	229
Tableau D.3 – Démonstration des durées d'arc pour $k_{pp} = 1,3$	231
Tableau D.4 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,3$	233
Tableau D.5 – Démonstration des durées d'arc pour $k_{pp} = 1,5$	236
Tableau D.6 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,5$	238
Tableau D.7 – Démonstration des durées d'arc pour $k_{pp} = 1,3$	240

Tableau D.8 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,3$	242
Tableau D.9 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pour les séquences d'essais T10, T30, T60 et T100s(b).....	244
Tableau D.10 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pour la séquence d'essai T100a	245
Tableau E.1 – Procédure d'essai pour $k_{pp} = 1,5$ et $2,5$	247
Tableau E.2 – Procédure d'essai pour $k_{pp} = 1,3$ et $2,0$	248
Tableau E.3 – Procédure d'essai simplifiée pour $k_{pp} = 1,3$ et $2,0$	249
Tableau E.4 – Procédure d'essai pour $k_{pp} = 1,2$	250
Tableau E.5 – Procédure d'essai simplifiée pour $k_{pp} = 1,2$	250
Tableau E.6 – Procédure d'essai pour des courants asymétriques pour $k_{pp} = 1,5$	251
Tableau E.7 – Procédure d'essai pour des courants asymétriques pour $k_{pp} = 1,3$	253
Tableau E.8 – Procédure d'essai pour des courants asymétriques pour $k_{pp} = 1,2$	255
Tableau E.9 – Procédure de combinaison de $k_{pp} = 1,3$ et $1,5$ pour les séquences d'essais T10, T30, T60 et T100s(b).....	256
Tableau E.10 – Procédure de combinaison de $k_{pp} = 2,0$ et $2,5$ pour les séquences d'essais OP1 et OP2(b)	257
Tableau E.11 – Procédure de combinaison de $k_{pp} = 1,5$ et $1,3$ pour la séquence d'essais T100a	258
Tableau E.12 – Paramètres d'essais exigés pour les différentes conditions asymétriques pour $k_{pp} = 1,5$, $f_r = 50$ Hz.....	259
Tableau E.13 – Paramètres d'essais exigés pour les différentes conditions asymétriques pour $k_{pp} = 1,3$, $f_r = 50$ Hz.....	261
Tableau E.14 – Paramètres d'essais exigés pour les différentes conditions asymétriques pour $k_{pp} = 1,2$, $f_r = 50$ Hz.....	263
Tableau E.15 – Paramètres d'essais exigés pour les différentes conditions asymétriques pour $k_{pp} = 1,5$, $f_r = 60$ Hz.....	264
Tableau E.16 – Paramètres d'essais exigés pour les différentes conditions asymétriques pour $k_{pp} = 1,3$, $f_r = 60$ Hz.....	266
Tableau E.17 – Paramètres d'essais exigés pour les différentes conditions asymétriques pour $k_{pp} = 1,2$, $f_r = 60$ Hz.....	268

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

APPAREILLAGE À HAUTE TENSION –

Partie 101: Essais synthétiques

AVANT-PROPOS

- 1) La Commission Électrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. À cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments du présent document de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets.

La Norme internationale IEC 62271-101 a été établie par le sous-comité 17A: Appareils de connexion, du comité d'études 17 de l'IEC: Appareillage à haute tension.

Cette troisième édition annule et remplace la deuxième édition parue en 2012 et l'Amendement 1:2017. Cette édition constitue une révision technique.

Cette édition inclut les modifications techniques majeures suivantes par rapport à la deuxième édition:

- a) alignement sur la troisième édition de l'IEC 62271-100:2021;
- b) mise à jour du présent document avec les méthodes et techniques récentes utilisées pour les essais synthétiques.

Le texte du présent document est issu des documents suivants:

FDIS	Rapport de vote
17A/1312/FDIS	17A/1315/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à son approbation.

La langue employée pour l'élaboration de cette Norme internationale est l'anglais.

Le présent document a été rédigé selon les Directives ISO/IEC, Partie 2, il a été développé selon les Directives ISO/IEC, Partie 1 et les Directives ISO/IEC, Supplément IEC, disponibles sous www.iec.ch/members_experts/refdocs. Les principaux types de documents développés par l'IEC sont décrits plus en détail sous www.iec.ch/standardsdev/publications.

Cette publication doit être lue conjointement avec l'IEC 62271-100:2021, à laquelle elle se réfère. La numérotation des paragraphes de l'Article 7 reprend celle de l'IEC 62271-100. Néanmoins, tous les paragraphes de l'IEC 62271-100 ne sont pas concernés, uniquement ceux pour lesquels les essais synthétiques ont introduit des modifications.

Une liste de toutes les parties de la série IEC 62271, sous le titre général *Appareillage à haute tension*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu du présent document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous webstore.iec.ch dans les données relatives au document recherché. À cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

APPAREILLAGE À HAUTE TENSION –

Partie 101: Essais synthétiques

1 Domaine d'application

La présente partie de l'IEC 62271 s'applique principalement aux disjoncteurs à courant alternatif définis dans le domaine d'application de l'IEC 62271-100. Elle donne les règles générales d'essais de ces disjoncteurs, pour les pouvoirs de fermeture et de coupure dans la plage des séquences d'essais décrites de 7.102 à 7.111 de l'IEC 62271-100:2021, à l'aide de méthodes d'essais synthétiques.

Il a été démontré que l'essai synthétique est un moyen économique et techniquement valable pour soumettre à l'essai les disjoncteurs à courant alternatif à haute tension selon les exigences de l'IEC 62271-100, et qu'il est équivalent à un essai direct.

Les méthodes et techniques décrites sont celles d'usage courant. L'objet du présent document est d'établir des critères pour les essais synthétiques et pour l'évaluation correcte des résultats. Ces critères établissent la validité de la méthode d'essai sans limiter l'invention de nouveaux circuits d'essais.

2 Références normatives

Les documents suivants sont cités dans le texte de sorte qu'ils constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 62271-100:2021, *Appareillage à haute tension – Partie 100: Disjoncteurs à courant alternatif*

3 Termes et définitions

Pour les besoins du présent document, les termes et les définitions de l'IEC 62271-100 ainsi que les suivants, s'appliquent.

L'ISO et l'IEC tiennent à jour des bases de données terminologiques destinées à être utilisées en normalisation, consultables aux adresses suivantes:

- IEC Electropedia: disponible à l'adresse <http://www.electropedia.org/>
- ISO Online browsing platform: disponible à l'adresse <http://www.iso.org/obp>

3.1

essai direct

essai dans lequel la tension appliquée, le courant, les tensions de rétablissement (transitoire et à fréquence industrielle), sont tous obtenus à partir d'un circuit à une seule source de puissance, laquelle peut être un réseau ou des alternateurs spéciaux comme ceux qui sont utilisés dans les stations d'essais de court-circuit ou une combinaison des deux

3.2

essai synthétique

essai dans lequel la totalité du courant ou la plus grande partie de celui-ci est obtenue à partir d'une source (circuit de courant) et dans lequel la tension appliquée et/ou les tensions de rétablissement (transitoire et à fréquence industrielle) sont obtenues en totalité ou en partie à partir d'une ou de plusieurs sources séparées (circuits de tension)

3.3

disjoncteur auxiliaire

disjoncteur introduit dans le circuit d'essais synthétiques et utilisé pour établir la relation exigée entre le disjoncteur en essai et différents circuits

3.4

circuit de courant

partie du circuit d'essais synthétiques qui fournit la plus grande part du courant à fréquence industrielle ou sa totalité

3.5

circuit de tension

partie du circuit d'essais synthétiques qui fournit la plus grande part de la tension appliquée et/ou de la tension de rétablissement ou sa totalité

3.6

courant présumé

courant qui circule dans le circuit si chaque pôle des disjoncteurs d'essai et disjoncteurs auxiliaires est remplacé par un conducteur d'impédance négligeable

Note 1 à l'article: Comparée à l'IEC 60050-441:2000, 441-17-01, le domaine entre parenthèses a été supprimé. Dans la définition, l'expression "l'appareil de connexion ou le fusible" a été remplacée par "des disjoncteurs d'essai et disjoncteurs auxiliaires", et la Note à l'article a été supprimée.

3.7

courant réel

courant traversant le disjoncteur en essai

Note 1 à l'article: Le courant réel est un courant présumé modifié par la tension d'arc des disjoncteurs d'essai et auxiliaire.

3.8

courant post-arc

courant qui circule dans l'espace entre les contacts d'arc d'un disjoncteur après que la tension d'arc est devenue nulle et que la tension transitoire de rétablissement commence à croître

3.9

méthode par injection de courant

méthode d'essais synthétiques dans laquelle le circuit de tension est appliqué au disjoncteur en essai avant le zéro de courant à fréquence industrielle

3.10

courant transitoire initial d'établissement

ITMC

courant transitoire qui circule à travers le disjoncteur lors de l'établissement à l'instant du claquage en tension et avant le début du courant généré par le circuit de courant

Note à l'article: L'abréviation "ITMC" est dérivée du terme anglais développé correspondant "initial transient making current".

3.11

courant injecté

courant fourni par le circuit de tension d'un circuit à injection de courant au moment auquel cette source est reliée au disjoncteur en essai

3.12

méthode par injection de tension

méthode d'essais synthétiques dans laquelle le circuit de tension est appliqué au disjoncteur en essai après le zéro de courant à fréquence industrielle

3.13**conditions du réseau de référence**

conditions d'un réseau électrique avec les paramètres constitutifs dont les valeurs assignées et les valeurs d'essai de l'IEC 62271-100 sont dérivées

3.14**retard de l'enclencheur** t_m

intervalle de temps, au cours d'un essai synthétique d'établissement, entre l'instant du claquage de la tension appliquée et l'injection de courant à partir du circuit de courant

3.15**prémorçage**

claquage en tension entre les contacts au cours d'une manœuvre d'enclenchement qui provoque le passage du courant

3.16**asymétrie intermédiaire**

niveau d'asymétrie dans les deux autres phases qui présentent un niveau d'asymétrie (intermédiaire) réduit lorsque dans un réseau triphasé le courant de court-circuit est initié simultanément dans toutes les phases et que l'asymétrie maximale est obtenue dans l'une des phases

3.17**vitesse de rupture de la rigidité diélectrique****RDDS**

réduction de la tension de tenue entre les contacts en fonction du temps ou de l'espace de contact durant la fermeture

Note à l'article: L'abréviation "RDDS" est dérivée du terme anglais développé correspondant "rate of decay of dielectric strength".

[SOURCE: IEC TR 62271-302:2010, 3.7.5, modifiée – "entre les contacts" ajouté après "tension de tenue" en français et "d'un disjoncteur" a été supprimé à la fin de la définition]

4 Techniques et méthodes d'essais synthétiques pour les essais de coupure en court-circuit**4.1 Principes fondamentaux et exigences générales pour les méthodes d'essais synthétiques de coupure****4.1.1 Généralités**

Toute méthode d'essai synthétique particulière choisie doit contraindre le disjoncteur en essai de manière adéquate. L'adéquation est généralement établie lorsque la méthode d'essai satisfait aux exigences exposées dans les alinéas et les paragraphes suivants de 4.1, 4.2 et 4.3.

Le disjoncteur a deux positions fondamentales: fermé et ouvert. Fermé, il conduit le plein courant avec une chute de tension négligeable entre ses contacts. Ouvert, il ne laisse passer qu'un courant négligeable, mais avec la pleine tension entre ses contacts. Ce fonctionnement définit les deux contraintes principales, la contrainte en courant et la contrainte en tension, qui sont séparées dans le temps.

Si les contraintes de tension et de courant sont plus finement étudiées pendant le processus de coupure (Figure 1), trois périodes principales peuvent être distinguées:

– période de fort courant;

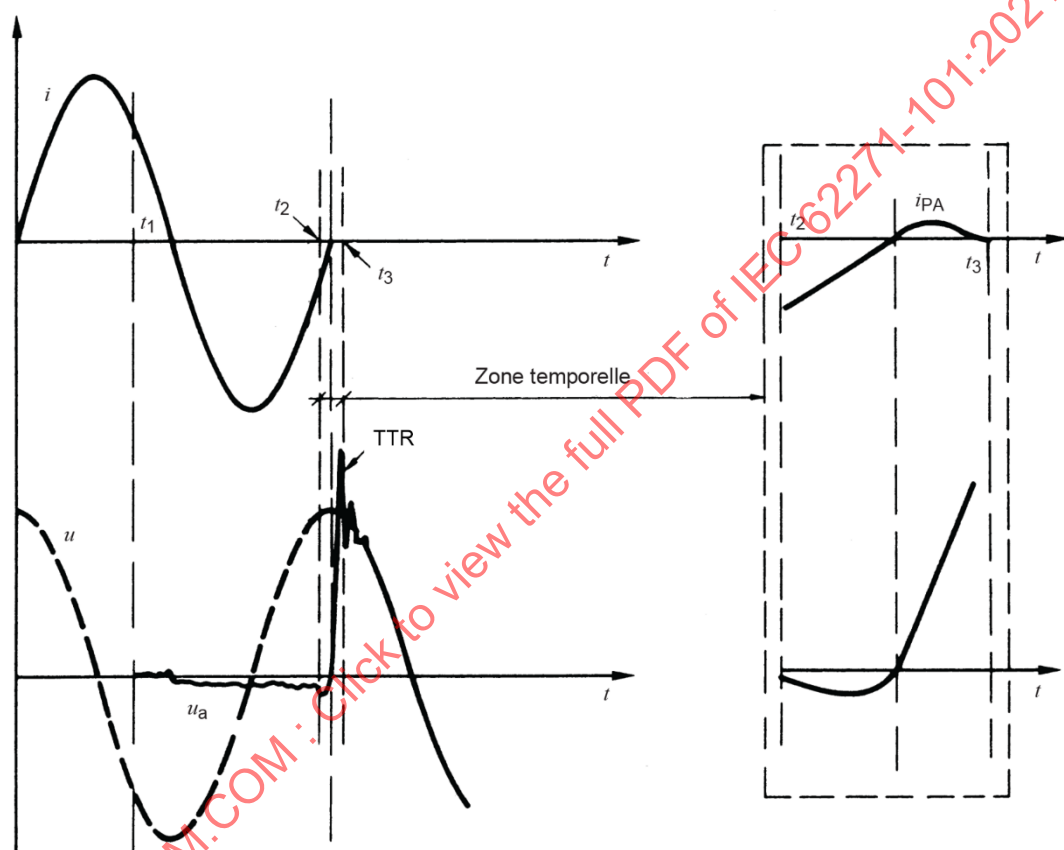
Cette période est définie par le temps entre la séparation des contacts et le début de la variation significative de la tension d'arc. La période de fort courant précède les périodes d'interaction et de haute tension.

- période d'interaction;

Cette période est définie par le temps qui sépare le début de la variation significative de la tension d'arc avant le zéro de courant, de la disparition du courant qui traverse le disjoncteur en essai y compris, s'il existe, le courant post-arc (voir aussi 14.2.4 de l'IEC TR 62271-306:2012/AMD1:2018).

- période de haute tension.

Cette période est définie par le temps qui sépare la disparition du courant traversant le disjoncteur en essai, y compris le courant post-arc, s'il existe, de la fin de l'essai.



IEC

Légende

i	courant de coupure	t_2	début de la variation significative de la tension d'arc
u	tension à fréquence industrielle	t_3	instant de disparition du courant post-arc
u_a	tension d'arc	$t_2 - t_1$	période de fort courant
TTR	tension transitoire de rétablissement	$t_3 - t_2$	période d'interaction
i_{PA}	courant post-arc	Après t_3	période de haute tension
t_1	instant de séparation des contacts		

Figure 1 – Processus de coupure – Instants principaux

4.1.2 Période de fort courant

Les tolérances sur la fréquence industrielle du courant de coupure réel sont indiquées au 7.103.2.1 de l'IEC 62271-100:2021. Les exigences suivantes indiquées dans le Tableau 1 concernant le courant réel traversant le disjoncteur en essai doivent être satisfaites:

Tableau 1 – Tolérances et limites exigées pendant la période de fort courant

Séquence d'essais	Tolérances et limites relatives aux valeurs d'essai spécifiées du courant de coupure ^a				
	A la séparation des contacts		Dernière alternance avant la coupure		
	Valeur efficace %	Composante continue %	Valeur de crête %	Durée %	Produit de la valeur de crête et de la durée %
Essai au courant critique T10, T30, OP1	±20	≤ 20	≥ 90	≥ 90	-
T60	±10	≤ 20	≥ 90	≥ 90	-
T100s	+5 0	≤ 20	≥ 90	≥ 90	≥ 95 ^b
T100a	±10		≤ 110 ^c ≥ 90 ^c	≤ 110 ^d ≥ 90 ^d	≤ 110 ≥ 95 ^b ≥ 90
SP, DEF	+5 0	≤ 20	≥ 90	≥ 90	
L ₉₀	+5,6 0	≤ 20	≤ 110 ≥ 95	≥ 90	≥ 95
L ₇₅	±5,3	≤ 20	≤ 110 ≥ 95	≥ 90	≥ 95
L ₆₀	±8,3	≤ 20	≤ 110 ≥ 95	≥ 90	≥ 95
OP2	+10 0	≤ 20	≥ 90	≥ 90	

^a Ce tableau répertorie les tolérances applicables lors des essais. Les valeurs d'essai spécifiées du courant de coupure, indiquées dans l'Annexe B de l'IEC 62271-100:2021, constituent une valeur unique exempte de toute tolérance.

^b Applicable uniquement si l'essai est effectué avec la tension transitoire de rétablissement initiale (TTRI).

^c Valeur de crête spécifiée du courant de coupure multipliée par le facteur de multiplication de la dernière alternance de courant, indiquée du Tableau E.12 au Tableau E.17, et dans le Tableau A.7 et le Tableau A.8.

^d Durée spécifiée de la dernière alternance de courant indiquée du Tableau E.12 au Tableau E.17, et dans le Tableau A.7 et le Tableau A.8.

Dans de rares cas, lorsque la tension appliquée à partir du circuit de fort courant est de même amplitude que la tension d'essai exigée dans un circuit d'essais directs, il est admis un écart plus important pour la dernière alternance de courant, à condition que l'alternance du courant influencée par l'arc du disjoncteur auxiliaire se situe dans les tolérances spécifiées à l'Annexe B de l'IEC 62271-100:2021.

Des exemples sont donnés au 14.7 de l'IEC TR 62271-306:2012/AMD1:2018.

4.1.3 Période d'interaction

Aucune exigence spécifique n'est définie pour la période d'interaction.

Voir l'IEC TR 62271-306:2012 et l'IEC TR 62271:2012/AMD1:2018.

4.1.4 Période de haute tension

Pendant cette période, l'intervalle entre les contacts du disjoncteur en essai est contraint par la tension de rétablissement.

La TTR présumée doit satisfaire aux exigences du 7.105.5 de l'IEC 62271-100:2021.

Les méthodes qui permettent de déterminer la TTR présumée dans les circuits d'essais synthétiques peuvent être choisies parmi celles décrites dans l'Annexe E de l'IEC 62271-100:2021.

L'impédance du circuit de tension doit être assez faible pour mettre en évidence les claquages, s'il y en a.

Si le disjoncteur en essai est équipé de résistances d'ouverture, une procédure spéciale peut être appliquée (voir Annexe J).

Si la TTR est obtenue à partir de plusieurs sources, il convient que la forme de l'onde résultante ne présente pas de discontinuité appréciable.

En principe, il convient que la tension de rétablissement à fréquence industrielle pour les séquences d'essais de court-circuit fondamentales soit de préférence alternative. Elle doit également satisfaire aux exigences du 7.103.4 de l'IEC 62271-100:2021. Pendant les essais synthétiques, la tension de rétablissement est fournie par le circuit de tension soit directement, soit mise en série avec le circuit de courant. Ce dispositif fait apparaître une tension alternative, une tension continue ou leur combinaison, qui, dans la plupart des cas, décroît du fait de l'énergie limitée du circuit de tension. Il peut alors ne pas être possible de maintenir la tension de rétablissement pendant au moins 0,3 s comme cela est spécifié au 7.103.4 de l'IEC 62271-100:2021. Les écarts par rapport à la tension de rétablissement spécifiée sont acceptables si les conditions suivantes sont remplies:

- la valeur initiale de la tension de rétablissement à fréquence industrielle, sans les oscillations transitoires, ne doit pas être inférieure à la valeur initiale équivalente de la tension de rétablissement à fréquence industrielle indiquée au 7.103.4 de l'IEC 62271-100:2021 qui, pour un essai avec un courant symétrique, apparaît avec une valeur crête minimale de

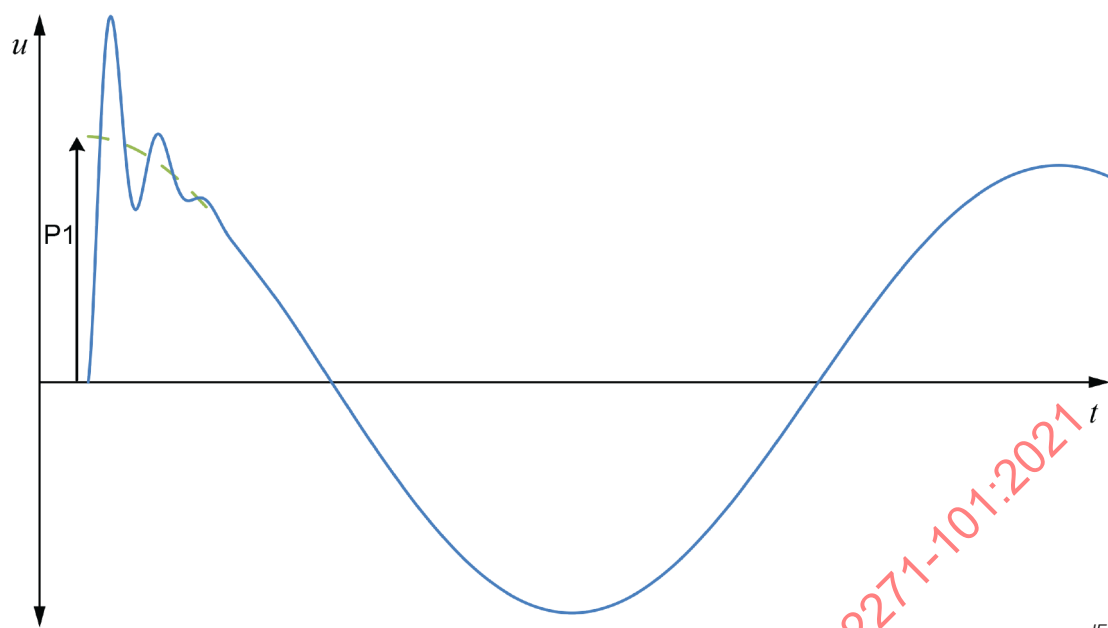
$$0,95 \times k_{pp} \times U_r \sqrt{2/3}$$

où

k_{pp} est le facteur de premier pôle qui coupe;

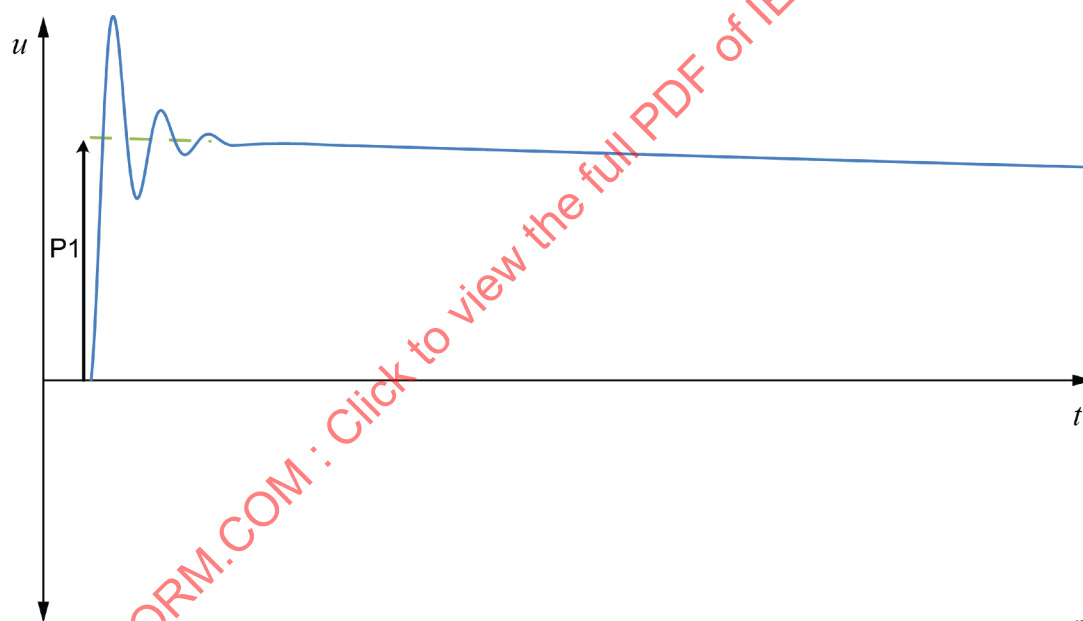
U_r est la tension assignée du disjoncteur;

- qu'une tension de rétablissement continue, alternative, ou alternative et continue combinées à décroissance exponentielle soit utilisée, il convient que sa valeur instantanée (pour la tension continue) ou sa valeur de crête (pour la tension alternative, ou alternative et continue combinées) soit, en principe, maintenue aussi près que possible de $U_r \sqrt{2} / \sqrt{3}$. Dans tous les cas, cette valeur ne doit pas descendre au-dessous de $0,5 U_r \sqrt{2} / \sqrt{3}$ en moins de 0,1s;
- si une tension de rétablissement continue ou continue et alternative combinées, à décroissance exponentielle, impose une contrainte incorrecte au disjoncteur par rapport à celle due à la tension de rétablissement alternative spécifiée dans les conditions du réseau de référence, un circuit d'essai qui satisfait mieux au 7.103.4 de l'IEC 62271-100:2021 et aux limites indiquées ci-dessus peut alors être utilisé;
- la Figure 2 (a) et b)) propose quelques exemples d'évaluation de la tension de rétablissement.



IEC

a) Exemple de tension de rétablissement à fréquence industrielle



IEC

b) Exemple de tension de rétablissement en courant continu en régime établi

Légende

P1	Point de valeur initiale de la tension de rétablissement (à la fréquence industrielle ou en courant continu en régime établi), $\geq 0,95 \times k_{pp} \times U_r \times \sqrt{\frac{2}{3}}$
Ligne bleue	Tension de rétablissement soumise à l'essai
Ligne verte en pointillé	Tension de rétablissement à fréquence industrielle ou en courant continu en régime établi soumise à l'essai

Figure 2 – Exemples d'évaluation de la tension de rétablissement initiale

4.2 Circuits d'essais synthétiques et exigences spécifiques connexes relatives aux essais de coupure

4.2.1 Méthodes par injection de courant

En termes généraux, ces méthodes peuvent se décrire comme suit (voir IEC TR 62271-306):

- le courant du circuit de tension est superposé au courant à fréquence industrielle traversant le disjoncteur en essai avant la période d'interaction;
- le disjoncteur auxiliaire coupe le courant à fréquence industrielle délivré par le circuit de courant avant la période d'interaction.

La méthode par injection de courant est obligatoire pour:

- les séquences d'essais de défaut proche en ligne;
- les séquences d'essais T100s et T100a lorsque les essais sont effectués avec la TTRI.

En raison de la limite inférieure de la fréquence du courant injecté de 250 Hz, il peut être impossible de préparer les circuits d'essai avec une faible vitesse d'accroissement de la tension de rétablissement – VATR (par exemple, pour un essai par éléments séparés) et/ou une longue durée avant la crête (par exemple, pour une tension assignée élevée). Dans ce cas, lorsque la méthode par injection de courant est obligatoire, l'essai peut être effectué à l'aide de la méthode d'essai en plusieurs parties (voir 7.102.4.3). La première partie de l'essai (zéro de courant et partie initiale de la TTR) doit être effectuée avec une méthode par injection de courant et la seconde partie de l'essai (seconde partie de la TTR et de la TR) peut être effectuée avec une méthode par injection de tension. Quant à l'essai de défaut proche en ligne, il est également possible de l'effectuer avec une alimentation d'essai à puissance limitée, selon 7.109.5 de l'IEC 62271-100:2021.

La durée pendant laquelle l'arc n'est alimenté que par le courant injecté doit être considérée comme partie intégrante de la durée de la dernière alternance avant la coupure.

Si un quelconque dispositif avec un pouvoir de coupure coupe le courant traversant le disjoncteur en essai en même temps que ce dernier, la méthode n'est pas une méthode par injection de courant valide.

Pendant la période d'interaction, le disjoncteur en essai est soumis à la tension du circuit de tension dont l'impédance représente celle du réseau de référence. Cette configuration explique la validité des méthodes par injection de courant. Plusieurs méthodes par injection de courant sont connues, mais seule l'injection de courant parallèle est décrite ici puisqu'il s'agit de la méthode utilisée par la plupart des laboratoires d'essai. Les conditions suivantes doivent être remplies:

- a) circuit de mise en forme d'onde de la TTR;
 - 1) La forme et l'amplitude de la TTR présumée doivent satisfaire aux valeurs spécifiées.
 - 2) L'impédance d'onde équivalente Z_h (voir Figure 3) doit, en théorie, être égale à $(du/dt)/(di/dt)$ pendant la période d'interaction. du/dt est la vitesse d'accroissement de la tension transitoire de rétablissement spécifiée et di/dt est la vitesse de décroissance du courant de court-circuit spécifié.
 - 3) La combinaison des capacités localisées ou réparties C_{dh} en parallèle avec Z_h provoque le retard $t_d = Z_h \times C_{dh}$.
- b) inductance du circuit de tension;

Sa valeur doit être comprise entre 1,0 et 1,5 fois l'inductance calculée à partir de la tension à fréquence industrielle équivalente divisée par le courant présumé.
- c) fréquence du courant injecté et instant d'injection;

La fréquence du courant injecté doit être de préférence de l'ordre de 500 Hz avec une limite inférieure de 250 Hz et une limite supérieure de 1 000 Hz.

Afin d'éviter une influence anormale du courant à fréquence industrielle sur la forme d'onde, la limite inférieure de la fréquence du courant injecté est fixée à 250 Hz.

La fréquence maximale du courant injecté est déterminée par la durée de variation significative de la tension d'arc, durée qui doit être plus courte que le temps pendant lequel l'arc est alimenté uniquement par le courant injecté. Pour cela, il convient que la période de la fréquence injectée soit d'au moins quatre fois la durée de variation significative de la tension d'arc (voir IEC TR 62271-306).

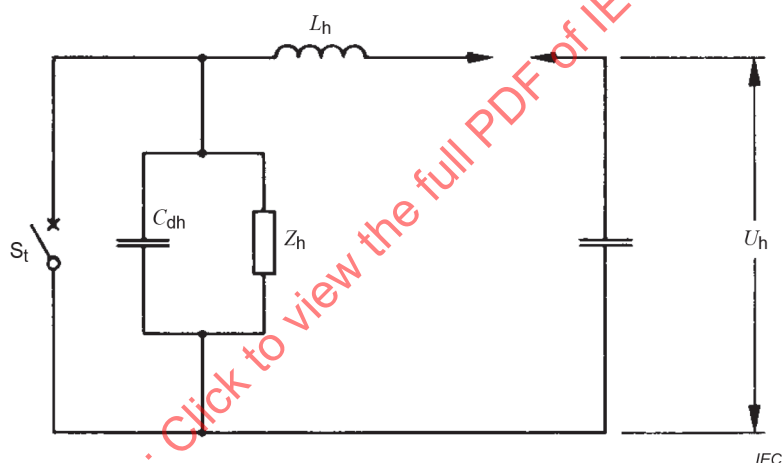
L'instant initial du courant injecté doit être ajusté de façon telle que la durée pendant laquelle le disjoncteur en essai est alimenté uniquement par le courant injecté soit égale à moins d'un quart de la période de la fréquence du courant injecté, avec un maximum de 500 s.

Il convient de veiller à ne pas contraindre indûment le disjoncteur lorsque la durée pendant laquelle le disjoncteur en essai est alimenté seulement par le courant injecté est inférieure à 200 s.

d) forme de l'onde de courant injecté.

La vitesse présumée de décroissance (di/dt) du courant injecté au zéro de courant doit correspondre à celle du courant présumé à fréquence industrielle.

Pratiquement, aucune oscillation ne doit perturber le courant injecté pendant au moins 100 μ s avant le zéro de courant.



Légende

- U_h tension de charge du circuit de tension
- L_h inductance du circuit de tension
- Z_h impédance d'onde équivalente
- C_{dh} capacité pour le retard du circuit de tension
- S_t disjoncteur en essai

Figure 3 – Impédance d'onde équivalente du circuit de tension pour la méthode par injection de courant

4.2.2 Méthode par injection de tension

Plusieurs méthodes par injection de tension sont connues, mais seule la méthode d'injection série est décrite ici en termes généraux comme suit (voir IEC TR 62271-306):

- la tension fournie par le circuit de tension est appliquée au disjoncteur en essai après la période d'interaction;
- un condensateur en parallèle avec le disjoncteur auxiliaire est utilisé pour appliquer la tension de rétablissement au disjoncteur en essai;
- pendant les périodes de fort courant et d'interaction, seul le circuit de courant alimente le disjoncteur en essai.

Quand cette méthode est utilisée pour les essais relatifs à la capacité de coupure diélectrique du disjoncteur, les conditions suivantes doivent être respectées:

- le circuit de tension doit être conçu de manière à permettre la détection de réallumages ou de réamorçages s'ils apparaissent;
La capacité aux bornes du disjoncteur auxiliaire doit donc être d'au moins 20 fois la capacité en parallèle avec le disjoncteur en essai. Il convient de veiller à éviter une déformation anormale du courant avant le zéro de courant à fréquence industrielle.
- aucune interruption de la contrainte ne doit provenir de la combinaison du circuit de courant et du circuit de tension.

4.2.3 Circuit de Skeats (ou par transformateur)

En termes généraux, cette méthode peut se décrire comme suit (voir IEC TR 62271-306):

- les courant et tension proviennent du même circuit;
- la tension de rétablissement à fréquence alternative est fournie par un transformateur élévateur dont le primaire est raccordé au circuit de courant;
- la tension de rétablissement est appliquée au disjoncteur en essai par l'intermédiaire d'une impédance (généralement une résistance).

Le disjoncteur auxiliaire coupe le courant avant le disjoncteur en essai, dans un intervalle de temps court. Pendant ce court intervalle de temps, la valeur de la pente de courant di/dt dans le disjoncteur en essai est diminuée.

Le circuit de Skeats peut être facilement modifié pour fournir la pleine contrainte de tension pendant deux manœuvres d'une séquence (ou plus), par exemple aux fermeture et ouverture d'un cycle CO, aux ouvertures d'un cycle O – t – CO et même à des zéros de courant consécutifs d'une manœuvre d'ouverture. Voir 14.3 de l'IEC TR 62271-306:2012/AMD1:2018.

4.2.4 Autres méthodes d'essais synthétiques

D'autres méthodes peuvent être valables et avantageuses pour l'essai de disjoncteurs de caractéristiques spécifiques ou pour l'essai d'un disjoncteur à des performances spécifiques. Même lorsque ces méthodes ne sont pas décrites dans le présent document, il peut être possible de les appliquer sous réserve d'une étude détaillée des conditions d'utilisation et de l'accord du constructeur et de l'utilisateur.

4.3 Méthodes d'essais synthétiques triphasés

Les méthodes d'essais synthétiques triphasés doivent être appliquées pour l'essai des disjoncteurs qui ne peuvent pas être soumis à des essais en unipolaire selon 7.102.4.1 de l'IEC 62271-100:2021. Elles peuvent également être utilisées comme une alternative aux essais synthétiques monophasés, si cela est approprié. Les séquences d'essais de court-circuit T10, T30 et T60 peuvent, dans tous les cas, être réalisées avec circuits d'essais monophasés.

L'Annexe F fournit des exemples de circuits d'essais triphasés.

Afin d'assurer que les contraintes appropriées dans l'élément de coupure et celles entre les pôles et, le cas échéant, l'enveloppe, sont appliquées, les exigences générales suivantes doivent être remplies:

- a) le courant triphasé complet doit être fourni au disjoncteur tripolaire en essai;
- b) les informations concernant les circuits d'essais exigés pour les séquences d'essais T100s et T100a sont données dans le Tableau 2;
- c) les paramètres d'essais pour chaque pôle qui coupe sont donnés du Tableau 3 au Tableau 5;

- d) il convient d'appliquer de préférence toutes les contraintes ci-dessus dans le même essai. Si cela est impossible, il convient d'utiliser une procédure d'essai en plusieurs parties;
- e) afin d'éviter de modifier le raccordement du circuit haute tension au disjoncteur entre les essais de chaque séquence d'essais, il est permis de garder le premier pôle qui coupe dans la même phase pendant toute la séquence, compte tenu des exigences du 7.104.1 de l'IEC 62271-100:2021.

Tableau 2 – Circuits d'essais pour les séquences d'essais T100s et T100a

k_{pp}	T100s		T100a	
	Premier pôle qui coupe	Autres pôles	Premier pôle qui coupe	Autres pôles
1,5	Application de circuits d'essais synthétiques de 4.2.1 ou 4.2.2 lors de toutes les manœuvres	Application de circuits d'essais synthétiques de 4.2.1, 4.2.2 ou 4.2.3 lors de toutes les manœuvres	Application de circuits d'essais synthétiques de 4.2.1 ou 4.2.2 pendant au moins deux manœuvres La troisième manœuvre peut être soumise à l'essai avec 4.2.3	Application de circuits d'essais synthétiques de 4.2.1 ou 4.2.2 au moins lors de la manœuvre avec la grande alternance rallongée et la durée d'arc la plus longue
1,2 ou 1,3	Application de circuits d'essais synthétiques de 4.2.1 ou 4.2.2 pendant au moins deux manœuvres La troisième manœuvre peut être soumise à l'essai avec 4.2.3	Application de circuits d'essais synthétiques de 4.2.1 à 4.2.3 lors de toutes les manœuvres. Au deuxième pôle qui coupe lors de la manœuvre avec la durée d'arc la plus longue, application uniquement de circuits d'essais synthétiques de 4.2.1 ou 4.2.2	Application de circuits d'essais synthétiques de 4.2.1 ou 4.2.2 pendant au moins deux manœuvres La troisième manœuvre peut être soumise à l'essai avec 4.2.3	Application de circuits d'essais synthétiques de 4.2.1 à 4.2.3 lors de toutes les autres manœuvres. Au deuxième pôle qui coupe lors de la manœuvre avec la grande alternance rallongée et la durée d'arc la plus longue, application uniquement de circuits d'essais synthétiques de 4.2.1 ou 4.2.2
Légende k_{pp} facteur de premier pôle qui coupe. L'injection de tension n'est permise que s'il n'y a pas d'exigences de TTRI ou si ces exigences sont couvertes par les essais de défaut proche en ligne.				

Tableau 3 – Paramètres d'essai pendant la coupure triphasée pour les séquences d'essai T10, T30, T60 et T100s, $k_{pp} = 1,5$

Crête de TTR en %				Crête de tension de rétablissement p.u.	du/dr %	di/dr %	Angle de phase °
		Au moment du premier pôle qui coupe	Au moment du deuxième et du troisième pôles qui coupent				
Phases	A	100	-	1	100	100	-
	B	0	58	1	70	87	90
	C	0	58	1	70	87	90
Entre phases	A – B	100	58	1,732			
	B – C	0	115	1,732			
	A – C	100	58	1,732			

TTR crête du premier pôle qui coupe: $u_c = k_{af} \times k_{pp} \times U_r \times \sqrt{2}/\sqrt{3}$ (= 100 %).

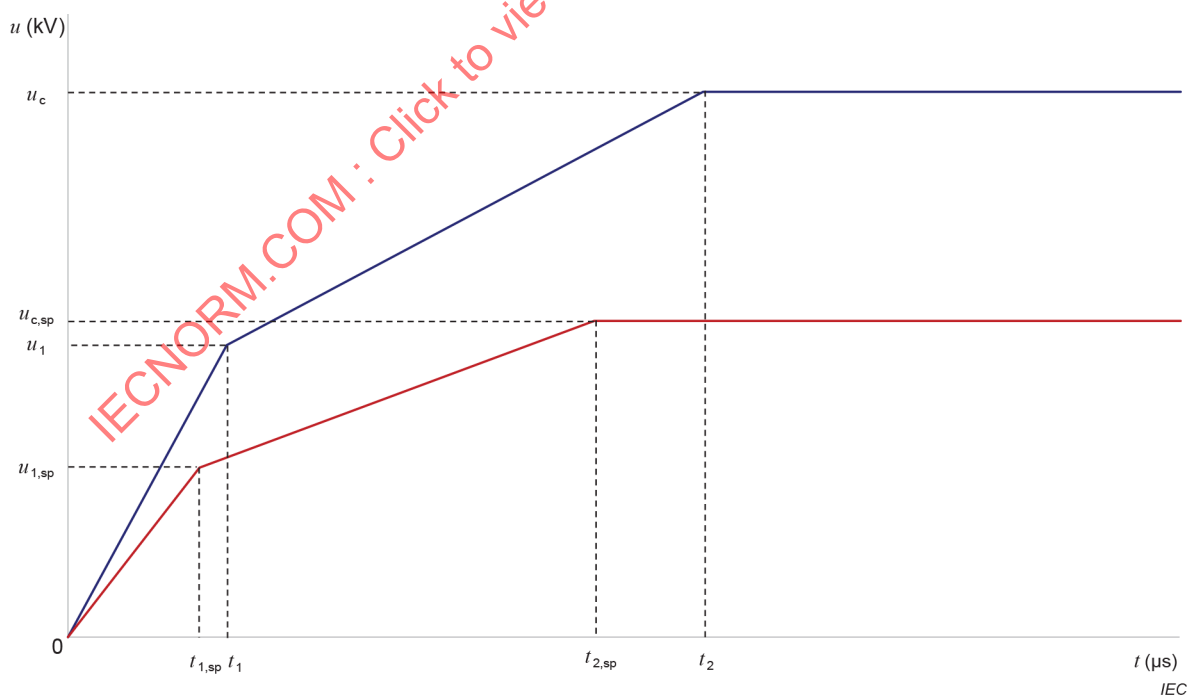
1 p.u. = $U_r \times \sqrt{2}/\sqrt{3}$.

Le premier pôle qui coupe est en phase A.

Les paramètres d'essai sont calculés sur la base des installations de mise à la terre des circuits, comme cela est décrit dans l'IEC TR 62271-306.

Phases B et C de TTR avec 4 paramètres (voir Figure 4):

- u_1 la première tension de référence est obtenue avec le même facteur de réduction utilisé pour la TTR crête u_c .
- t_1 est obtenue à partir de u_1 et du facteur de réduction correspondant du/dr.
- t_2 est obtenue à partir de t_1 avec maintien du même rapport comme pour le premier pôle qui coupe.



Légende

Ligne bleue: premier pôle qui coupe:

Ligne rouge: deuxième et troisième pôles qui coupent

Figure 4 – Lignes de référence de TTR avec quatre paramètres pour $k_{pp} = 1,5$

Tableau 4 – Paramètres d'essai pendant la coupure triphasée pour les séquences d'essai T10, T30, T60 et T100s, $k_{pp} = 1,3$

Crête de TTR en %				Crête de tension de rétablissement p.u.	du/dt %	di/dt %	Angle de phase °
		Au moment du premier pôle qui coupe	Au moment du deuxième et du troisième pôles qui coupent				
Phases	A	100	- / -	1	100	100	-
	B	0	- / 77	1	70	57	120
	C	0	97 / -	1	95	89	77
Entre phases	A – B	100	- / 91	1,732			
	B – C	0	97 / 97	1,732			
	A – C	100	89 / -	1,732			

TTR crête du premier pôle qui coupe: $u_c = k_{af} \times k_{pp} \times U_r \times \sqrt{2}/\sqrt{3}$ (= 100 %).

1 p.u. = $U_r \times \sqrt{2}/\sqrt{3}$

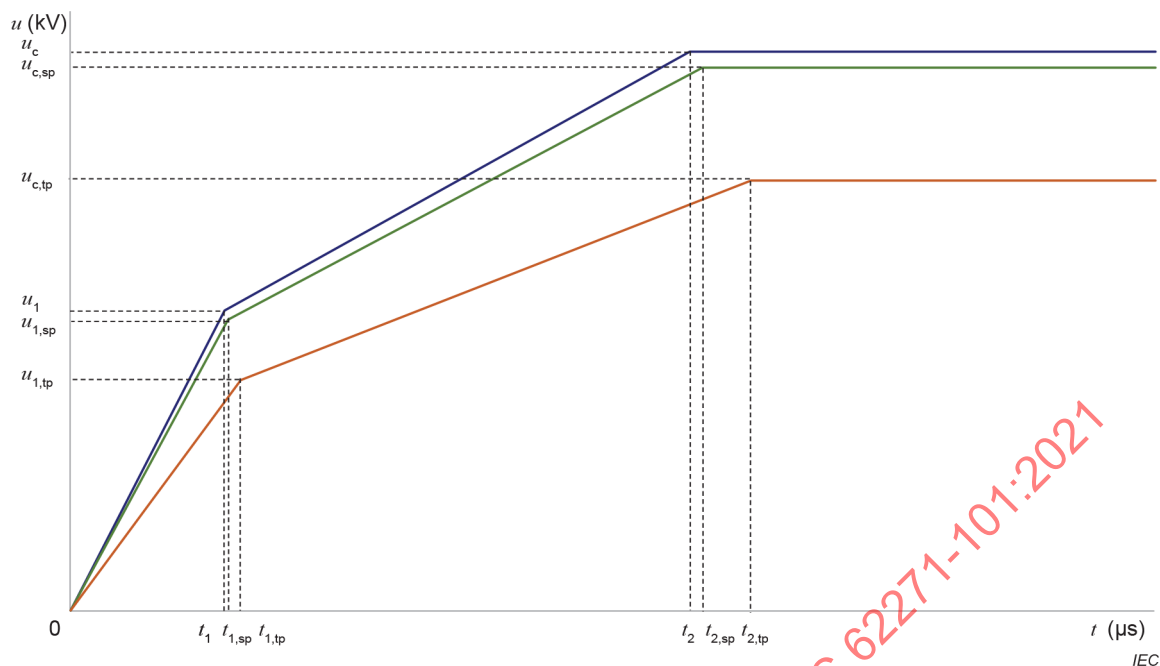
Le premier pôle qui coupe est en phase A.

Le deuxième pôle qui coupe est en phase C.

Les paramètres d'essai sont calculés sur la base des installations de mise à la terre des circuits, comme cela est décrit dans l'IEC TR 62271-306.

Phases B et C de TTR avec 4 paramètres (voir Figure 5):

- u_1 la première tension de référence est obtenue avec le même facteur de réduction utilisé pour la TTR crête u_c .
- t_1 est obtenue à partir de u_1 et du facteur de réduction correspondant du/dt.
- t_2 est obtenue à partir de t_1 avec maintien du même rapport comme pour le premier pôle qui coupe.



Légende

Ligne bleue: premier pôle qui coupe:

Ligne verte: deuxième pôle qui coupe

Ligne rouge: troisième pôle qui coupe

Figure 5 – Lignes de référence de TTR avec quatre paramètres pour $k_{pp} = 1,3$

Tableau 5 – Paramètres d'essai pendant la coupure triphasée pour les séquences d'essai T10, T30, T60 et T100s, $k_{pp} = 1,2$

Crête de TTR en %				Crête de tension de rétablissement p.u.	du/dt %	di/dt %	Angle de phase °
		Au moment du premier pôle qui coupe	Au moment du deuxième et du troisième pôles qui coupent				
Phases	A	100	- / -	1	100	100	-
	B	0	- / 83	1	83	75	120
	C	0	95 / -	1	95	92	71
Entre phases	A – B	100	- / 124	1,732			
	B – C	0	95 / 126	1,732			
	A – C	100	105 / -	1,732			

TTR crête du premier pôle: $u_c = k_{af} \times k_{pp} \times U_r \times \sqrt{2}/\sqrt{3}$

1 p.u. = $U_r \times \sqrt{2} / \sqrt{3}$

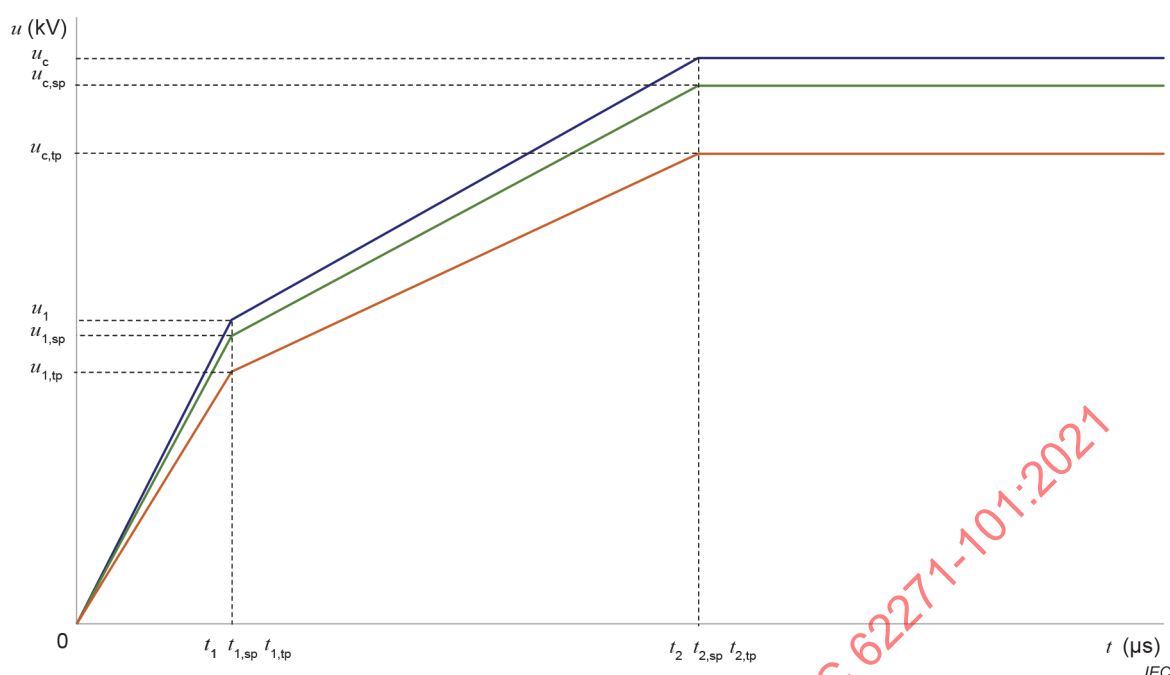
Le premier pôle qui coupe est en phase A.

Le deuxième pôle qui coupe est en phase C.

Les paramètres d'essai sont calculés sur la base des installations de mise à la terre des circuits, comme cela est décrit dans l'IEC TR 62271-306.

Phases B et C de TTR avec 4 paramètres (voir Figure 6):

- u_1 la première tension de référence est obtenue avec le même facteur de réduction utilisé pour la TTR crête u_c .
- t_1 est obtenue à partir de u_1 et du facteur de réduction correspondant du/dt.
- t_2 est obtenue à partir de t_1 avec maintien du même rapport comme pour le premier pôle qui coupe.



Légende

Ligne bleue: premier pôle qui coupe

Ligne verte: deuxième pôle qui coupe

Ligne rouge: troisième pôle qui coupe

Figure 6 – Lignes de référence de TTR avec quatre paramètres pour $k_{pp} = 1,2$

5 Techniques et méthodes d'essais synthétiques pour les essais d'établissement en court-circuit

5.1 Principes fondamentaux et exigences générales pour les méthodes d'essais synthétiques d'établissement

5.1.1 Généralités

Pendant une fermeture sur un court-circuit, l'espace entre contacts du disjoncteur est soumis à la tension appliquée selon 7.105.1 de l'IEC 62271-100:2021. Après l'instant de claquage, le disjoncteur est soumis au courant d'établissement selon 7.105.2.1 de l'IEC 62271-100:2021. Dans un circuit d'essais synthétiques, la tension appliquée est fournie par un circuit de tension séparé et le courant de court-circuit par un circuit de courant à tension réduite. Ce circuit de courant est connecté au disjoncteur immédiatement après claquage de l'espace entre contacts au moyen d'un enclencheur rapide, par exemple un éclateur déclenché.

Toute méthode d'essai synthétique particulière choisie doit contraindre le disjoncteur en essai de manière adéquate. L'adéquation est généralement établie lorsque la méthode d'essai satisfait aux exigences exposées dans les alinéas et les paragraphes suivants de 5.1 et 5.2.

Avant l'établissement, un disjoncteur supporte entre ses contacts la tension assignée entre phase et terre: à la fermeture, il est traversé par le courant de court-circuit assigné. Si les contraintes de tension et de courant sont plus finement étudiées pendant l'essai d'établissement (voir Figure 7 a) et b)), trois périodes principales peuvent apparaître:

- période de haute tension;

La période de haute tension est la durée entre le commencement de l'essai, disjoncteur ouvert, et le moment du claquage de l'espace entre contacts.

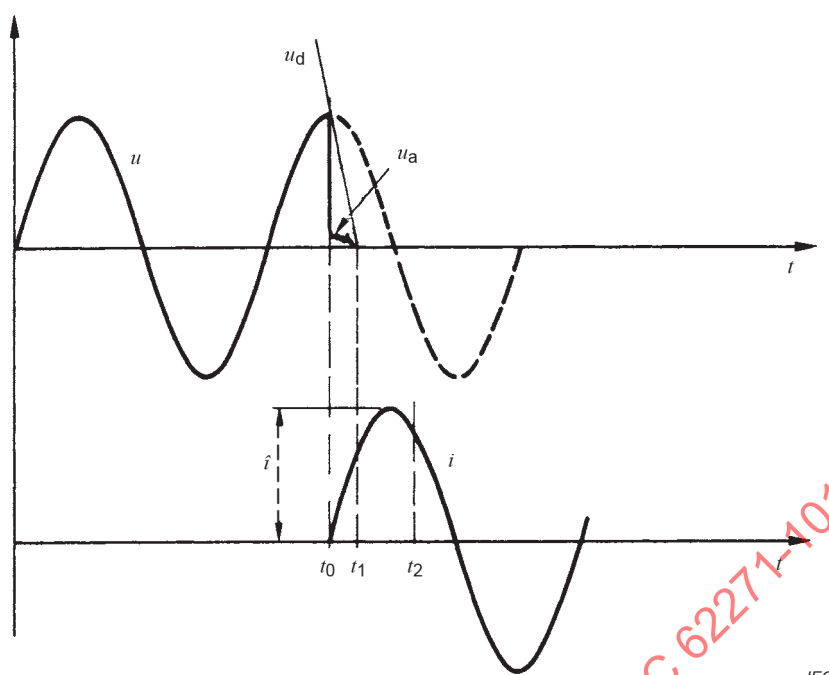
- durée de préarc;

La durée de préarc est la durée, pendant la fermeture des contacts du disjoncteur, entre l'instant de claquage de l'espace entre contacts et l'instant auquel les contacts se touchent.

- période de fermeture et d'accrochage.

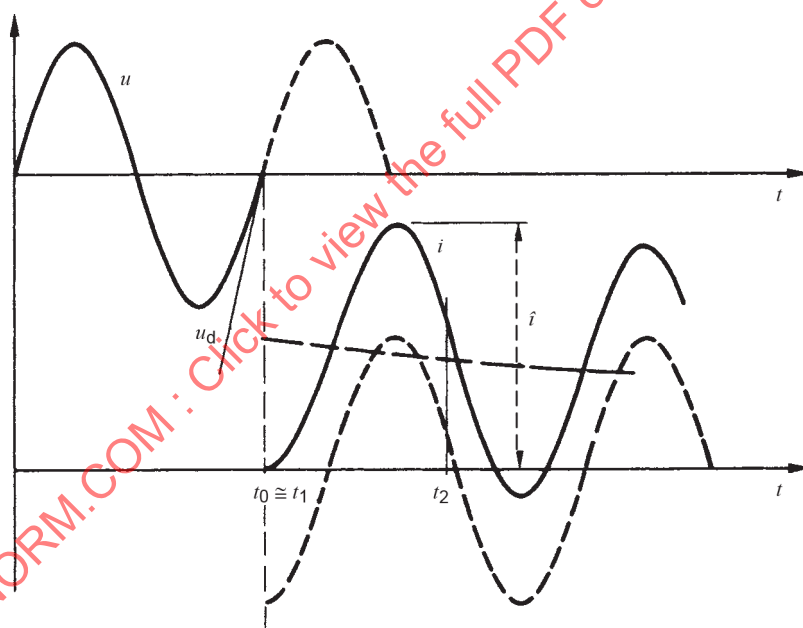
La période de fermeture et d'accrochage est la durée, pendant la fermeture du disjoncteur, qui sépare l'instant auquel les contacts se touchent de l'instant auquel le mouvement des contacts s'arrête (position fermée).

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2021



IEC

a) Courant établi symétrique



IEC

b) Courant établi asymétrique

Légende

i	courant	u_a	tension d'arc
$\hat{i}$	valeur crête du courant établi	t_0	instant de préamorçage
u	tension à fréquence industrielle	t_1	instant auquel les contacts se touchent
u_d	RDDS	t_2	instant d'obtention de la position totalement fermée

Figure 7 – Processus d'établissement – Instants principaux

5.1.2 Période de haute tension

Pendant cette durée, le disjoncteur doit être contraint par le circuit d'essai de manière telle que les conditions initiales de la durée de préarc, avec des tolérances à préciser, soient les mêmes que celles qui apparaissent dans les conditions suivantes du réseau de référence. La tension appliquée doit satisfaire à l'exigence établie au 7.105.1 de l'IEC 62271-100:2021.

5.1.3 Durée de préarc

Pendant cette durée, des forces électrodynamiques sont produites par le courant sur le disjoncteur et l'énergie d'arc produit des dégradations. Le courant possède trois composantes:

- le courant transitoire initial d'établissement (ITMC - *initial transient making current*);
- les composantes continue et alternative du courant de court-circuit.

Deux cas typiques peuvent se présenter selon l'instant de fermeture:

- le claquage apparaît près de la crête de la tension appliquée, ce qui établit un courant presque symétrique. L'énergie de préarc et l'ITMC sont relativement élevés;
- le claquage apparaît près du zéro de la tension appliquée, ce qui établit un courant asymétrique. L'énergie de préarc et l'ITMC sont négligeables.

5.1.4 Période de fermeture et d'accrochage et position de fermeture complète

Pendant ces périodes, le disjoncteur doit se fermer en présence des forces électrodynamiques dues au courant, et des forces de frottement des contacts. Le courant d'établissement doit donc satisfaire au 5.103 de l'IEC 62271-100:2021 pendant ces périodes.

5.2 Circuit d'essai synthétique et exigences spécifiques connexes relatives aux essais d'établissement

5.2.1 Généralités

L'essai d'établissement triphasé en court-circuit peut être effectué avec l'un quelconque des circuits d'essais pour couvrir les applications selon $k_{pp}=1,5$, $k_{pp} = 1,3$, $k_{pp} = 1,2$ ou $k_{pp} = 1,0$.

La procédure d'essai synthétique est appliquée pour satisfaire à l'exigence a) du 7.105.2.1 de l'IEC 62271-100:2021.

5.2.2 Circuit d'essai et exigences d'essai

Le circuit d'essai se compose de deux circuits, à savoir le circuit de courant et le circuit de tension. Des exemples de circuits qui présentent des formes d'ondes de tension et de courant sont donnés à la Figure 8 et à la Figure 9 pour le monophasé et à la Figure 10 pour le triphasé:

- le circuit de tension fournit:
 - la tension appliquée pendant la période de haute tension;
 - l'ITMC pendant la durée de préarc, par la décharge du circuit ITMC.
- le circuit de courant fournit le courant d'établissement pendant la durée de préarc et la période de fermeture et d'accrochage.

Le circuit haute tension peut être un circuit alternatif, un circuit continu ou une combinaison des deux.

Le courant injecté fourni par le circuit de tension doit permettre l'établissement du préarc jusqu'au claquage de l'espace d'établissement rapide. En conséquence, la constante de temps du circuit ITMC doit être suffisamment longue pour assurer le passage du courant pendant le retard de l'enclencheur.

Pour la manœuvre d'établissement T100s établie au point a) du 7.105.2.1 de l'IEC 62271-100:2021, les conditions suivantes doivent être satisfaites:

- la valeur instantanée de la tension appliquée à l'amorçage du préarc pour la première phase qui établit n'est pas inférieure à 97 % des exigences du 7.105.1 de l'IEC 62271-100:2021;
- le retard de l'enclencheur (t_m) est inférieur à 300 μ s;
- le courant de crête réel de la 1^{re} alternance n'est pas inférieur à 0,74 p.u. et ne dépasse pas 1,26 p.u., le courant de crête de 1,0 p.u. étant la valeur de crête du pouvoir symétrique de coupure assigné en court-circuit;

NOTE 1 Un essai pour lequel un courant initial antérieur est obtenu entre -15° et -30° , ce qui donne un courant réel jusqu'à 1,5 p.u., est considéré comme plus sévère.

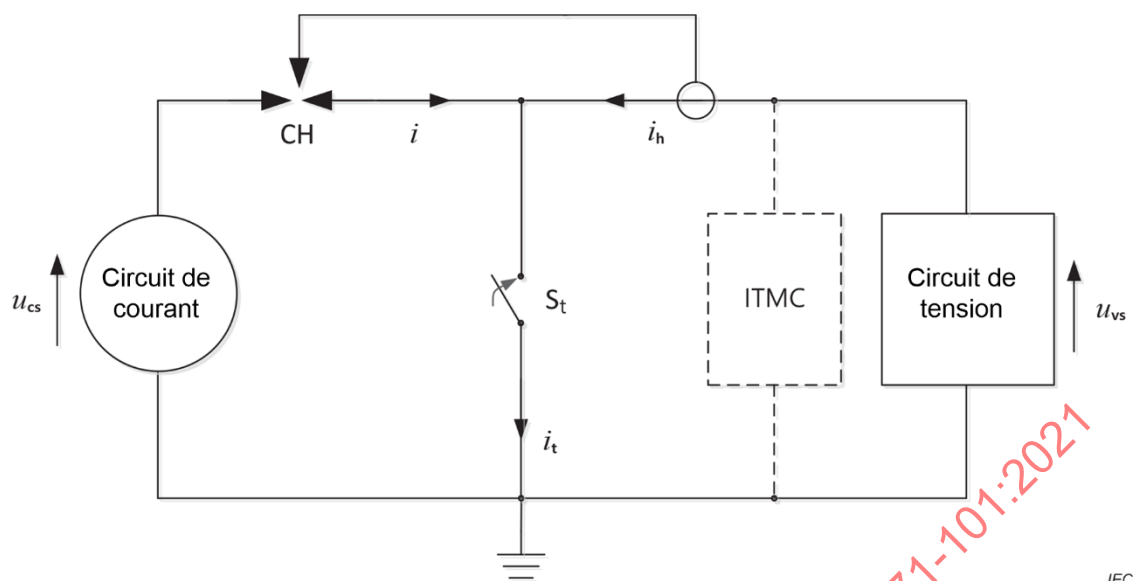
- le courant de court-circuit, lorsque l'essai est effectué comme une manœuvre d'établissement séparée, est maintenu pendant une période d'au moins 100 ms, comme cela est spécifié au 7.107.5.1 de l'IEC 62271-100:2021.

Pour la manœuvre d'établissement de la séquence d'essais OP2, les conditions suivantes doivent être satisfaites:

- la valeur instantanée de la tension appliquée à l'amorçage du préarc n'est pas inférieure à 92 % des exigences du 7.110.3 de l'IEC 62271-100:2021;
- le retard de l'enclencheur (t_m) est inférieur à 300 μ s;
- si la période de préarc est inférieure ou égale à un demi-cycle à fréquence industrielle, aucune autre exigence par rapport au courant n'est spécifiée, à condition que le courant efficace ne soit pas inférieur à 1 kA;
- si la période de préarc est supérieure à un demi-cycle à fréquence industrielle, le courant de crête réel de la 1^{re} alternance n'est pas inférieur à 0,74 p.u et ne dépasse pas 1,26 p.u. Le courant de crête de 1,0 p.u. est la valeur de crête du courant symétrique de coupure assigné en discordance de phase;

NOTE 2 Un essai pour lequel un courant initial antérieur est obtenu entre -15° et -30° , ce qui donne un courant réel jusqu'à 1,5 p.u., est considéré comme plus sévère.

- lorsque l'essai est effectué comme une manœuvre d'établissement séparée, le courant d'établissement en discordance de phases est maintenu pendant une période d'au moins 100 ms.

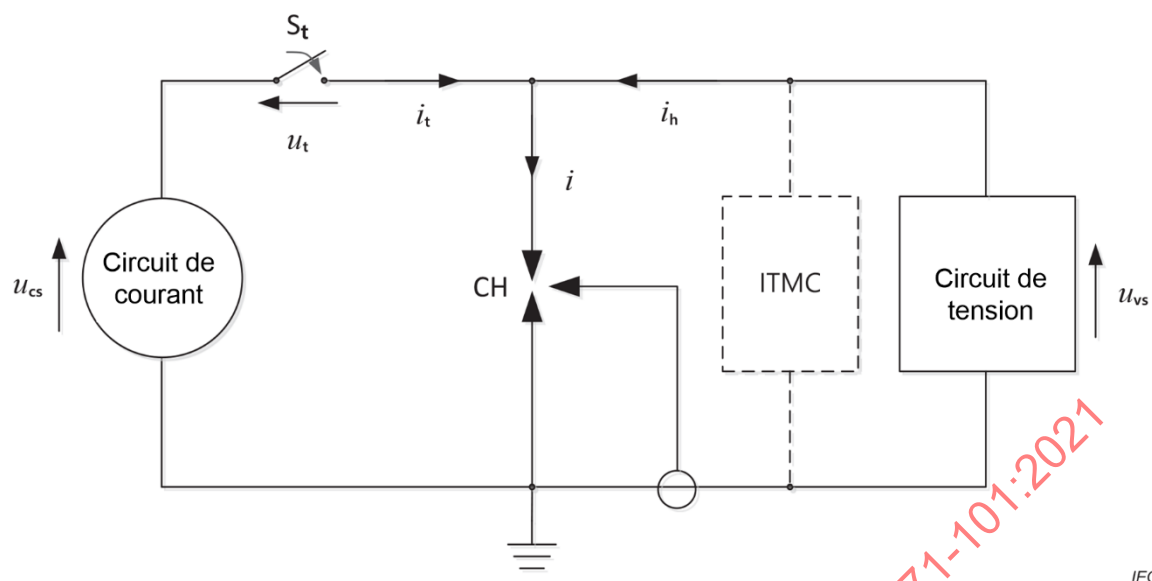


IEC

Légende

u_{cs}	tension du circuit de courant	u_{vs}	tension du circuit de tension
CH	enclencheur (éclateur déclenché)	i_h	courant transitoire initial d'établissement (ITMC)
i	courant à fréquence industrielle fourni par le circuit de courant	i_t	courant traversant le disjoncteur en essai
S_t	disjoncteur en essai	t_m	retard de l'enclencheur

Figure 8 – Exemple de circuit d'essais synthétiques d'établissement pour les essais monophasés

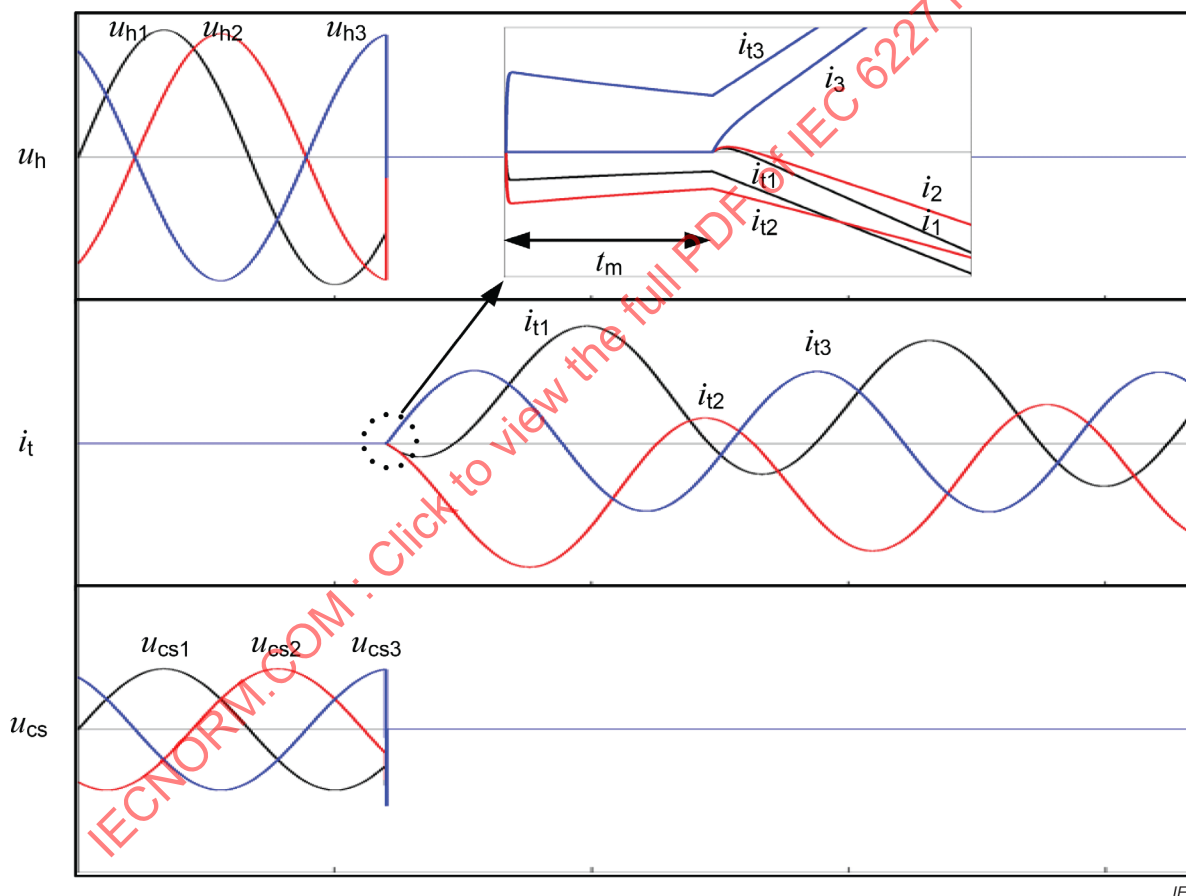
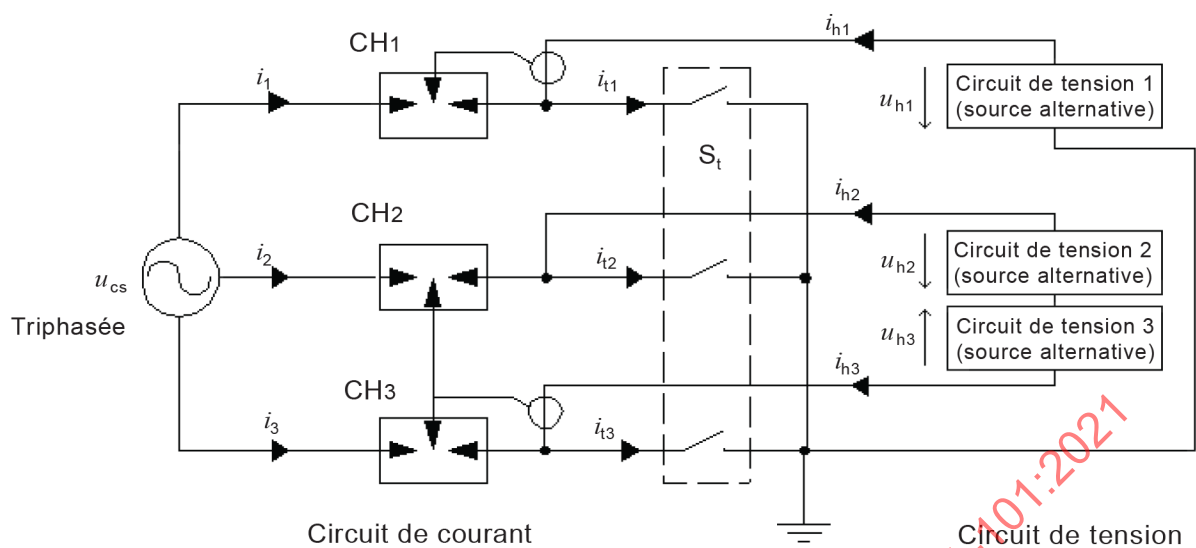


IEC

Légende

u_{cs}	tension du circuit de courant	u_{vs}	tension du circuit de tension
CH	enclencheur (éclateur déclenché)	i_h	courant transitoire initial d'établissement (ITMC)
i	courant à fréquence industrielle fourni par le circuit de courant	i_t	courant traversant le disjoncteur en essai
S_t	disjoncteur en essai	u_t	tension d'essai aux bornes du disjoncteur en essai
t_m	retard de l'enclencheur		

Figure 9 – Exemple de circuit d'essais synthétiques d'établissement pour les essais en discordance de phase



IEC

Légende

$u_{cs1}, u_{cs2}, u_{cs3}$	tension du circuit de courant	u_{h1}, u_{h2}, u_{h3}	tension appliquée
i_1, i_2, i_3	courant fourni par le circuit de courant	CH ₁ , CH ₂ , CH ₃	enclencheur (éclateur déclenché)
i_{t1}, i_{t2}, i_{t3}	courant traversant l'objet d'essai	S_t	disjoncteur en essai
i_{h1}, i_{h2}, i_{h3}	courant transitoire initial d'établissement (ITMC)	t_m	retard de l'enclencheur

Figure 10 – Exemple de circuit d'essais synthétiques d'établissement pour les essais triphasés ($k_{pp} = 1,5$)

5.2.3 Méthode d'essai alternative à tension réduite

5.2.3.1 Généralités

Cette méthode d'essai alternative n'est autorisée qu'avec l'accord du constructeur.

L'essai comprend deux parties:

- partie 1: un essai à la tension assignée et au courant réduit pour déterminer la période de préarc;
- partie 2: un essai à la tension réduite et au courant d'établissement assigné, avec la période de préarc exigée.

5.2.3.2 Partie 1: détermination de la période de préarc

5.2.3.2.1 Généralités

La période de préarc doit être déterminée par des essais d'établissement effectués à la tension assignée et au courant réduit. La disposition du disjoncteur doit être telle que décrite au 7.105.1 de l'IEC 62271-100 2021. Le courant doit être suffisamment faible pour éviter l'érosion des contacts.

5.2.3.2.2 Essais monophasés

Lorsque la conception du disjoncteur permet des essais unipolaires, au moins deux essais d'établissement qui permettent d'évaluer la période de préarc doivent aboutir à un instant d'injection de courant qui correspond à un angle de -15° à $+15^\circ$ sur la crête de la forme d'onde de tension alternative appliquée. La période maximale de préarc mesurée doit être utilisée comme la période de préarc à appliquer dans la partie 2 (voir 5.2.3.3).

5.2.3.2.3 Essais triphasés

Pour chacune des phases dans un circuit triphasé, au moins un essai d'établissement qui permet d'évaluer la période de préarc doit aboutir à un instant d'injection de courant qui correspond à un angle de -15° à $+15^\circ$ sur la crête de la forme d'onde de tension alternative appliquée. La période de préarc doit être mesurée dans les trois phases lors de chaque essai.

Les périodes maximales de préarc mesurées, qui correspondent à l'essai qui donne la période de préarc la plus longue dans chaque phase, doivent être utilisées comme les périodes de préarc à appliquer dans la partie 2 (voir 5.2.3.3).

Si un circuit de tension monophasé est utilisé, la période de préarc doit être mesurée dans les trois phases, sur la base de l'hypothèse selon laquelle l'injection du courant se produit simultanément dans les trois phases.

5.2.3.3 Partie 2: essai d'établissement du courant de court-circuit à tension réduite

Pendant l'essai d'établissement de courant avec le pouvoir d'établissement assigné en court-circuit à tension réduite, la période de préarc doit être au moins égale à la période de préarc déterminée lors des essais décrits dans la partie 1 (voir 5.2.3.2).

Pour déterminer la période de préarc maximale exigée, il est possible d'effectuer l'injection du courant par une source de tension de toute forme d'onde, suffisamment élevée pour amorcer le préarc au point adéquat de l'onde, avec application de la période de préarc exigée déterminée dans la partie 1.

Les conditions exigées pour une manœuvre d'établissement correcte restent applicables.

7 Essais de type

7.102 Généralités

Les paragraphes 7.102 à 7.112 de l'IEC 62271-100:2021 sont également applicables aux essais synthétiques. Cependant, des procédés spéciaux sont nécessaires dans certains cas. Ces cas sont exposés dans les alinéas et paragraphes 7.102 à 7.111 suivants. La numérotation des paragraphes correspond à celle de l'IEC 62271-100:2021.

Les exigences concernant les essais des disjoncteurs sous enveloppe métallique sont indiquées à l'Annexe G.

Les exigences générales pour les disjoncteurs équipés de résistances d'ouverture sont données à l'Annexe J de l'IEC 62271-100:2021. Une méthode d'essai applicable aux disjoncteurs équipés de résistances d'ouverture est présentée à l'Annexe J.

Les symboles et termes abrégés indiqués dans le Tableau 6 sont utilisés pour spécifier les manœuvres à effectuer.

Tableau 6 – Symboles et termes abrégés utilisés pour les manœuvres pendant les essais synthétiques

Cd	Manœuvre de fermeture dans un circuit direct à la tension du circuit de courant qui peut être inférieure à la tension spécifiée au 7.105.1 de l'IEC 62271-100:2021
(Cd)	Manœuvre de fermeture comme Cd, qui peut être effectuée à vide
Cd _{asy}	Manœuvre de fermeture avec le pouvoir d'établissement assigné en court-circuit selon 7.105.2 de l'IEC 62271-100:2021 dans un circuit direct aux conditions décrites en Cd
Cs	Manœuvre de fermeture avec des paramètres spécifiés dans un circuit d'essais synthétiques
Cs _{sym}	Manœuvre de fermeture avec un courant symétrique égal au pouvoir de coupure assigné en court-circuit, effectuée à la tension appliquée exigée dans un circuit d'essais synthétiques
Od	Manœuvre de coupure à la tension du circuit de courant uniquement et avec le courant de coupure spécifié
Os	Manœuvre de coupure avec des paramètres spécifiés dans un circuit d'essais synthétiques
<i>t</i>	Intervalle de temps entre les manœuvres (0,3 s ou 3 min selon le réenclenchement automatique rapide ou la séquence de manœuvre assignée de réenclenchement automatique)
<i>t'</i>	Intervalle de temps entre les manœuvres (3 min)
SP	Essai monophasé comme cela est défini au 7.108.2 de l'IEC 62271-100:2021
DEF	Essai de double défaut à la terre comme cela est défini au 7.108.2 de l'IEC 62271-100:2021
NOTE Du fait des caractéristiques des essais synthétiques, il peut être difficile de satisfaire aux intervalles de temps spécifiés des séquences de manœuvres assignées. Voir 7.106.1 de l'IEC 62271-100:2021.	

Pour satisfaire à toutes les exigences, il peut être nécessaire de réaliser plus de manœuvres que spécifié dans la séquence d'essais normale. Dans de tels cas, le disjoncteur peut être remis en état et la séquence d'essais répétée.

7.102.4.2 Essais par éléments séparés

7.102.4.2.1 Généralités

Le paragraphe 7.102.4.2 de l'IEC 62271-100:2021 est applicable, avec l'ajout suivant:

Dans le cas de disjoncteurs sous enveloppe métallique, l'Annexe G donne des informations détaillées concernant des exemples de circuits d'essai et l'Annexe I de l'IEC 62271-100:2021 présente les lignes directrices appropriées pour les essais.

Lorsque l'autre unité est utilisée comme un disjoncteur auxiliaire, elle n'est pas considérée comme un composant de l'objet d'essai. Une défaillance de cette autre unité ne doit donc pas être considérée comme une défaillance de l'objet d'essai.

7.102.4.2.5 Exigences supplémentaires pour les essais par éléments séparés

Le paragraphe 7.102.4.2.5 de l'IEC 62271-100:2021 est applicable, avec l'ajout suivant:

Afin de vérifier la performance d'isolement des disjoncteurs sous enveloppe métallique, entre les parties actives et les enveloppes, un essai supplémentaire doit être réalisé, dans les conditions suivantes:

- le courant de court-circuit assigné est coupé par toutes les unités dans la condition de durée d'arc maximale;
- la tension correspondante est appliquée entre la borne d'arrivée et la cuve pour les deux séquences T100s et T100a.

Une seule manœuvre de coupure suffit à démontrer cette performance. Le disjoncteur peut être remis en état avant cet essai supplémentaire.

7.102.4.3 Essais en plusieurs parties

Les manœuvres d'ouverture de disjoncteurs avec résistances de fermeture n'exigent pas de techniques d'essais particulières, étant donné que la résistance de fermeture n'influence pas le circuit d'essai.

Les résistances de fermeture ne peuvent être soumises à l'essai que dans un circuit direct qui fournit les contraintes correctes de courant et de tension à partir d'une source unique de puissance.

Au cours des essais synthétiques de fermeture, il est nécessaire de retirer la résistance de fermeture, afin d'obtenir les contraintes correctes de courant de court-circuit et les conditions de préarc dans l'interrupteur principal.

Si toutes les exigences de la TTR et/ou de la tension de rétablissement ne peuvent pas être satisfaites simultanément, les essais en plusieurs parties peuvent être utilisés en tenant compte du 7.102.4.3 de l'IEC 62271-100:2021.

Lorsqu'un essai en plusieurs parties est réalisé dans le seul but de vérifier la tension de rétablissement, il n'est pas nécessaire d'établir de nouveau la durée minimale d'arc.

7.102.7 Mécanismes d'entraînement alternatifs

Dans le cas d'un disjoncteur tripolaire dans une seule enveloppe d'un PSEM (poste électrique sous enveloppe métallique), les essais doivent être effectués dans un circuit d'essai triphasé et la TTR des circuits d'essais synthétiques appliquée sur les trois phases. La séquence d'essais T100s peut être effectuée sur le mécanisme d'entraînement alternatif à l'aide des méthodes définies à l'Annexe D (courants triphasés avec un circuit d'essais synthétiques). L'interaction entre les phases pendant la coupure a déjà été démontrée lors de la séquence T100s sur le disjoncteur entièrement soumis à l'essai. Les méthodes d'essai définies à l'Annexe D permettent de vérifier de manière adéquate la capacité du disjoncteur à effectuer la séquence d'essais avec des courants présents dans les trois phases, les durées d'arc correctes et les TTR correspondant aux différents pôles qui coupent.

7.104 Démonstration des durées d'arc

7.104.1 Généralités

Les exigences fondamentales à satisfaire sont données au 7.104 de l'IEC 62271-100:2021.

Pour pouvoir réaliser les essais synthétiques sur la même base que les essais directs, il est en principe nécessaire d'utiliser les méthodes spéciales de réallumage pour prolonger l'arc du disjoncteur en essai pendant le nombre nécessaire de zéros du courant à fréquence industrielle. Voir l'Annexe H pour les méthodes de réallumage qui permettent la prolongation de l'arc.

La méthode "pas à pas" décrite à l'Annexe H est celle utilisée dans la plupart des essais synthétiques. Elle est considérée comme une approximation suffisamment proche de la procédure d'essai direct.

La durée d'arc est prolongée par capacités de coupure thermiques. Étant donné que cette méthode permet de contraindre le disjoncteur en essai à se réallumer en toutes circonstances, il faut veiller à ne pas réallumer le disjoncteur à un zéro de courant auquel il peut interrompre. À cet effet, il est nécessaire de déterminer pour chaque séquence d'essais de défaut aux bornes, de défaut proche en ligne et de discordance de phases, la durée minimale d'arc du disjoncteur. Au moins deux essais de coupure, une coupure et un réallumage, sont nécessaires à cette détermination.

La coupure à la durée minimale d'arc est la première manœuvre de coupure valable. L'autre essai est réalisé pour démontrer qu'un réallumage à un zéro de courant prématuré se produit entre les contacts d'arc. Cet essai de réallumage doit être effectué en plus de la séquence d'essais décrite dans le Tableau 7 et ne doit pas être le dernier de toute séquence d'essais.

Les essais supplémentaires nécessaires pour démontrer le comportement correct aux zéros de courant prématurés ne contribuent généralement que dans une faible mesure à l'usure des contacts, etc., étant donné les courtes durées d'arc. Par conséquent, il convient de ne pas nécessairement remettre en état l'appareil du fait de ces essais. Le ou les réallumages obtenus durant la détermination de la durée minimale d'arc n'indiquent pas une défaillance du disjoncteur. Cependant, il est important de vérifier que ce réallumage s'est produit entre les contacts d'arc uniquement. Lorsqu'une méthode par injection de courant est utilisée, la coupure du courant injecté quelques alternances après le réallumage est souvent un moyen utile d'appréciation. Il convient aussi d'effectuer l'examen détaillé des écrans, des contacts d'arc et des contacts principaux, etc., pour vérifier que le comportement est correct.

La capacité correcte de coupure est de préférence vérifiée au début de la séquence d'essais lors de la détermination de la durée minimale d'arc. Si, pour une raison quelconque, cet essai n'est pas effectué au début d'une séquence d'essais, il peut être accepté, à condition qu'au moins une manœuvre ait abouti à une coupure après cet essai. Cette disposition permet de démontrer que le réallumage n'a endommagé aucune partie du disjoncteur.

Lors de l'exécution des manœuvres Od-t-COs, la première manœuvre d'ouverture est effectuée dans un circuit d'essai direct. Cette première manœuvre d'ouverture doit représenter la durée minimale d'arc obtenue pour les manœuvres simples d'ouverture. Lorsque la durée d'arc de cette première manœuvre d'ouverture est plus longue que celle exigée, l'essai est considéré comme plus sévère. Pour les manœuvres Od, une tolérance de ± 2 ms sur la durée d'arc s'applique.

La durée minimale de coupure pour la séquence d'essais T100a est validée par la durée minimale d'arc d'une coupure après une grande alternance avec une asymétrie intermédiaire.

7.104.2 Essais triphasés

Selon le circuit d'essai utilisé, les procédures d'essais données ici peuvent ne pas couvrir les conditions du troisième pôle qui coupe pour $k_{pp} = 1,3$. Pour ce cas, les mêmes procédures peuvent être appliquées, avec l'accord du constructeur, en combinant les paramètres de TTR et de di/dt pour le deuxième pôle qui coupe et la durée d'arc qui correspond au troisième pôle qui coupe. En variante, un essai supplémentaire peut être réalisé avec la TTR, di/dt et la durée maximale d'arc qui correspond au troisième pôle qui coupe.

Pour les autres procédures d'essais des disjoncteurs sous enveloppes multiples avec des caractéristiques de mécanisme d'entraînement qui exigent un courant triphasé, voir l'Annexe D.

7.104.2.1. Séquences d'essais T10, T30, T60, T100s, T100s(b)

La procédure d'essai est la suivante:

Pour la commodité des essais, le pôle de la phase A est maintenu comme le premier pôle qui coupe.

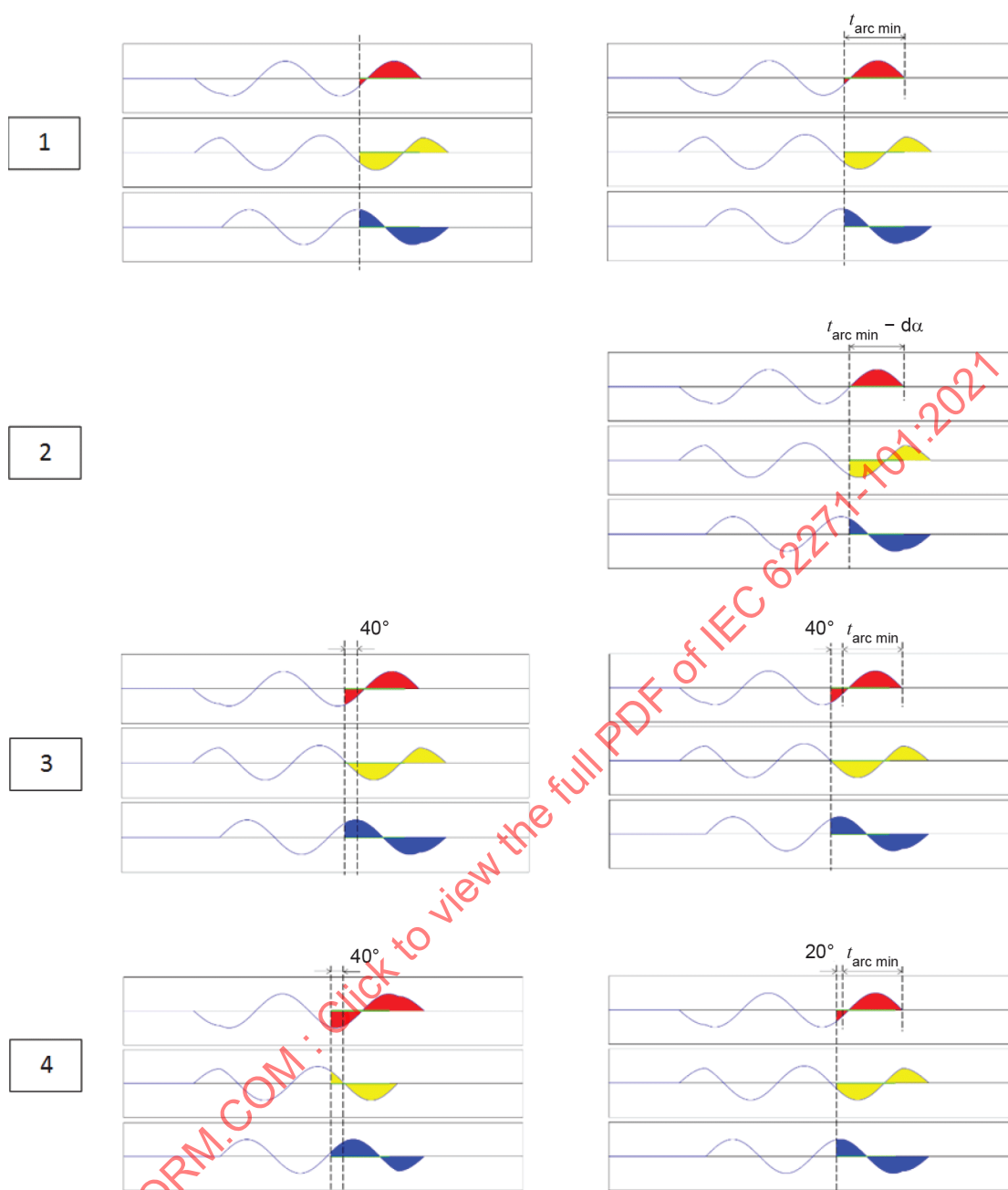
Premièrement, la durée minimale d'arc et la capacité de coupure correcte sont établies. Cette opération est réalisée par modification du réglage de l'ordre d'ouverture par pas de 18° (il est possible que cette opération doive être répétée plusieurs fois). Après cette opération, le réglage de la commande de l'ordre d'ouverture doit être avancé d'environ 40°, en commençant par la durée d'arc la plus courte avec laquelle le disjoncteur a coupé. Pour le dernier essai, le réglage de la commande de l'ordre d'ouverture doit être avancé d'environ 20°, en commençant par la durée d'arc la plus courte avec laquelle le disjoncteur a coupé:

- première manœuvre de coupure valable: $t_{\text{arc min}}$, durée minimale d'arc en phase A;
- essai de réallumage: $t_{\text{arc reig}} = t_{\text{arc min}} - 18^\circ$, réallumage en phase A;
- deuxième manœuvre de coupure valable: $t_{\text{arc max}} = t_{\text{arc min}} + 40^\circ$, durée maximale d'arc en phase A;
- troisième manœuvre de coupure valable: $t_{\text{arc med}} = t_{\text{arc min}} + 20^\circ$, durée moyenne d'arc en phase A.

La première manœuvre de coupure valable et l'essai de réallumage se composent de manœuvres simples d'ouverture. L'ordre de la première manœuvre de coupure valable et de l'essai de réallumage peut être interverti.

L'ordre des deuxième et troisième manœuvres de coupures valables peut être interverti et ces manœuvres sont effectuées comme partie intégrante de la séquence de manœuvre assignée.

À titre de comparaison avec les réglages de durée d'arc utilisés dans les essais directs triphasés, voir la Figure 11 et la Figure 12.

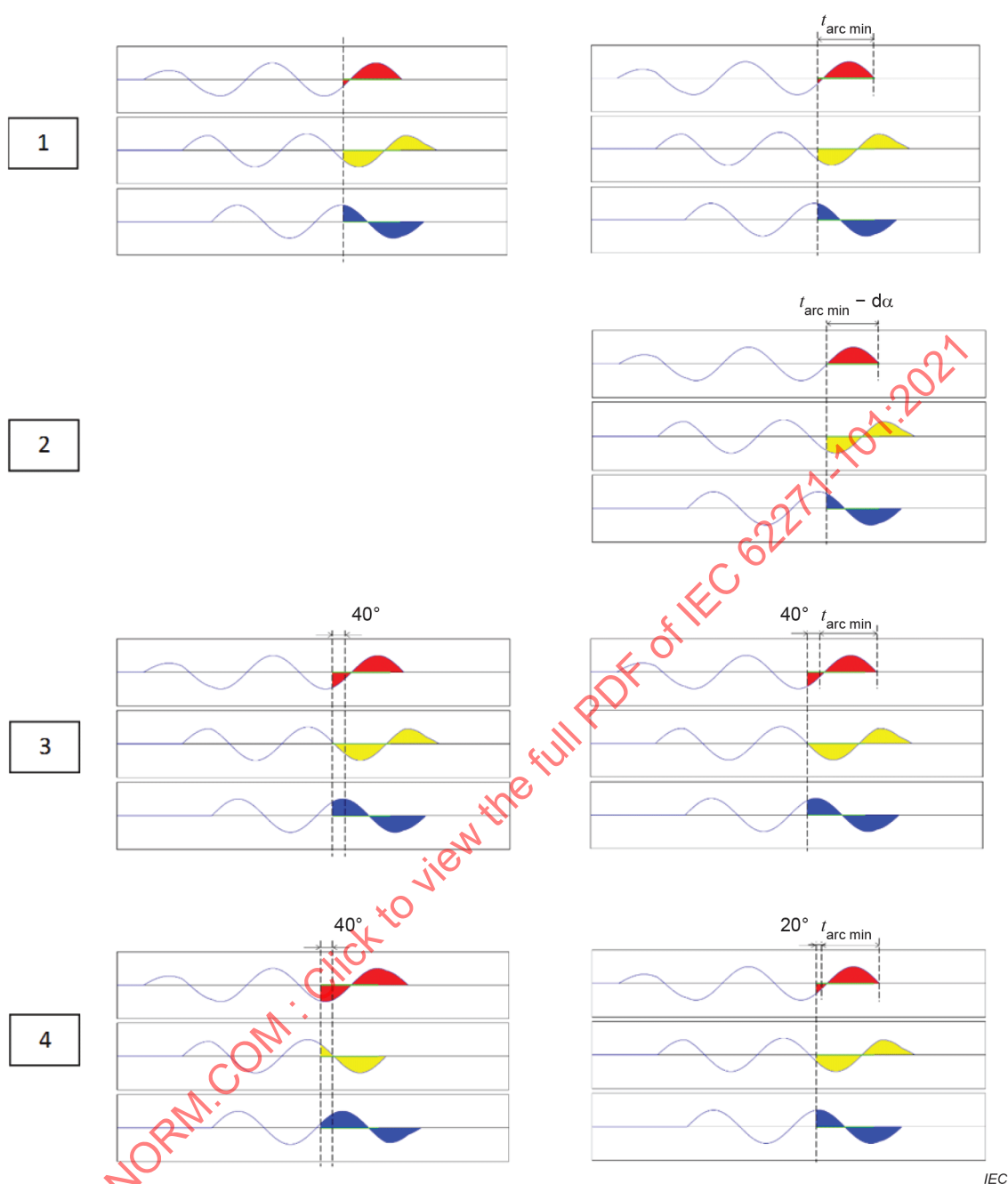


IEC

Légende

- | | | |
|---|---|---|
| 1 | premier essai | premier essai, $t_{\text{arc min}}$ |
| 2 | | deuxième essai, $t_{\text{arc min}} - d\alpha$, qui donne lieu au réallumage |
| 3 | deuxième essai, ordre d'ouverture 40° en avance, relatif au premier essai | troisième essai, ordre d'ouverture 40° en avance, relatif au premier essai |
| 4 | troisième essai, ordre d'ouverture 40° en avance, relatif au deuxième essai | quatrième essai, ordre d'ouverture 20° en avance, relatif au premier essai |

Figure 11 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100s avec $k_{pp} = 1,5$



Légende

- | | | |
|---|--|---|
| 1 | premier essai | premier essai, $t_{\text{arc min}}$ |
| 2 | | deuxième essai, $t_{\text{arc min}} - d\alpha$, qui donne lieu au réallumage |
| 3 | deuxième essai, ordre d'ouverture 40° en avance, relatif au premier essai | troisième essai, ordre d'ouverture 40° en avance, relatif au premier essai |
| 4 | troisième essai, ordre d'ouverture 40° en avance, relatif au deuxième essai | quatrième essai, ordre d'ouverture 20° en avance, relatif au premier essai |

Figure 12 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100s avec $k_{pp} = 1,3$

7.104.2.2 Séquence d'essais T100a

Cette séquence d'essais a pour objet de démontrer dans une série d'essais de coupure les exigences a) et b) telles que définies au 7.104.2.2 de l'IEC 62271-100:2021:

- condition a) dans laquelle l'extinction de l'arc se produit dans le premier pôle qui coupe à la fin d'une grande alternance dans la première phase avec les critères d'asymétrie exigés et avec la plus longue durée d'arc possible t_{arc1} ;
- condition b) dans laquelle l'extinction de l'arc se produit à la fin d'une grande alternance rallongée dans le dernier pôle qui coupe ou le deuxième pôle qui coupe avec les critères d'asymétrie exigés et avec la plus longue durée d'arc possible, t_{arc2} et t_{arc3} comme suit:
 - la plus longue durée d'arc possible t_{arc2} s'applique au dernier pôle qui coupe pour des disjoncteurs à la valeur assignée $k_{pp} = 1,5$;
 - la plus longue durée d'arc possible t_{arc3} s'applique au dernier pôle qui coupe pour des disjoncteurs à la valeur assignée $k_{pp} = 1,5$.

La procédure d'essai relative aux essais triphasés est la suivante:

Afin de simplifier la procédure d'essai, le pôle en phase A est maintenu comme le premier pôle qui coupe. En conséquence, le pôle en phase C est soumis à une usure électrique accrue. Afin d'obtenir une usure électrique similaire sur les pôles des phases B et C, l'essai peut être réalisé par un échange des pôles des phases B et C pour la deuxième manœuvre de coupure.

Premièrement, la durée minimale d'arc $t_{arc\ min}$ (Figure 10 et Figure 11, premier essai) et la capacité de coupure (Figure 10 et Figure 11, deuxième essai) doivent être démontrées en présence d'une asymétrie intermédiaire en phase A (Tableau E.12 à Tableau E.17, colonnes 7, 8 et 9), avec la grande alternance rallongée qui se produit en phase C. Cette démonstration est réalisée par modification du réglage de l'ordre d'ouverture par pas de $d\alpha = 18^\circ$ jusqu'à ce que la durée minimale d'arc soit établie.

Avant la manœuvre suivante, l'initiation du courant de court-circuit doit être avancée de 60° lorsque l'asymétrie exigée est transposée en phase A (Figure 10 et Figure 11, troisième essai). L'extinction de l'arc doit se produire en phase A, le premier pôle qui coupe à la fin d'une grande alternance avec les critères d'asymétrie exigés et avec la durée maximale d'arc démontrant la condition a) susmentionnée.

La durée maximale d'arc t_{arc1} pour le premier pôle qui coupe est atteinte lorsque la condition suivante est satisfaite:

$$t_{arc1} = t_{arc\ min} + \Delta t_{a1} - T \times d\alpha/360^\circ$$

Lors de la manœuvre suivante, l'injection du courant de court-circuit doit être retardée de 60° . En conséquence, l'asymétrie exigée est transposée en phase C. L'extinction de l'arc doit se produire en phase C à la fin d'une grande alternance rallongée avec les critères d'asymétrie exigée et avec la durée maximale d'arc démontrant la condition b) susmentionnée:

- la durée maximale d'arc t_{arc2} pour le dernier pôle qui coupe pour des disjoncteurs à la valeur assignée $k_{pp} = 1,5$ (Figure 10, quatrième essai) est atteinte lorsque la condition suivante est satisfaite:

$$t_{arc2} = t_{arc\ min} + \Delta t_{a2} - T \times d\alpha/360^\circ$$

- la durée maximale d'arc $t_{\text{arc}3}$ pour le deuxième pôle qui coupe pour des disjoncteurs à la valeur assignée $k_{\text{pp}} = 1,3$ ou $k_{\text{pp}} = 1,2$ (Figure 11, quatrième essai) est atteinte lorsque la condition suivante est satisfaite:

$$t_{\text{arc}3} = t_{\text{arc min}} + \Delta t_{\text{a}3} - T \times d\alpha/360^\circ$$

où

$\Delta t_{\text{a}1}$, $\Delta t_{\text{a}2}$, $\Delta t_{\text{a}3}$ sont les paramètres pertinents de temps à choisir du Tableau E.12 au Tableau E.17.

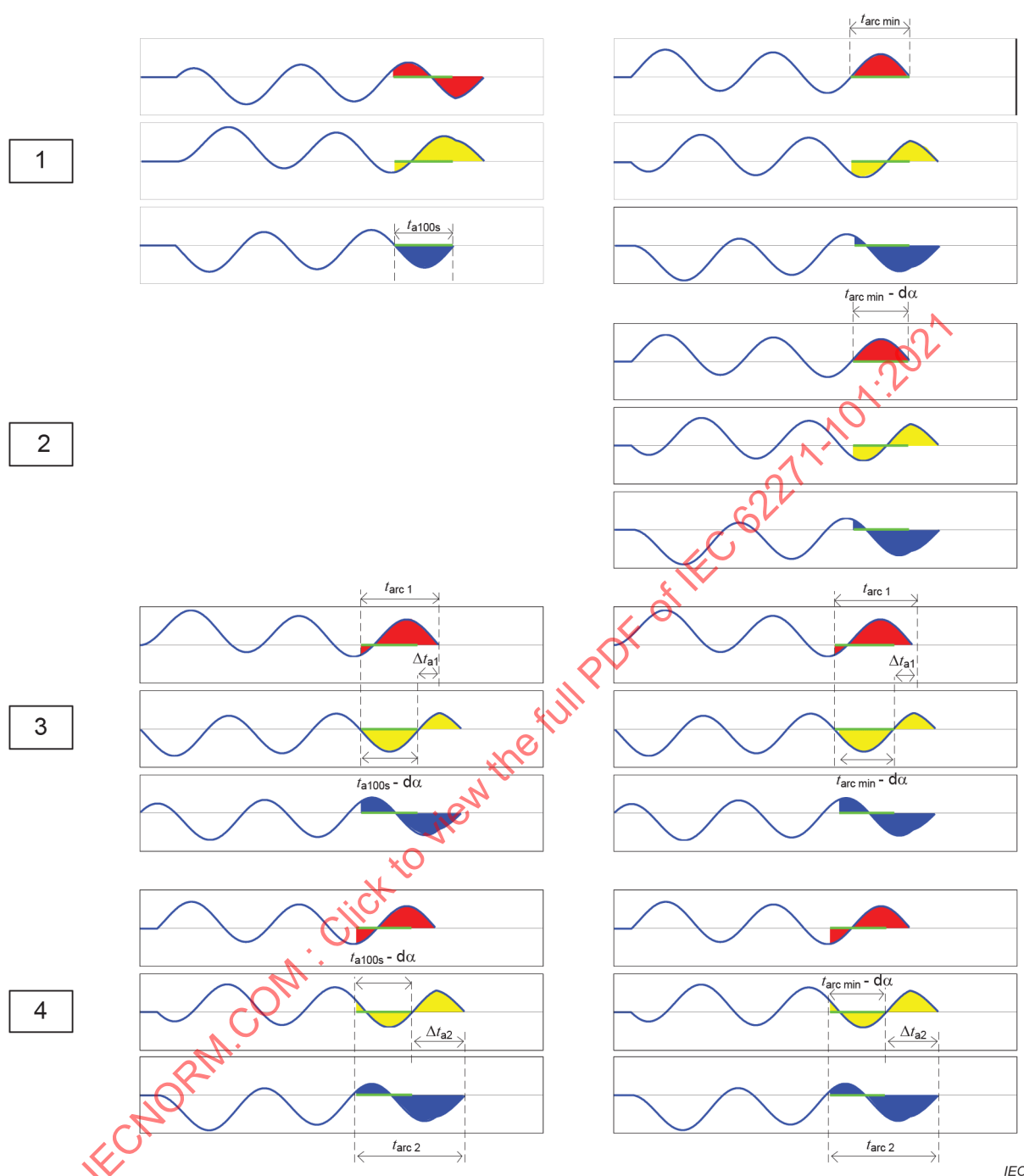
L'ordre des deux dernières manœuvres de coupure peut être interverti.

Certains disjoncteurs ne coupent pas à l'issue d'une grande alternance après la durée d'arc exigée. Toutefois, cet essai est valable si le disjoncteur coupe la petite alternance suivante, qui devient le dernier pôle qui coupe. Les paramètres correspondants pour le dernier pôle qui coupe en condition symétrique doivent être appliqués.

À titre de comparaison avec les réglages de durée d'arc utilisés dans les essais directs triphasés, voir la Figure 10 et la Figure 11.

NOTE La dernière manœuvre de coupure exigée au 7.104.2.2 de l'IEC 62271-100:2021 est couverte par les essais pour démontrer la durée minimale d'arc.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2021

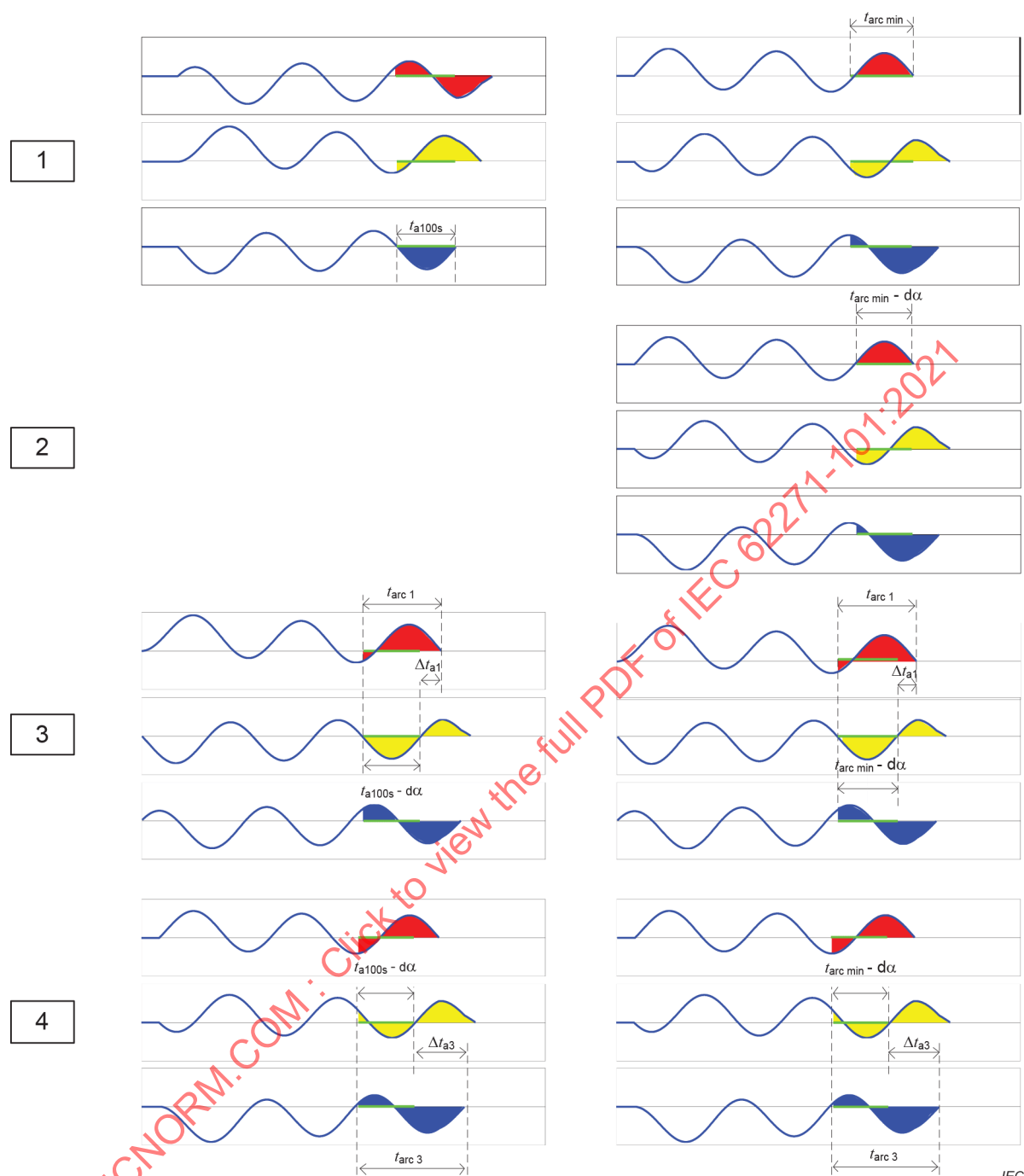


IEC

Légende

- | | | |
|---|---|---|
| 1 | premier essai | premier essai, $t_{arc \min}$ |
| 2 | | deuxième essai, $t_{arc \min} - d\alpha$, qui donne lieu au réallumage |
| 3 | deuxième essai, condition a) premier pôle qui coupe après la grande alternance | troisième essai, condition a) premier pôle qui coupe après la grande alternance |
| 4 | troisième essai, condition b) dernier pôle qui coupe après la grande alternance rallongée | quatrième essai, condition b) dernier pôle qui coupe après la grande alternance rallongée |

Figure 13 – Comparaison des réglages de la durée d'arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec $k_{pp} = 1,5$



Légende

- | | | |
|---|--|--|
| 1 | premier essai | premier essai, $t_{\text{arc min}}$ |
| 2 | | deuxième essai, $t_{\text{arc min}} - d\alpha$, qui donne lieu au réallumage |
| 3 | deuxième essai, condition a) premier pôle qui coupe après la grande alternance | troisième essai, condition a) premier pôle qui coupe après la grande alternance |
| 4 | troisième essai, condition b) deuxième pôle qui coupe après la grande alternance rallongée | quatrième essai, condition b) deuxième pôle qui coupe après la grande alternance rallongée |

Figure 14 – Comparaison des réglages de la durée d’arc pendant les essais directs triphasés (gauche) et les essais synthétiques triphasés (droite) pour T100a avec $k_{pp} = 1,3$

7.104.3 Essais monophasés en remplacement des conditions triphasées, des essais en discordance de phases et des essais de défaut proche en ligne

7.104.3.1 Généralités

Les procédures décrites au 7.104.3 de l'IEC 62271-100:2021 s'appliquent avec les modifications suivantes. Ces procédures sont destinées à démontrer les conditions du premier pôle qui coupe, du deuxième pôle qui coupe et du troisième pôle qui coupe, avec les paramètres de courant et de tension applicables pour le premier pôle qui coupe.

7.104.3.2 Séquences d'essais T10, T30, T60, T100s et T100s(b), OP1 et OP2, L90, L75 et L60

Les procédures décrites au 7.104.3.2 de l'IEC 62271-100:2021 s'appliquent avec l'ajout suivant.

La durée minimale d'arc $t_{\text{arc min}}$ et la capacité de coupure doivent être démontrées. Cette opération est réalisée par modification du réglage de l'ordre d'ouverture par pas de 18° jusqu'à ce que la durée minimale d'arc soit établie.

7.104.3.3 Séquence d'essais T100a

La procédure d'essai est la suivante:

La durée minimale d'arc $t_{\text{arc min}}$ et la capacité de coupure doivent être démontrées avec la grande alternance à une asymétrie intermédiaire (Tableau E.12 à Tableau E.17, colonnes 7 et 8). Cette opération est réalisée par modification du réglage de l'ordre d'ouverture par pas de 18° jusqu'à ce que la durée minimale d'arc soit établie.

Ensuite, deux manœuvres de coupure à l'asymétrie exigée doivent être effectuées comme cela est décrit ci-dessous. Les Tableaux Tableau E.12 à Tableau E.17, colonnes 3 et 4, donnent les valeurs exigées de la crête du courant de court-circuit et de la durée de l'alternance qui doivent être atteintes dans la dernière alternance avant la coupure.

Une manœuvre de coupure doit démontrer la coupure à la fin de la grande alternance avec une durée d'arc équivalente à la durée maximale d'arc dans les conditions en triphasé t_{arc1} du premier pôle qui coupe, ce qui correspond à la durée d'arc t_{arc1} du 7.104.3.3 de l'IEC 62271-100:2021.

La durée maximale d'arc t_{arc1} pour le premier pôle qui coupe est atteinte lorsque la condition suivante est satisfaite:

$$t_{\text{arc1}} = t_{\text{arc min}} + \Delta t_{a1} - T \times da/360^\circ$$

Une autre manœuvre de coupure doit démontrer la coupure à la fin de la grande alternance avec une durée d'arc équivalente à la durée maximale d'arc dans les conditions en triphasé, ce qui correspond à la durée d'arc t_{arc2} ou t_{arc3} du 7.104.3.3 de l'IEC 62271-100:2021.

- La durée maximale d'arc t_{arc2} pour le dernier pôle qui coupe pour des disjoncteurs à la valeur assignée $k_{pp}=1,5$ est atteinte lorsque la condition suivante est satisfaite:

$$t_{\text{arc2}} = t_{\text{arc min}} + \Delta t_{a2} - T \times da/360^\circ$$

- La durée maximale d'arc $t_{\text{arc}3}$ pour le deuxième pôle qui coupe pour des disjoncteurs à la valeur assignée $k_{\text{pp}} = 1,3$ ou $k_{\text{pp}} = 1,2$ est atteinte lorsque la condition suivante est satisfaite:

$$t_{\text{arc}3} = t_{\text{arc min}} + \Delta t_{\text{a}3} - T \times \alpha / 360^\circ$$

où

$\Delta t_{\text{a}1}$, $\Delta t_{\text{a}2}$, $\Delta t_{\text{a}3}$ sont les paramètres pertinents de durées à choisir du Tableau E.12 au Tableau E.17.

L'ordre des deux dernières manœuvres de coupure peut être interverti.

Étant donné que certains disjoncteurs ne coupent pas à l'issue d'une grande alternance, un essai est encore valable si le disjoncteur coupe après la petite alternance suivante.

NOTE La dernière coupure exigée au 7.104.3.3 de l'IEC 62271-100:2021 est considérée comme couverte par les essais pour démontrer la durée minimale d'arc.

7.104.3.5 Séparation des séquences d'essais en séries d'essais compte tenu de la TTR associée à chaque pôle qui coupe

Les exigences décrites au 7.104.3.5 de l'IEC 62271-100:2021 sont applicables et la procédure d'essai pour les essais synthétiques est donnée à l'Annexe E.

7.104.3.101 Procédure modifiée pour le cas de disjoncteurs qui ne coupent pas pendant un essai avec une durée moyenne et/ou maximale d'arc, pendant des essais de coupure avec un courant symétrique

Si le disjoncteur n'a pas coupé au passage par zéro de courant prévu, lors d'une manœuvre de coupure avec un courant symétrique, pour une durée moyenne et/ou maximale d'arc, il est alors nécessaire de réaliser une manœuvre de coupure supplémentaire pour chaque durée d'arc respective.

La manœuvre de coupure pour la durée moyenne d'arc doit démontrer la coupure avec:

$$t_{\text{arc med}} + T \times (150^\circ / 360^\circ), \text{ si } k_{\text{pp}} = 1,5$$

$$t_{\text{arc med}} + T \times (180^\circ / 360^\circ), \text{ si } k_{\text{pp}} = 1,3, 1,2 \text{ ou } 1,0$$

où

$t_{\text{arc med}}$ est la durée moyenne d'arc à laquelle le disjoncteur n'a pas coupé.

La manœuvre de coupure pour la durée maximale d'arc doit démontrer la coupure avec:

$$t_{\text{arc max}} + T \times (180^\circ / 360^\circ)$$

où

$t_{\text{arc max}}$ est la durée maximale d'arc à laquelle le disjoncteur n'a pas coupé.

Si le disjoncteur ne coupe pas lors d'une de ces manœuvres de coupure supplémentaires, il est admissible d'effectuer des travaux d'entretien sur le disjoncteur selon 7.102.9.6 de l'IEC 62271-100:2021, et de répéter la séquence d'essais pour laquelle la manœuvre de coupure avec la durée moyenne et/ou maximale d'arc est remplacée par la manœuvre de coupure avec la durée d'arc définie ci-dessus.

L'essai supplémentaire est effectué avec la même manœuvre lorsque le disjoncteur n'a pas coupé (par exemple, (Cd)Os, Od et CdOs, etc.).

7.105.5.4 Séquence d'essais T30

Pour les tensions assignées inférieures ou égales à 72,5 kV, il peut être difficile de satisfaire aux petites valeurs de t_3 . Il convient d'utiliser la plus petite durée qui peut être obtenue, voir 7.105.5.4 de l'IEC 62271-100:2021. Les valeurs utilisées doivent être indiquées dans le rapport d'essai.

7.105.5.5 Séquence d'essais T10

Pour les tensions assignées inférieures ou égales à 72,5 kV, il peut être difficile de satisfaire aux petites valeurs de t_3 . Il convient d'utiliser la plus petite durée qui peut être obtenue, voir 7.105.5.5 de l'IEC 62271-100:2021. Les valeurs utilisées doivent être indiquées dans le rapport d'essai.

7.107 Essais de défaut aux bornes

7.107.1 Généralités

Les exigences fondamentales sont données au 7.107.1 de l'IEC 62271-100:2021. Les méthodes d'essais synthétiques sont données dans le Tableau 7.

NOTE Du fait des caractéristiques des essais synthétiques, il peut être difficile de satisfaire aux intervalles de temps spécifiés des séquences de manœuvres assignées. Voir 7.106.1 de l'IEC 62271-100:2021.

Pour satisfaire à toutes les exigences d'essai, il peut être utile de réaliser plus de manœuvres que celles spécifiées dans la séquence d'essais normale. Dans de tels cas, le disjoncteur peut être remis en état et la séquence d'essais répétée.

Tableau 7 – Méthodes d'essais synthétiques pour les séquences d'essais T10, T30, T60, T100s, T100a, SP, DEF, OP et SLF

Séquence d'essais	Essai synthétique		Séquence de manœuvres
	Paragraphe	Méthode	
T10, T30 et T60	7.107.2 à 7.107.4	1	$Os - t - (Cd)Os - t' - (Cd)Os^a$
		2	Os $Od - t - (Cd)Os - t' - (Cd)Os^{a, e}$
T100s	7.107.5.2 constante de temps de la composante apériodique du circuit d'essai égale à la valeur spécifiée	3	$Os - t - CsOs - t' - CsOs^f$
		4	Os $Od - t - Cs_{sym}Os - t' - Cd_{asy}Os^e$
		5	Cs_{sym} Os $Od - t - CdOs - t' - CdOs^{d, e}$
	7.107.5.3 constante de temps de la composante apériodique du circuit d'essai inférieure à la valeur spécifiée	6	Cd_{asy} Os $Od - t - Cs_{sym}Os - t' - CdOs^{b, e}$
		7	Cd_{asy} Cs_{sym} Os $Od - t - CdOs - t' - CdOs^{b, e}$
	7.107.5.4 constante de temps de la composante apériodique du circuit d'essai supérieure à la valeur spécifiée	4	Os $Od - t - Cs_{sym}Os - t' - Cd_{asy}Os^{c, e}$
		5	Cs_{sym} Os $Od - t - CdOs - t' - CdOs^{c, d, e}$
		7	Cd_{asy} Cs_{sym} Os $Od - t - CdOs - t' - CdOs^{c, e}$
T100a	7.107.6		$Os - t' - Os - t' - Os$
SP et DEF	7.108.2		Os
SLF	7.109	1	$Os - t - (Cd)Os - t' - (Cd)Os^a$
		2	Os $Od - t - (Cd)Os - t' - (Cd)Os^{a, e}$
OP1	7.110		Os, Os, Os
OP2	7.110	8	$Cs_{sym}Os, Os, Os$
		9	Cs_{sym} $(Cd)Os, Os, Os^a$

^a (Cd) est une manœuvre de fermeture comme Cd, qui peut être effectuée à vide

^b Du fait que la constante de temps de la composante continue du circuit d'essai est plus faible que la valeur spécifiée utilisée pour le pouvoir de coupure assigné en court-circuit, il est nécessaire que la valeur symétrique du courant pendant Cd_{asy} soit plus grande que la valeur assignée. De même, pendant Cd, la crête de courant, déjà vérifiée pendant Cd_{asy} est plus faible que le pouvoir d'établissement assigné en court-circuit.

^c Étant donné que la constante de temps de la composante continue du circuit d'essai est plus grande que la valeur spécifiée utilisée pour le court-circuit assigné, la valeur de crête du courant pendant la fermeture asymétrique peut être plus grande que le pouvoir d'établissement assigné en court-circuit. Un circuit de réduction du courant de crête peut être utilisé ou la manœuvre de fermeture peut être réalisée en synchronisant l'ordre par rapport à l'onde de tension pour obtenir le pouvoir d'établissement assigné en court-circuit exigé. L'utilisation d'une synchronisation de l'ordre par rapport à l'onde de tension est soumise à l'accord du constructeur.

^d L'une des deux Cd doit être Cd_{asy} .

^e Od a la même condition de durée minimale d'arc que l'Os précédente.

^f Une Cs satisfait à l'exigence a) et l'autre Cs satisfait à l'exigence b) du 7.105.2.1 de l'IEC 62271-100:2021.

7.107.2 Séquence d'essais T10

L'une des méthodes 1 ou 2 peut être utilisée pour réaliser la séquence de manœuvre assignée en synthétique avec les paramètres spécifiés (voir Tableau 7).

7.107.3 Séquence d'essais T30

L'une des méthodes 1 ou 2 peut être utilisée pour réaliser la séquence de manœuvre assignée en synthétique avec les paramètres spécifiés (voir Tableau 7).

7.107.4 Séquence d'essais T60

L'une des méthodes 1 ou 2 peut être utilisée pour réaliser la séquence de manœuvre assignée en synthétique avec les paramètres spécifiés (voir Tableau 7).

7.107.5 Séquence d'essais T100s

7.107.5.2 Constante de temps de la composante apériodique du circuit d'essai égale à la valeur spécifiée

L'une des méthodes 3, 4 ou 5 peut être utilisée pour réaliser la séquence de manœuvre assignée en synthétique avec les paramètres spécifiés (voir Tableau 7), lorsque la constante de temps du circuit d'essai est égale à la valeur spécifiée associée au pouvoir de coupure assigné en court-circuit défini au 5.101.3 de l'IEC 62271-100:2021.

7.107.5.3 Constante de temps de la composante apériodique du circuit d'essai inférieure à la valeur spécifiée

L'une des méthodes 6 ou 7 peut être utilisée pour réaliser la séquence de manœuvre assignée en synthétique avec les paramètres spécifiés (voir Tableau 7), lorsque la constante de temps du circuit d'essai est inférieure à la valeur spécifiée associée au pouvoir de coupure assigné en court-circuit selon 5.101.3 de l'IEC 62271-100:2021.

7.107.5.4 Constante de temps de la composante apériodique du circuit d'essai supérieure à la valeur spécifiée

L'une des méthodes 4, 5 ou 7 peut être utilisée pour réaliser la séquence de manœuvre assignée en synthétique avec les paramètres spécifiés (voir Tableau 7), lorsque la constante de temps du circuit d'essai est supérieure à la valeur spécifiée associée au pouvoir de coupure assigné en court-circuit selon 5.101.3 de l'IEC 62271-100:2021.

7.107.6 Séquence d'essais T100a

Trois manœuvres de coupure doivent être réalisées comme cela est spécifié au 7.107.6 de l'IEC 62271-100:2021 (voir Tableau 7).

Pendant les essais avec courant asymétrique, la pente di/dt et la TTR sont modifiées par la présence de la composante continue. Pour les essais synthétiques, ces modifications doivent être préparées comme suit:

- a) selon la constante de temps apériodique exigée, les critères d'asymétrie suivants doivent être remplis comme cela est indiqué ci-dessous;

Les valeurs exigées de la crête du courant de court-circuit et de la durée de l'alternance doivent être conformes aux valeurs définies du Tableau E.12 au Tableau E.17.

Les critères pour les valeurs réelles sont donnés en 4.1.2.

Lorsqu'une méthode par injection de tension est utilisée, les critères concernant le rapport di/dt au zéro de courant peuvent être ignorés.

- b) réduction de di/dt au zéro de courant;

La réduction de di/dt peut être obtenue pour les méthodes par injection de courant, en réduisant la tension de charge du circuit de tension.

Les valeurs corrigées correspondantes sont indiquées du Tableau E.12 au Tableau E.17.

c) correction de la TTR;

1) Méthode simplifiée

Pour les TTR dont le temps t_2 ou t_3 ne dépasse pas 500 μs , une méthode simplifiée peut être utilisée. La tension de charge du circuit synthétique doit être fixée pour obtenir les paramètres d'essais les plus contraignants. Voir l'Annexe A pour des recommandations supplémentaires.

2) Pour les TTR dont le temps t_2 dépasse 500 μs , d'autres corrections et/ou des modifications de circuit doivent être appliquées. Pour les valeurs de TTR présumées exigées, voir du Tableau A.1 au Tableau A.6.

Différents circuits d'essais pour différentes conditions d'asymétrie peuvent être nécessaires afin d'obtenir les valeurs exigées. Un essai avec un seul circuit d'essai peut produire des contraintes excessives sur le disjoncteur et exige l'accord du constructeur.

3) Les facteurs u_c et VATR relatifs au deuxième pôle qui coupe et au dernier pôle qui coupe sont obtenus à partir des valeurs respectives dans des conditions de symétrie réduites par le même facteur que le di/dt correspondant.

d) correction de la tension de rétablissement;

Lorsqu'un essai représente la coupure à la fin d'une grande alternance, la tension de rétablissement réduite couvre correctement le premier quart de période de la tension de rétablissement (d'un essai direct équivalent).

Pour la coupure à la fin d'une petite alternance de courant, la tension de rétablissement réduite ne couvre pas les conditions du réseau de référence, puisque la tension de rétablissement à fréquence industrielle dans le réseau continue de croître après l'établissement de la TTR.

Avec les séquences d'essais symétriques, les éléments qui permettent de démontrer les caractéristiques du disjoncteur sont suffisants.

e) asymétrie intermédiaire.

La phase qui présente l'asymétrie intermédiaire exigée pour les essais T100a selon 7.104.2.2 et 7.104.3.3 fait référence, dans un réseau triphasé, à la phase dont le zéro de courant se situe juste avant le zéro de courant de la phase qui présente l'asymétrie exigée. Cette phase commence également par une grande alternance de courant, à l'injection du courant. À titre d'exemple, la phase colorée en rouge dans les essais 1 et 2 de la Figure 10 et de la Figure 11 (essai synthétique, partie droite des figures) remplit cette condition d'asymétrie intermédiaire.

Dans cette phase particulière, les grandes alternances sont appelées "grandes alternances intermédiaires".

Les paramètres de la grande alternance intermédiaire peuvent être obtenus à partir des valeurs définies du Tableau E.12 au Tableau E.17.

7.108.2 Essais de défaut monophasé ou de double défaut à la terre

Les exigences d'essai fondamentales sont données au 7.108.2 de l'IEC 62271-100:2021. La méthode d'essai est présentée dans le Tableau 7.

7.109 Essais de défaut proche en ligne

Les exigences d'essai fondamentales sont données au 7.109 de l'IEC 62271-100:2021.

L'une des méthodes 1 ou 2 peut être utilisée pour réaliser la séquence de manœuvre assignée en synthétique avec les paramètres spécifiés (voir Tableau 7).

Pour les essais synthétiques de défaut proche en ligne (SLF), les paramètres du circuit de défaut proche en ligne doivent être ceux indiqués au 7.109 de l'IEC 62271-100:2021 et le circuit côté ligne doit être inséré dans le circuit de courant pendant la totalité de la durée d'interaction.

Avec des circuits à injection de courant, le circuit de défaut proche en ligne peut être connecté en série avec le circuit de tension, et son inductance est ajoutée à L_h , comme cela est représenté à la Figure 145 de l'IEC TR 62271-306:2012/AMD1:2018.

Ce circuit de défaut proche en ligne introduit dans le circuit de tension peut engendrer des oscillations qui se superposent à l'onde de courant injecté. Il convient d'amortir ces oscillations (pour être conformes à d) de 4.2.1), de manière à ne pas perturber le courant pendant la durée de variation significative de la tension d'arc ou au moins pendant 100 μ s avant le zéro de courant.

Une résistance peut être connectée en série avec le circuit de mise en forme de TTR. Dans la plupart des cas, cette résistance, destinée à contrôler la vitesse d'accroissement initiale de la tension de rétablissement, est suffisante pour assurer l'amortissement nécessaire.

NOTE 1 Un soin particulier est apporté à la distribution des tensions et au mesurage des TTR présumées lorsque, pour les essais de défaut proche en ligne, la ligne est connectée du même côté du disjoncteur en essai comme l'impédance du circuit de tension.

Si une capacité additionnelle est utilisée pour ajuster les retards selon 7.109.3 de l'IEC 62271-100:2021, il convient de veiller à l'endroit d'application de cette capacité:

- en utilisant une capacité côté ligne, elle doit être connectée aux bornes de la section ligne du circuit d'essai pour simuler les mêmes conditions que dans les essais directs;
- en utilisant une capacité côté source, elle doit être connectée aux bornes de la section source du circuit de tension.

Une capacité aux bornes du disjoncteur est normalement considérée comme partie intégrante de l'objet d'essai. Dans certains cas, il peut être utile d'appliquer une capacité supplémentaire aux bornes du disjoncteur pour ajuster le retard du circuit d'essai.

NOTE 2 Une capacité aux bornes du disjoncteur auxiliaire influence le retard et est considérée comme partie intégrante de la capacité de retard du circuit d'essai.

Selon 7.109.5 de l'IEC 62271-100:2021, les essais de défaut proche en ligne peuvent également être réalisés avec un circuit à injection de courant fondé sur une tension à fréquence industrielle réduite, avec suppression des dispositions du 7.109.3 de l'IEC 62271-100:2021.

Ces dispositions doivent être satisfaites autant que possible et, pour la tension transitoire de rétablissement, au moins jusqu'à trois fois la durée spécifiée de la première crête du côté ligne.

Pour l'applicabilité de cette méthode, se reporter au 7.109.5 de l'IEC 62271-100:2021.

NOTE 3 Il est reconnu que les exigences de 4.2.1 b) sur l'inductance du circuit de tension s'appliquent au circuit direct équivalent de puissance réduite.

7.110 Essais d'établissement et de coupure en discordance de phases

Les exigences fondamentales sont données au 7.110 de l'IEC 62271-100:2021.

L'une des méthodes 8 ou 9 peut être utilisée pour réaliser la séquence de manœuvre en synthétique avec les paramètres spécifiés pour OP2 (voir Tableau 7) indépendamment de la période de préarc.

La méthode d'essai pour OP1 est donnée dans le Tableau 7.

Il peut être utile de séparer les essais d'établissement des essais de coupure dans la séquence d'essais OP2. Dans ce cas, la partie constituée de manœuvres d'établissement est appelée OP2(a) et celle constituée de manœuvres de coupure est appelée OP2(b).

7.111 Essais au courant capacitif

7.111.1 Généralités

Les exigences fondamentales sont données au 7.111 de l'IEC 62271-100:2021.

Pour les disjoncteurs sous enveloppe métallique, des circuits d'essai types sont donnés à l'Annexe G et des lignes directrices supplémentaires sont données à l'Annexe I de l'IEC 62271-100:2021.

7.111.3 Caractéristiques des circuits d'alimentation

Lorsque les caractéristiques du circuit d'essai ne satisfont pas aux exigences du 7.111.3 de l'IEC 62271-100:2021, la tension de rétablissement présumée spécifiée au 7.111.10 de l'IEC 62271-100:2021 doit être appliquée.

Les effets d'arrachement du courant, tels que décrits à l'Article I.5, peuvent modifier la tension de rétablissement lors des essais d'établissement et de coupure de courants capacitifs. Par conséquent, la vérification de la TTR spécifiée n'est effectuée qu'à la durée minimale d'arc.

Un circuit d'essai avec un circuit de courant de 50 Hz peut être utilisé pour démontrer la capacité d'établissement et de coupure de courants capacitifs pour des caractéristiques assignées de 60 Hz, à condition que la tension de rétablissement satisfasse aux exigences de 60 Hz (voir 7.111.3 de l'IEC 62271-100:2021). Il convient que le réglage de la séparation des contacts repose sur la fréquence du circuit de courant.

7.111.7 Tension d'essai

La tension de rétablissement présumée au cours des essais d'établissement et de coupure de courants capacitifs doit être calculée sur la base de la tension d'essai de l'essai direct monophasé correspondant, telle que définie au 7.111.7 de l'IEC 62271-100:2021, et doit satisfaire aux exigences du 7.111.10 de l'IEC 62271-100:2021.

En raison des limitations de certains circuits d'essais synthétiques, les exigences supplémentaires suivantes s'appliquent à la tension de rétablissement:

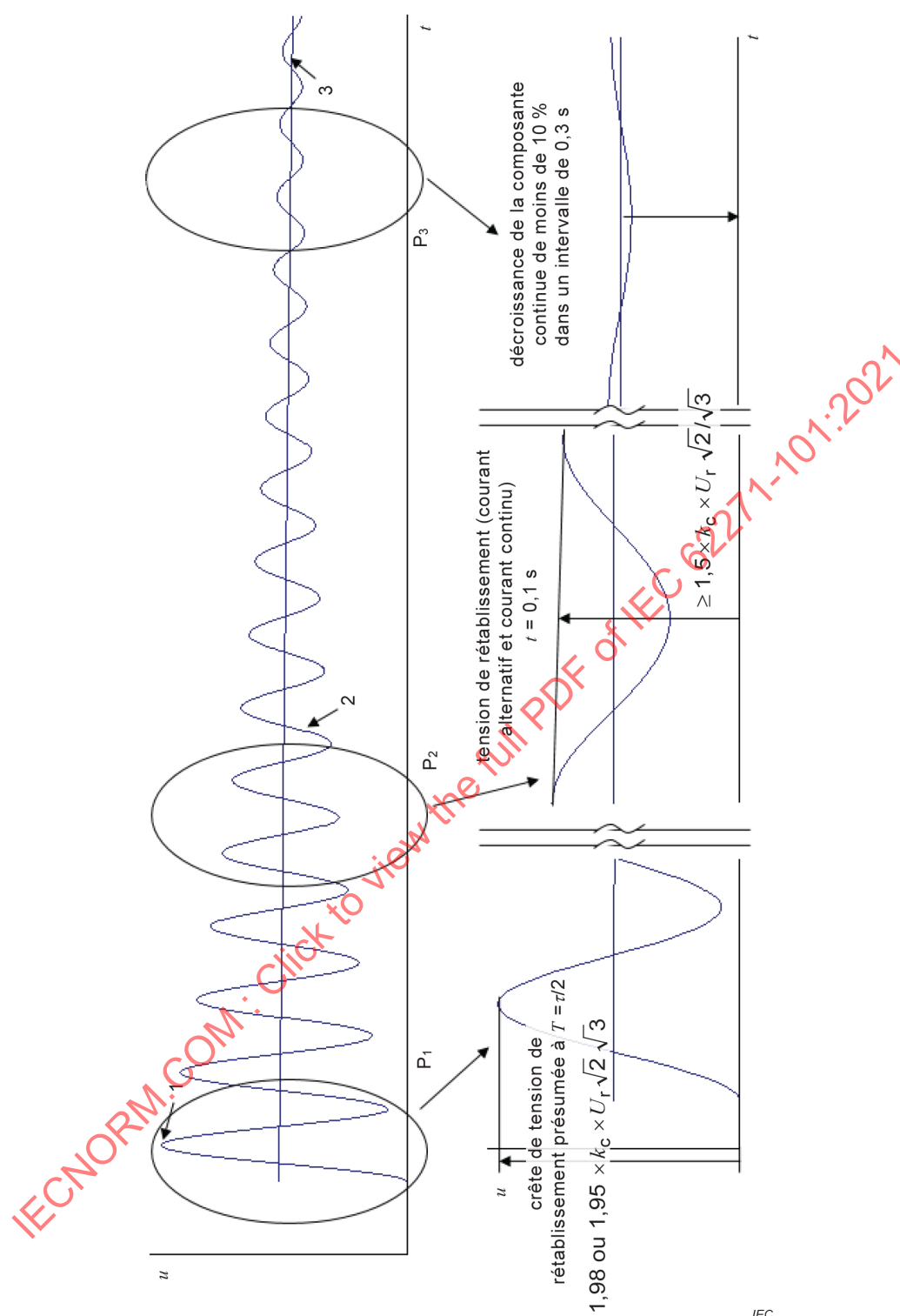
- il convient de maintenir la valeur de crête de la composante alternative de la tension de rétablissement de la composante alternative aussi proche que possible de $k_c \times U_T \sqrt{2/\sqrt{3}}$;
- la composante continue de la tension de rétablissement ne doit pas décroître de plus de 10 % dans un intervalle de 0,3 s après l'extinction définitive de l'arc, sauf pour la séquence d'essais LC1 et/ou CC1;
- la tension de rétablissement ne doit pas chuter en dessous de $1,5 \times k_c \times U_T \sqrt{2/\sqrt{3}}$ dans un intervalle de 0,1 s après l'extinction définitive de l'arc.

Une représentation graphique du calcul de la tension de rétablissement est donnée à la Figure 15.

Des exemples de circuits d'établissement et de coupure de courants capacitifs synthétiques sont donnés à l'Annexe I.

Lorsqu'aucun des circuits d'essai utilisés pour les différentes séquences d'essai ne peut satisfaire aux exigences de tension de rétablissement concernant la composante continue, telles qu'elles sont énumérées ci-dessus, pendant 300 ms, la capacité de tenue du disjoncteur doit être démontrée d'une autre façon. Cette démonstration peut être faite au moyen d'un essai supplémentaire sans courant, par application de la tension de rétablissement exigée. La tension de rétablissement exigée peut être obtenue par application, par exemple, d'une tension continue sur une borne et une tension alternative sur l'autre borne pendant la durée exigée. Il doit y avoir cinq applications de tensions dans chaque polarité. Lorsque les essais d'établissement et de coupure de courants capacitifs sont effectués en triphasé, cet essai diélectrique supplémentaire doit être effectué sur chacune des trois phases. La pression pour la coupure et l'isolement au cours de cet essai doit, le cas échéant, être celle spécifiée pour l'essai d'établissement et de coupure de courants capacitifs correspondant.

IECNORM.COM : Click to view the full PDF of IEC 62271-101:2021



Légende

- 1 tension de rétablissement avec décroissance exponentielle dans les composantes alternative et continue, aux bornes du disjoncteur pendant un essai synthétique d'établissement et de coupure de courants capacitifs
- 2 composante alternative de la tension de rétablissement
- 3 composante continue de la tension de rétablissement

τ cycle à fréquence industrielle

- P₁ point auquel la crête de tension de rétablissement (1) se produit
- P₂ point auquel la tension de rétablissement (1) ne doit pas être inférieure à $1,5 \times k_c \times U_r \times \sqrt{2} \times \sqrt{3}$
- P₃ point auquel la tension de rétablissement en courant continu (3) ne doit pas être inférieure à $0,9 \times k_c \times U_r \times \sqrt{2} \times \sqrt{3}$

Figure 15 – Évaluation de la tension de rétablissement en essai synthétique d'établissement et de coupure de courants capacitifs

Annexe A (normative)

Correction du rapport di/dt et de la TTR pour la séquence d'essais T100a

A.1 Généralités

Pendant les conditions de défauts asymétriques, le rapport di/dt et la TTR résultants sont modifiés par la composante continue du courant de défaut.

Il existe deux options:

- 1) régler le circuit d'essai de manière à obtenir la TTR assignée associée au T100s,
Il n'est pas possible dans ce cas de satisfaire simultanément à tous les paramètres (di/dt , u_1 et u_c) car ils ne varient pas linéairement avec la composante continue au zéro de courant. La tension de charge du circuit d'essais synthétiques doit être fixée pour obtenir les paramètres d'essais les plus contraignants. Pour les essais sur la grande alternance, le paramètre d'essai le plus contraignant est toujours di/dt alors que le paramètre d'essai le plus contraignant pour les essais sur la petite alternance suivante est u_c . Dans le cas de la méthode d'essai par injection de tension, le paramètre d'essai le plus contraignant pour les essais sur la grande alternance devient u_1 .
- 2) utiliser différents circuits d'essai pour obtenir la TTR modifiée associée aux conditions d'asymétrie appropriées.
Il est possible dans ce cas de satisfaire simultanément à tous les paramètres (di/dt , u_1 et u_c) exigés.

Le choix de l'option est laissé à la discrétion du constructeur car l'option 1) peut produire des contraintes excessives sur le disjoncteur (par exemple, pour les essais sur la grande alternance, la correction exigée sur di/dt produit un u_c supérieur à celui exigé).

A.2 Réduction du rapport di/dt

Pour les paramètres de la dernière alternance de courant, se reporter au Tableau A.7 et au Tableau A.8, ainsi que du Tableau E.12 au Tableau E.17.

A.3 TTR corrigée pour le premier pôle qui coupe avec l'asymétrie exigée

Les Tableaux Tableau A.1 à Tableau A.6 traitent des valeurs corrigées de la TTR pour $k_{pp} = 1,5, 1,3$ et $1,2$ pour $f_r = 50$ Hz et $f_r = 60$ Hz.

**Tableau A.1 – Valeurs corrigées de TTR pour le premier pôle qui coupe
pour $k_{pp} = 1,3$ et $f_r = 50$ Hz**

Durée minimale de coupure ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 68,0		68,0 < t ≤ 88,0			
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV		
τ = 45 ms grande alternance	72,5 ^c	b	99	b	105	b	107	a	a		
	72,5 ^d	b	109	b	115	b	118				
	100	74	136	78	144	79	147				
	123	90	166	96	177	97	181				
	145	106	195	113	208	115	213				
	170	125	228	132	243	134	249				
	245	179	325	190	348	194	357				
	300	219	394	232	423	237	436				
	362	264	471	280	508	286	524				
	420	306	541	324	586	331	606				
	550	399	693	424	757	433	787				
800	576	965	613	1 074	628	1 126					
τ = 45 ms petite alternance suivante	72,5 ^c	b	98	b	103	b	106	a	a		
	72,5 ^d	b	107	b	113	b	116				
	100	72	135	76	143	78	146				
	123	88	167	94	176	96	180				
	145	104	197	110	208	113	212				
	170	122	232	129	244	132	249				
	245	176	338	187	354	191	360				
	300	216	417	229	435	234	442				
	362	261	507	276	528	283	535				
	420	304	593	321	615	328	623				
	550	399	789	421	814	430	821				
800	584	1 184	615	1 207	627	1 209					
Durée minimale de coupure ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 67,5		67,5 < t ≤ 88,0			
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV		
τ = 60 ms grande alternance	72,5 ^c	b	92	b	100	b	104	b	106		
	72,5 ^d	b	102	b	111	b	115	b	117		
	100	69	127	75	138	77	143	79	146		
	123	85	155	92	169	95	176	97	179		
	145	100	182	108	199	112	207	114	211		
	170	117	212	127	232	131	242	134	247		
	245	168	301	182	331	189	347	192	355		
	300	205	364	223	403	231	422	235	433		
	362	247	434	269	482	279	506	284	520		
	420	286	497	311	554	323	584	329	601		
	τ = 60 ms petite alternance suivante	72,5 ^c	b	93	b	100	b	104	b		
72,5 ^d		b	101	b	110	b	114	b	116		
100		68	128	73	138	76	143	78	146		
123		83	159	90	171	94	177	96	180		
145		98	188	107	202	111	209	113	212		
170		115	221	125	237	130	245	132	249		
245		167	323	181	345	187	355	191	360		
300		205	399	221	425	229	437	234	442		
362		248	487	267	517	277	530	282	536		
420		288	570	311	603	322	618	328	623		

Durée minimale de coupure ms	10,0 < t ≤ 27,0			27,0 < t ≤ 47,5		47,5 < t ≤ 67,5		67,5 < t ≤ 87,5		87,5 < t ≤ 108	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
$\tau = 75$ ms grande alternance	550 800	349 501	580 785	388 560	669 928	409 592	722 1 015	421 610	754 1 070	428 621	775 1 106
$\tau = 75$ ms petite alternance suivante	550 800	360 529	737 1 126	394 577	786 1 184	413 603	808 1 207	423 618	819 1 215	429 626	823 1 216
^a La séquence d'essais T100a n'est pas applicable, niveau d'asymétrie inférieur à 20 % pour les deux alternances de courant. ^b u_1 n'est pas défini pour une TTR à deux paramètres. ^c Classe S1 ^d Classe S2											

Tableau A.2 – Valeurs corrigées de TTR pour le premier pôle qui coupe pour $k_{pp} = 1,3$ et $f_r = 60$ Hz

Durée minimale de coupure ms	8,5 < t ≤ 22,5			22,5 < t ≤ 39,5		39,5 < t ≤ 56,5		56,5 < t ≤ 73,0					
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV				
$\tau = 45$ ms grande alternance	72,5 ^c 72,5 ^d 100 123 102 145 170 245 300 362 420 550 800	b b 71 87 102 120 172 210 253 293 381 548	94 105 130 159 186 217 307 371 441 505 640 873	b b 76 93 110 129 185 226 273 316 412 595	102 113 140 172 202 236 336 408 488 561 720 1 006	b b 78 96 113 133 191 234 282 326 426 617	105 116 145 178 209 244 350 426 511 589 761 1 079	a	a				
$\tau = 45$ ms petite alternance suivante	72,5 ^c 72,5 ^d 100 123 101 145 170 245 300 362 420 550 800	b b 69 85 101 118 171 210 254 295 388 570	95 104 132 163 192 227 331 410 501 587 787 1 196	b b 75 92 108 127 183 225 272 315 414 607	101 111 141 173 205 241 351 432 525 614 816 1 223	b b 77 95 112 131 189 232 280 325 426 623	105 115 145 178 211 247 359 441 535 624 825 1 225	a	a				

Durée minimale de coupure ms		8,5 < t ≤ 22,5		22,5 < t ≤ 39,5		39,5 < t ≤ 56,5		56,5 < t ≤ 73,0		73,0 < t ≤ 90,0			
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV		
τ = 60 ms grande alternance	72,5 ^c	b	87	b	97	b	102	b	104	a	a		
	72,5 ^d	b	97	b	107	b	112	b	115				
	100	66	120	72	133	76	140	78	144				
	123	81	146	89	162	93	171	95	176				
	145	95	171	104	191	110	201	112	207				
	170	111	199	122	222	128	235	132	242				
	245	159	281	176	316	185	335	189	346				
	300	194	338	215	382	226	407	232	422				
	362	234	400	259	455	272	487	279	505				
	420	270	456	299	522	315	560	324	582				
τ = 60 ms petite alternance suivante	72,5 ^c	b	89	b	97	b	102	b	104	a	a		
	72,5 ^d	b	97	b	106	b	112	b	114				
	100	65	124	71	135	75	141	77	144				
	123	80	153	88	167	92	174	94	178				
	145	94	181	104	197	108	206	111	210				
	170	111	214	121	232	127	242	131	247				
	245	160	314	175	339	184	352	188	358				
	300	197	390	215	419	225	434	231	441				
	362	238	478	260	511	272	527	279	535				
	420	277	562	303	599	316	616	324	624				
Durée minimale de coupure ms		8,5 < t ≤ 22,5		22,5 < t ≤ 39,5		39,5 < t ≤ 56,0		56,0 < t ≤ 73,0		73,0 < t ≤ 90,0		90,0 < t ≤ 106,5	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
τ = 75 ms grande alternance	550 800	327 467	517 676	369 531	615 832	395 569	677 935	410 593	718 1 004	420 608	746 1 052	426 618	765 1 087
τ = 75 ms petite alternance suivante	550 800	345 509	730 1 134	382 561	782 1 195	403 591	808 1 221	416 609	821 1 231	424 620	827 1 233	429 627	830 1 230

^a La séquence d'essais T 100a n'est pas applicable, niveau d'asymétrie inférieur à 20 % pour les deux alternances de courant.

^b u_1 n'est pas défini pour une TTR à deux paramètres.

^c Classe S1

^d Classe S2

**Tableau A.3 – Valeurs corrigées de TTR pour le premier pôle qui coupe
pour $k_{pp} = 1,5$ et $f_r = 50$ Hz**

Durée minimale de coupeure ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 68,0		68,0 < t ≤ 88,0	
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV
τ = 45 ms grande alternance	72,5 ^c	b	114	b	121	b	123	a	a
	72,5 ^d	b	126	b	133	b	136		
	100	85	156	90	166	91	169		
	123	104	191	110	203	112	208		
	145	123	224	130	239	132	245		
	170	144	262	152	280	155	286		
τ = 45 ms petite alternance suivante	72,5 ^c	b	113	b	119	b	122	a	a
	72,5 ^d	b	124	b	131	b	134		
	100	83	156	88	165	90	169		
	123	102	193	108	203	111	208		
	145	120	228	127	240	130	245		
	170	141	269	149	282	153	288		
Durée minimale de coupeure ms		10,0 < t ≤ 27,0		27,0 < t ≤ 47,5		47,5 < t ≤ 67,5		67,5 < t ≤ 88,0	
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV
τ = 60 ms grande alternance	72,5 ^c	b	106	b	116	b	120	b	122
	72,5 ^d	b	118	b	128	b	133	b	135
	100	79	146	86	159	89	165	91	168
	123	98	178	106	195	110	203	112	207
	145	115	209	125	229	129	238	132	243
	170	135	243	146	267	152	279	154	285
τ = 60 ms petite alternance suivante	72,5 ^c	b	107	b	115	b	120	b	122
	72,5 ^d	b	117	b	126	b	131	b	134
	100	78	149	85	160	88	166	90	168
	123	96	184	104	197	108	204	110	207
	145	114	217	123	233	128	241	130	245
	170	133	256	144	275	150	283	153	287

a La séquence d'essais T100a n'est pas applicable, niveau d'asymétrie inférieur à 20 % pour les deux alternances de courant.

b u₁ n'est pas défini pour une TTR à deux paramètres.

c Classe S1.

d Classe S2.

**Tableau A.4 – Valeurs corrigées de TTR pour le premier pôle qui coupe
pour $k_{pp} = 1,5$ et $f_r = 60$ Hz**

Durée minimale de coupe ms		8,5 < t ≤ 22,5		22,5 < t ≤ 39,5		39,5 < t ≤ 56,5		56,5 < t ≤ 73,0		73,0 < t ≤ 90,0	
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV
τ = 45 ms grande alternance	72,5 ^c	b	109	b	117	b	121	b	123	a	a
	72,5 ^d	b	121	b	130	b	134	b	136		
	100	81	149	88	161	90	167	91	169		
	123	100	182	108	198	111	205	112	208		
	145	118	213	127	232	131	241	132	245		
	170	138	249	148	271	153	281	155	286		
τ = 45 ms petite alternance suivante	72,5 ^c	b	110	b	117	b	121	b	123	a	a
	72,5 ^d	b	120	b	128	b	132	b	134		
	100	80	152	86	162	89	167	90	169		
	123	99	188	106	201	109	206	111	209		
	145	116	223	125	237	129	243	131	246		
	170	137	263	147	279	151	286	154	289		
Durée minimale de coupe ms		8,5 < t ≤ 22,5		22,5 < t ≤ 39,5		39,5 < t ≤ 56,5		56,5 < t ≤ 73,0		73,0 < t ≤ 90,0	
	U _r kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV	u ₁ kV	u _c kV
τ = 60 ms grande alternance	72,5 ^c	b	101	b	11	b	117	b	120	b	122
	72,5 ^d	b	112	b	123	b	129	b	133	b	135
	100	76	137	83	153	87	161	89	165	91	168
	123	93	168	102	187	107	197	110	203	111	206
	145	109	196	120	219	126	231	130	238	131	243
	170	128	228	141	255	148	270	152	279	154	284
τ = 60 ms petite alternance suivante	72,5 ^c	b	103	b	112	b	118	b	120	b	122
	72,5 ^d	b	112	b	123	b	129	b	132	b	134
	100	75	143	82	156	86	163	89	167	90	169
	123	92	177	101	193	106	201	109	206	111	208
	145	109	210	120	228	125	238	128	243	130	246
	170	128	249	140	269	147	280	151	285	153	288
^a La séquence d'essais T100a n'est pas applicable, niveau d'asymétrie inférieur à 20 % pour les deux alternances de courant.											
^b u ₁ n'est pas défini pour une TTR à deux paramètres.											
^c Classe S1											
^d Classe S2											

**Tableau A.5 – Valeurs corrigées de TTR pour le premier pôle qui coupe
pour $k_{pp} = 1,2$ et $f_r = 50$ Hz**

Durée minimale de coupe ms		10,0 < $t \leq 27,0$		27,0 < $t \leq 47,0$		47,0 < $t \leq 67,5$		67,5 < $t \leq 87,5$		87,5 < $t \leq 108$	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
$\tau = 120$ ms grande alternance	1 100	530	871	615	1 070	671	1 206	709	1 304	736	1 375
	1 200	574	924	667	1 145	729	1 297	772	1 406	801	1 487
$\tau = 120$ ms petite alternance suivante	1 100	597	1 374	669	1 491	715	1 559	746	1 599	766	1 623
	1 200	655	1 524	733	1 648	783	1 719	815	1 760	837	1 784

**Tableau A.6 – Valeurs corrigées de TTR pour le premier pôle qui coupe
pour $k_{pp} = 1,2$ et $f_r = 60$ Hz**

Durée minimale de coupe ms		$8,5 < t \leq 22,5$		$22,5 < t \leq 39,0$		$39,0 < t \leq 56,0$		$56,0 < t \leq 73,0$		$73,0 < t \leq 89,5$		$89,5 < t \leq 106,5$	
	U_r kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV	u_1 kV	u_c kV
$\tau = 120$ ms grande alternance	1 100 1 200	483 522	727 760	569 617	931 987	629 683	1 077 1 150	672 730	1 187 1 272	704 765	1 271 1 367	728 792	1 336 1 440
$\tau = 120$ ms petite alternance suivante	1 100 1 200	571 628	1 373 1 531	645 707	1 490 1 653	693 760	1 561 1 727	727 796	1 605 1 772	751 822	1 632 1 799	768 840	1 649 1 815

**Tableau A.7 – Pourcentage de la composante continue et di/dt au zéro de courant
pour le premier pôle qui coupe pour $f_r = 50$ Hz**

τ ms	Durée minimale de coupe ms	Grande alternance		Petite alternance suivante			
		Composante continue %	di/dt %	Composante continue %	di/dt %	$I_{crête}$ p.u.	durée de l'alternance ms
45	$10,0 < t \leq 27,0$	44,6	92,7	37,9	89,9	0,59	7,5
	$27,0 < t \leq 47,5$	28,9	97,8	24,1	95,3	0,74	8,5
	$47,5 < t \leq 68,0$	18,7 ^a	99,6	15,3 ^a	97,7	0,83	9,0
60	$10,0 < t \leq 27,0$	54,2	86,9	48,6	84,8	0,49	6,5
	$27,0 < t \leq 47,5$	39,2	94,1	34,5	92,0	0,63	7,5
	$47,5 < t \leq 67,5$	28,3	97,4	24,6	95,6	0,74	8,5
	$67,5 < t \leq 88,0$	20,3	99,0	17,6 ^a	97,5	0,81	9,0
75	$10,0 < t \leq 27,0$	61,0	81,8	56,4	80,2	0,41	6,0
	$27,0 < t \leq 47,5$	47,1	90,2	42,9	88,5	0,55	7,0
	$47,5 < t \leq 67,5$	36,3	94,7	32,7	93,1	0,66	8,0
	$67,5 < t \leq 87,5$	27,9	97,2	25,0	95,8	0,74	8,5
	$87,5 < t \leq 108,0$	21,4	98,6	19,1 ^a	97,3	0,80	8,5
120	$10,0 < t \leq 27,0$	73,1	70,2	70,2	69,4	0,28	5,0
	$27,0 < t \leq 47,0$	62,1	80,0	59,2	79,0	0,39	6,0
	$47,0 < t \leq 67,5$	52,8	86,4	50,0	85,3	0,49	6,5
	$67,5 < t \leq 87,5$	44,8	90,6	42,2	89,5	0,57	7,0
	$87,5 < t \leq 108,0$	38,0	93,5	35,6	92,4	0,63	7,5

^a Pourcentage de la composante continue inférieur à 20 %. Essai à effectuer sans réduction du rapport di/dt et/ou des paramètres TTR.

Tableau A.8 – Pourcentage de la composante continue et di/dt au zéro de courant pour le premier pôle qui coupe pour $f_r = 60$ Hz

τ ms	Durée minimale de coupure ms	Grande alternance		Petite alternance suivante			
		Composante continue %	di/dt %	Composante continue %	di/dt %	$I_{\text{crête}}$ p.u.	durée de l'alternance ms
45	$8,5 < t \leq 22,5$	50,8	89,1	44,8	86,8	0,52	5,5
	$22,5 < t \leq 39,5$	35,4	95,6	30,6	93,4	0,67	6,5
	$39,5 < t \leq 56,5$	24,6	98,4	21,0	96,5	0,77	7,0
	$56,5 < t \leq 73,0$	17,1 ^a	99,5	14,5 ^a	98,1	0,84	7,5
60	$8,5 < t \leq 22,5$	59,8	82,8	55,0	81,1	0,43	5,0
	$22,5 < t \leq 39,5$	45,7	91,0	41,4	89,2	0,57	6,0
	$39,5 < t \leq 56,5$	34,8	95,3	31,2	93,6	0,67	6,5
	$56,5 < t \leq 73,0$	26,4	97,6	23,5	96,2	0,75	7,0
	$73,0 < t \leq 90,0$	20,1	98,6	17,8 ^a	97,6	0,81	7,5
75	$8,5 < t \leq 22,5$	66,1	77,4	62,1	76,2	0,36	4,5
	$22,5 < t \leq 39,5$	53,2	86,5	49,5	85,1	0,49	5,5
	$39,5 < t \leq 56,0$	42,8	91,9	39,5	90,5	0,59	6,0
	$56,0 < t \leq 73,0$	34,4	95,1	31,5	93,8	0,67	6,5
	$73,0 < t \leq 90,0$	27,6	97,1	25,2	95,9	0,74	7,0
	$90,0 < t \leq 106,5$	22,2	98,3	20,1	97,3	0,79	7,0
120	$8,5 < t \leq 22,5$	77,0	65,6	74,6	64,9	0,24	4,0
	$22,5 < t \leq 39,0$	67,2	75,6	64,7	74,8	0,34	4,5
	$39,0 < t \leq 56,0$	58,6	82,2	56,2	81,5	0,43	5,0
	$56,0 < t \leq 73,0$	51,1	87,1	48,8	86,2	0,50	5,5
	$73,0 < t \leq 89,5$	44,6	90,5	42,4	89,6	0,57	6,0
	$89,5 < t \leq 106,5$	38,8	93,0	36,9	92,2	0,62	6,5

^a Pourcentage de la composante continue inférieur à 20 %. Essai à effectuer sans réduction du rapport di/dt et/ou des paramètres TTR.

A.4 Correction du rapport di/dt et de la TTR du premier pôle qui coupe pour les essais avec asymétrie intermédiaire

Pour les paramètres de la dernière alternance de courant y compris di/dt , se reporter du Tableau E.12 au Tableau E.17.

La VATR et la crête de la TTR peuvent être calculées par multiplication des paramètres du premier pôle qui coupe en condition symétrique par le pourcentage de réduction de di/dt à zéro de courant après la grande alternance intermédiaire, donnée dans la colonne 9 du Tableau E.12 au Tableau E.17.

A.5 Correction du rapport di/dt et de la TTR du deuxième pôle qui coupe ou du dernier pôle qui coupe avec grande alternance rallongée avec asymétrie exigée pendant les essais triphasés

Pour les paramètres de la dernière alternance de courant y compris di/dt , se reporter du Tableau E.12 au Tableau E.17.

La VATR et la crête de la TTR peuvent être calculées par multiplication des paramètres du deuxième ou dernier pôle qui coupe en condition symétrique par le rapport entre di/dt réduit à zéro de courant après la grande alternance rallongée, donnée dans la colonne 12 du Tableau E.12 au Tableau E.17 et di/dt à zéro de courant du courant symétrique de court-circuit du deuxième ou dernier pôle qui coupe avec la grande alternance rallongée donnée du Tableau 3 au Tableau 5.

A.6 Correction du rapport di/dt et de la TTR pendant les essais avec une petite alternance suivante

Pour les essais monophasés, la TTR pour la petite alternance suivante doit être appliquée avec le même facteur de pôle qui coupe que la grande alternance défaillante. Les valeurs de TTR pour la petite alternance suivante dans le cas d'un premier pôle qui coupe peuvent être dérivées des valeurs données du Tableau A.1 au Tableau A.6 ou peuvent être calculées selon A.7.

NOTE Cette procédure d'essai reproduit les conditions d'un essai direct monophasé qui couvre suffisamment les conditions de TTR lors d'un essai triphasé.

Pour les essais triphasés, la phase avec la petite alternance suivante devient le dernier pôle qui coupe. Les paramètres correspondants pour le dernier pôle qui coupe en condition symétrique doivent être appliqués sans aucune correction supplémentaire.

A.7 Calcul du rapport di/dt et de la TTR du premier pôle qui coupe

A.7.1 Généralités

L'Article A.7 est applicable pour les conditions de défauts asymétriques, sur la phase avec l'asymétrie exigée uniquement, lorsque les valeurs ne sont pas données du Tableau A.1 au Tableau A.6, et du Tableau E.12 au Tableau E.17.

A.7.2 Calcul du rapport di/dt

Pour le rapport di/dt , la valeur maximale est atteinte pour la condition de défaut symétrique. Au cours de la condition de défaut asymétrique, le di/dt est réduit et dépend de la composante continue au zéro de courant. Le rapport di/dt au zéro de courant est calculé par les équations suivantes:

a) pour les petites alternances:

$$\frac{di}{dt} (\text{p.u.})_- = \sqrt{(1 - p^2)} - \frac{p}{2\pi f\tau} \quad (\text{A.1})$$

b) pour les grandes alternances:

$$\frac{di}{dt} (\text{p.u.})_+ = \sqrt{(1 - p^2)} + \frac{p}{2\pi f\tau} \quad (\text{A.2})$$

où

di/dt (p.u.) est le rapport di/dt en p.u de la condition de défaut symétrique;

– est l'indice utilisé pour désigner la petite alternance;

+	est l'indice utilisé pour désigner la grande alternance;
p	est la composante continue au zéro de courant en p.u.;
f	est la fréquence (Hz);
τ	est la constante de temps de la composante apériodique du courant de court-circuit (s).

A.7.3 Calcul de la TTR

Lorsque la coupure se produit, l'instant de zéro de courant ne correspond pas à la valeur de crête de la tension appliquée comme c'est le cas pendant la condition de défaut symétrique. La composante continue modifie le déplacement angulaire entre les zéros de courant et la tension à fréquence industrielle appliquée. Les coordonnées de l'amplitude de la TTR (u_1 , u_c) sont ensuite modifiées selon le déphasage entre l'instant du zéro de courant et la crête de la tension à fréquence industrielle appliquée.

Les coordonnées de l'amplitude de la TTR correspondantes (u_1 , u_c) doivent être calculées à l'aide des équations suivantes:

a) TTR à deux paramètres:

$$u_c(\text{p.u.}) = \frac{k_1 A_1}{2\pi f} \quad (\text{A.3})$$

et

$$k_{1-} = \sin(2\pi f t_3 - \arcsin(p)) + p \times e^{-\frac{t_3}{\tau}} \quad (\text{pour la petite alternance}) \quad (\text{A.4})$$

$$k_{1+} = \sin(2\pi f t_3 + \arcsin(p)) - p \times e^{-\frac{t_3}{\tau}} \quad (\text{pour la grande alternance}) \quad (\text{A.5})$$

$$A_1 = \frac{2\pi f}{\sin(2\pi f t_3)} \quad (\text{A.6})$$

où

u_c est la crête de TTR en p.u du cas symétrique;

k_1 est la constante de calcul;

– est l'indice utilisé pour désigner la petite alternance;

+

A_1 est la variable de calcul;

p est la composante continue au zéro de courant en p.u.;

f est la fréquence (Hz);

τ est la constante de temps de la composante apériodique du courant de court-circuit (s);

t_3 constitue la coordonnée de temps t_3 spécifiée (s).

b) TTR à quatre paramètres:

$$u_1(\text{p.u.}) = \frac{k_1 A_1}{2\pi f} \quad (\text{A.7})$$

et

$$k_{1-} = \sin(2\pi f t_1 - \arcsin(p)) + p \times e^{-\frac{t_1}{\tau}} \quad (\text{pour la petite alternance}) \quad (\text{A.8})$$

$$k_{1+} = \sin(2\pi f t_1 + \arcsin(p)) - p \times e^{-\frac{t_1}{\tau}} \quad (\text{pour la grande alternance}) \quad (\text{A.9})$$

$$A_1 = \frac{2\pi f}{\sin(2\pi f t_1)} \quad (\text{A.10})$$

où

u_1 est la crête de TTR en p.u. du cas symétrique;

k_1 est la constante de calcul;

– est l'indice utilisé pour désigner la petite alternance;

+ est l'indice utilisé pour désigner la grande alternance;

A_1 est la variable de calcul;

p est la composante continue au zéro de courant en p.u.;

f est la fréquence (Hz);

τ est la constante de temps de la composante aperiodique du courant de court-circuit (s);

t_1 constitue la coordonnée de temps t_1 spécifiée (s).

et

$$u_c(\text{p.u.}) = \frac{k_2 A_1}{\frac{1}{0,75} k_{af} \times 2\pi f} - \frac{k_3 A_2}{2\pi f} = \frac{0,75 \times k_2 A_1}{k_{af} \times 2\pi f} - \frac{k_3 A_2}{2\pi f} \quad (\text{A.11})$$

et

$$k_{2-} = \sin(2\pi f t_2 - \arcsin(p)) + p \times e^{-\frac{t_2}{\tau}} \quad (\text{pour la petite alternance}) \quad (\text{A.12})$$

$$k_{2+} = \sin(2\pi f t_2 + \arcsin(p)) - p \times e^{-\frac{t_2}{\tau}} \quad (\text{pour la grande alternance}) \quad (\text{A.13})$$

$$k_{3-} = \sin(2\pi f (t_2 - t_1) - \arcsin(p)) + p \times e^{-\frac{(t_2 - t_1)}{\tau}} \quad (\text{pour la petite alternance}) \quad (\text{A.14})$$

$$k_{3+} = \sin(2\pi f (t_2 - t_1) + \arcsin(p)) - p \times e^{-\frac{(t_2 - t_1)}{\tau}} \quad (\text{pour la grande alternance}) \quad (\text{A.15})$$

$$A_1 = \frac{2\pi f}{\sin(2\pi f t_1)} \quad (\text{A.16})$$

$$A_2 = \frac{\frac{A_1 \sin(2\pi f t_2)}{0,75} - 2\pi f}{\sin(2\pi f (t_2 - t_1))} = \frac{\frac{0,75 \times A_1 \sin(2\pi f t_2)}{k_{af}} - 2\pi f}{\sin(2\pi f (t_2 - t_1))} \quad (\text{A.17})$$

où

u_c est la crête de TTR en p.u du cas symétrique;

k_{af} est le facteur d'amplitude;

k_2 est la variable de calcul;

k_3 est la variable de calcul;

– est l'indice utilisé pour désigner la petite alternance;

– est l'indice utilisé pour désigner la grande alternance;

A_1 est la variable de calcul;

A_2 est la variable de calcul;

p est la composante continue au zéro de courant en p.u.;

f est la fréquence (Hz);

τ est la constante de temps de la composante aperiodique du courant de court-circuit (s);

t_1 constitue la coordonnée de temps t_1 spécifiée (s);

t_2 constitue la coordonnée de temps t_2 spécifiée (s).

A.7.4 Exemples de calcul du rapport di/dt et de la TTR

À titre d'exemple, les paramètres suivants sont pris en considération:

– tension assignée:	145 kV
– fréquence assignée:	50 Hz
– courant de court-circuit assigné:	40 kA
– constante de temps de la composante apériodique du courant de court-circuit	45 ms
– facteur assigné de premier pôle qui coupe:	1,3
– durée minimale de coupure:	43 ms
– TTR (cas symétrique):	u_1 115 kV
	t_1 58 μ s
	u_c 215 kV
	t_2 232 μ s

Pour le premier pôle qui coupe (grande alternance), les paramètres suivants s'appliquent selon:

- Tableau A.7 le pourcentage de la composante continue au zéro de courant: 28,9 % (0,289 p.u.);
- Tableau A.7 le pourcentage du rapport di/dt au zéro de courant: 97,8 % (0,978 p.u.).

Certains disjoncteurs ne coupent pas à l'issue d'une grande alternance après la durée d'arc exigée. Pour la petite alternance de courant suivante, les paramètres suivants s'appliquent selon:

- Tableau A.7 le pourcentage de la composante continue au zéro de courant: 24,1 % (0,241 p.u.);
- Tableau A.7 le pourcentage du rapport di/dt au zéro de courant: 95,3 % (0,953 p.u.).

Les valeurs suivantes sont calculées à partir des équations précédentes:

$$k_{1-} = 0,017\ 41;$$

$$k_{1+} = 0,017\ 77;$$

$$A_1 = 17\ 242,33;$$

$$u_{1-} = 0,955\ 68\ \text{p.u.};$$

$$u_{1+} = 0,975\ 13\ \text{p.u.};$$

$$k_{2-} = 0,070\ 07;$$

$$k_{2+} = 0,070\ 43;$$

$$k_{3-} = 0,052\ 46;$$

$$k_{3+} = 0,052\ 99;$$

$$A_2 = 6\ 561,19;$$

$$u_{c-} = 0,964\ 81\ \text{p.u.};$$

$$u_{c+} = 0,964\ 19\ \text{p.u.}$$

Avec ces résultats, le rapport di/dt et la TTR modifiés résultants à appliquer au disjoncteur sont:

a) pour la grande alternance:

$$di/dt = 0,978\ \text{p.u.} \times 40\ \text{kA} \times \sqrt{2} \times 2\pi f = 17,38\ \text{A}/\mu\text{s};$$

$$u_1 = 0,975\ 13\ \text{p.u.} \times 115\ \text{kV} = 112\ \text{kV};$$

$$t_1 = 58\ \mu\text{s};$$

$$u_1/t_1 = 1,93\ \text{kV}/\mu\text{s}$$

$$u_c = 0,964\ 19\ \text{p.u.} \times 215\ \text{kV} = 207\ \text{kV};$$

$$t_2 = 232\ \mu\text{s}.$$

b) pour la petite alternance suivante:

$$di/dt = 0,953\ \text{p.u.} \times 40\ \text{kA} \times \sqrt{2} \times 2\pi f = 16,93\ \text{A}/\mu\text{s};$$

$$u_1 = 0,955\ 68\ \text{p.u.} \times 115\ \text{kV} = 110\ \text{kV};$$

$$t_1 = 58\ \mu\text{s};$$

$$u_1/t_1 = 1,89\ \text{kV}/\mu\text{s}$$

$$u_c = 0,964\ 81\ \text{p.u.} \times 215\ \text{kV} = 207\ \text{kV};$$

$$t_2 = 232\ \mu\text{s}.$$

Annexe B (normative)

Tolérances sur les grandeurs d'essai lors des essais de type

Au cours des essais de type, les tolérances suivantes peuvent être normalement distinguées:

- tolérances sur les grandeurs d'essai qui déterminent directement les contraintes appliquées à l'objet d'essai;
- tolérances sur les caractéristiques ou sur le comportement de l'objet d'essai avant et après l'essai;
- tolérances sur les conditions d'essai;
- tolérances sur les paramètres des dispositifs de mesure à utiliser.

Dans le Tableau B.1, seules les tolérances sur les grandeurs d'essai sont prises en considération.

Une tolérance est définie comme la plage de la valeur d'essai spécifiée dans le présent document à l'intérieur de laquelle il convient que la valeur d'essai mesurée se trouve pour qu'un essai soit valable. Dans certains cas, l'essai peut rester valable même si la valeur mesurée est hors tolérance.

Tout écart entre la valeur d'essai mesurée et la valeur d'essai vraie dû à l'incertitude de mesure n'est pas pris en compte à cet égard.

Les règles de base pour l'application des tolérances sur les grandeurs d'essai durant les essais de type sont les suivantes:

- a) les centres d'essais doivent tenter, dans toute la mesure du possible, d'obtenir les valeurs d'essai spécifiées;
- b) les tolérances sur les grandeurs d'essai spécifiées doivent être respectées par le centre d'essai. Il est permis d'appliquer au disjoncteur des contraintes plus élevées que celles admises par les tolérances spécifiées seulement avec l'accord du constructeur. Des contraintes moins élevées rendent l'essai invalide;
- c) lorsque le présent document ne spécifie aucune tolérance sur une grandeur d'essai quelle qu'elle soit, les tolérances de l'IEC 62271-100:20021 s'appliquent. Les limites supérieures des contraintes sont soumises à l'accord du constructeur;
- d) lorsque, pour toute grandeur d'essai quelle qu'elle soit, seule une limite est donnée, l'autre limite doit être considérée comme la plus proche possible de la valeur spécifiée.

Tableau B.1 – Tolérances sur les grandeurs d'essais lors des essais de type

Identification de l'essai	Grandeur d'essai	Valeur d'essai spécifiée	Tolérances d'essai/ limites des valeurs d'essai
Séquence d'essais de court-circuit fondamentale	dI/dt au zéro de courant pour T10 ^a	10 % de dI/dt au zéro de courant du pouvoir de coupure assigné en court-circuit	±20 %
	dI/dt au zéro de courant pour T30 ^a	30 % de dI/dt au zéro de courant du pouvoir de coupure assigné en court-circuit	±20 %
	dI/dt au zéro de courant pour T60 ^a	60 % de dI/dt au zéro de courant du pouvoir de coupure assigné en court-circuit	±10 %
	dI/dt au zéro de courant pour T100s et T100a ^a	dI/dt au zéro de courant du pouvoir de coupure assigné en court-circuit	+5 0 %
Essais au courant critique	dI/dt au zéro de courant ^a	dI/dt au zéro de courant du courant défini au 7.108.1.2 de l'IEC 62271-100:2021	±20 %
Essais de double défaut à la terre	dI/dt au zéro de courant ^a	87 % de dI/dt au zéro de courant du pouvoir de coupure assigné en court-circuit	+5 0 %
Démonstration des durées d'arc	Durée moyenne d'arc $t_{arc\ moy}$	Telle que définie en 7.104	±1 ms
	Durée maximale d'arc $t_{arc\ max}$	Telle que définie en 7.104	+0,5 -1 ms
	Durées d'arc	Telles que définies en 7.104	±1 ms
	Durée maximale d'arc du premier pôle qui coupe t_{arc1}	Telle que définie en 7.104.2.2 et 7.104.3.3	+0,5 -1 ms
	Durée maximale d'arc du dernier pôle qui coupe t_{arc2}	Telle que définie en 7.104.2.2 et 7.104.3.3	+0,5 -1 ms
	Durée maximale d'arc du deuxième pôle qui coupe t_{arc3}	Telle que définie en 7.104.2.2 et 7.104.3.3	+0,5 -1 ms

Identification de l'essai	Grandeur d'essai	Valeur d'essai spécifiée	Tolérances d'essai/ limites des valeurs d'essai
Essais de défaut proche en ligne	Courant de coupure pour L_{90}^a	90 % du courant de court-circuit assigné	90 % à 95 %
	di/dr au zéro de courant pour L_{90}^a	di/dr au zéro de courant du pouvoir de coupure assigné en court-circuit	90 % à 92 %
	Vitesse d'accroissement de la tension de rétablissement côté source pour L_{90}	90 % de la vitesse d'accroissement donnée dans le Tableau 30 de l'IEC 62271-100:2021	+5 0 %
	di/dr au zéro de courant pour L_{75}^a	di/dr au zéro de courant du pouvoir de coupure assigné en court-circuit	71 % à 79 %
	Vitesse d'accroissement de la tension de rétablissement côté source pour L_{75}	75 % de la vitesse d'accroissement donnée dans le Tableau 30 de l'IEC 62271-100:2021	+5 0 %
	di/dr au zéro de courant pour L_{60}^a	di/dr au zéro de courant du pouvoir de coupure assigné en court-circuit	55 % à 65 %
	Vitesse d'accroissement de la tension de rétablissement côté source pour L_{60}	60 % de la vitesse d'accroissement donnée dans le Tableau 30 de l'IEC 62271-100:2021	+5 0 %
Annexe D	Durée maximale d'arc du premier pôle qui coupe	Telle que définie du Tableau D.1 au Tableau D.10	+0,5 -1 ms
	Durée moyenne d'arc	Telle que définie du Tableau D.1 au Tableau D.10	±1 ms
	Durée minimale d'arc du deuxième pôle qui coupe	Telle que définie du Tableau D.1 au Tableau D.10	±1 ms
	Durée maximale d'arc du deuxième pôle qui coupe	Telle que définie du Tableau D.1 au Tableau D.10	+0,5 -1 ms
Annexe E	Durée d'arc de Od pendant Od Cd Os	Durée minimale d'arc du premier pôle qui coupe	±2 ms
	Durée maximale d'arc du premier pôle qui coupe	Telle que définie du Tableau E.1 au Tableau E.11	+0,5 -1 ms
	Durée moyenne d'arc	Telle que définie du Tableau E.1 au Tableau E.11	±1 ms
	Durée minimale d'arc du deuxième pôle qui coupe	Telle que définie du Tableau E.1 au Tableau E.11	±1 ms
	Durée maximale d'arc du deuxième pôle qui coupe	Telle que définie du Tableau E.1 au Tableau E.11	+0,5 -1 ms
	Durée d'arc de Od pendant Od Cd Os	Durée minimale d'arc du premier pôle qui coupe	±2 ms
Essais d'établissement et de coupure en discordance de phases	di/dr au zéro de courant pour OP1 ^a	di/dr au zéro de courant à 30 % du pouvoir de coupure assigné en discordance de phase	±20 %
	di/dr au zéro de courant pour OP2 ^a	di/dr au zéro de courant du pouvoir de coupure assigné en discordance de phase	+10 0 %
Essais d'établissement et de coupure de courants capacitifs	Fréquence du courant de coupure	Fréquence assignée	45 Hz à 65 Hz

^a Ces tolérances s'appliquent uniquement au circuit d'essai à injection de courant.

Annexe C

(normative)

Indications à donner et résultats à enregistrer lors d'essais synthétiques

C.1 Généralités

Outre les exigences spécifiées à l'Annexe C de l'IEC 62271-100:2021, les informations suivantes doivent être fournies dans les rapports d'essais synthétiques.

C.2 Disjoncteur auxiliaire

- a) Identification.
- b) Description, incluant le nombre d'unités par pôle, le fluide utilisé pour l'extinction et, le cas échéant, les condensateurs de répartition.

C.3 Conditions d'essai

- a) Paramètres des circuits d'essai.
- b) Ajustement de la durée d'arc recherchée pour le disjoncteur en essai, y compris l'utilisation de circuit(s) de réallumage.

C.4 Grandeurs à enregistrer

C.4.1 Généralités

La résolution des enregistrements de la déviation et de l'échelle de temps doit être telle que les informations à obtenir puissent être évaluées avec une exactitude suffisante.

C.4.2 Tensions

- a) Tension du circuit de courant.
- b) Tension aux bornes du disjoncteur en essai.
- c) Tension appliquée à l'enveloppe pour le disjoncteur en essai, le cas échéant.

C.4.3 Courants

- a) Courant traversant le disjoncteur en essai.
- b) Courant provenant du circuit de tension.

NOTE D'autres informations et enregistrements sont ajoutés pour obtenir des données d'essai ou de conception.

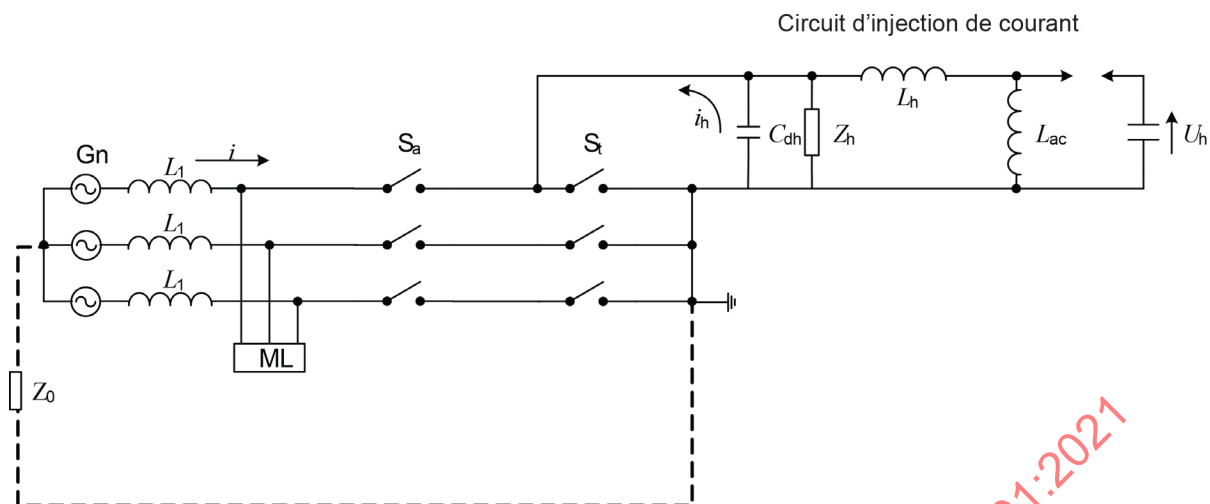
Annexe D (normative)

Procédure d'essai avec circuit de courant triphasé et un circuit de tension

D.1 Circuit d'essai

Le disjoncteur doit être connecté dans un circuit d'essai, dont un exemple est donné à la Figure D.1 avec les exigences suivantes.

- a) Un circuit de courant triphasé avec le point neutre de l'alimentation isolé et le point de court-circuit mis à la terre, tel que représenté à la Figure 27a de l'IEC 62271-100:2021. Cette configuration donne un facteur de premier pôle qui coupe de 1,5. En variante, le point neutre de l'alimentation peut être connecté à la terre par une impédance appropriée et le point de court-circuit mis à la terre, tel que représenté à la Figure 28a de l'IEC 62271-100:2021, pour donner un facteur de premier pôle qui coupe de 1,3.
- b) Un disjoncteur auxiliaire utilisé pour séparer le circuit de courant du circuit de tension.
- c) Un circuit de tension à injection de courant parallèle est représenté à la Figure 145 de l'IEC TR 62271-306:2012/AMD1:2018. Ce circuit est utilisé pour appliquer la TTR et la tension de rétablissement. Il est connecté entre le pôle qui représente le pôle qui coupe et la terre conformément aux exigences des procédures d'essai définies du Tableau D.1 au Tableau D.10. Il est possible de fournir la tension de rétablissement alternative à fréquence industrielle à l'aide d'une impédance supplémentaire, Z_{ac} .
- d) Circuits de réallumage connectés à chaque phase pour prolonger l'arc du disjoncteur en essai pendant le nombre nécessaire de zéros du courant à fréquence industrielle.



IEC

Légende

Gn	circuit de courant triphasé	Z_h	impédance d'onde équivalente du circuit de tension
S_a	disjoncteur auxiliaire	C_{dh}	capacité pour le retard du circuit de tension
S_t	disjoncteur en essai	L_h	inductance du circuit de tension
Z_0	impédance au point neutre (lorsqu'un circuit avec $k_{pp} = 1,3$ est utilisé)	U_h	tension de charge du circuit de tension
L_1	inductance du circuit de courant	i	courant du circuit de courant
ML	circuit de réallumage multialternances	i_h	courant injecté
		L_{ac}	réactance supplémentaire lorsqu'une tension de rétablissement alternative est demandée

Le circuit de tension doit être connecté entre le premier ou le dernier pôle qui coupe et la terre.

Figure D.1 – Exemple d'un circuit de courant triphasé avec une injection synthétique monophasée

D.2 Méthode d'essai

D.2.1 Généralités

Une combinaison des facteurs de premier pôle qui coupe de 1,5 et 1,3 peut être exécutée, conformément au 7.104.3.4 de l'IEC 62271-100:2021, tout en séparant simultanément les séquences d'essais compte tenu de la TTR associée à chaque pôle qui coupe, selon D.2.4.

Cette séquence d'essai vise à démontrer au moins trois manœuvres satisfaisantes avec la TTR associée au même pôle.

D.2.2 Séquence d'essais T100s(b)

Les procédures d'essais triphasés pour la démonstration des durées d'arc selon 7.104.3.2 de l'IEC 62271-100:2021 sont définies dans le Tableau D.1 et le Tableau D.2 pour un facteur de premier pôle qui coupe de 1,5 et dans le Tableau D.3 et le Tableau D.4 pour un facteur de premier pôle qui coupe de 1,3.

Il est reconnu que les essais du Tableau D.1 et du Tableau D.3 sont plus sévères que les essais triphasés, parce que la durée d'arc du dernier pôle qui coupe ou du deuxième pôle qui coupe est utilisée avec la TTR du premier pôle qui coupe. En variante, le constructeur peut choisir de diviser chaque séquence d'essais en deux ou trois séries d'essais différentes, pour une démonstration des durées d'arc conformément au 7.104.3.5 de l'IEC 62271-100:2021. Les procédures sont données dans le Tableau D.2 pour un facteur de premier pôle qui coupe de 1,5 et dans le Tableau D.4 pour un facteur de premier pôle qui coupe de 1,3. Pour les essais réalisés conformément au Tableau D.2 et au Tableau D.4, chaque série d'essais doit démontrer une coupure satisfaisante avec la durée d'arc (minimale, maximale et moyenne) pour chaque pôle qui coupe avec sa TTR associée. La remise en état du disjoncteur après chaque série d'essais est autorisée et doit satisfaire aux exigences du 7.102.9.6 de l'IEC 62271-100:2021.

Lorsqu'une défaillance se produit lors de la démonstration des durées maximale ou moyenne d'arc à l'aide de la procédure définie dans le Tableau D.1 ou le Tableau D.3, il est alors admissible de poursuivre les essais à l'aide de la procédure d'essai définie dans le Tableau D.2 ou le Tableau D.4. Dans ce cas, sous réserve qu'aucune remise en état du disjoncteur n'ait eu lieu, les essais qui démontrent la durée minimale d'arc sur le premier pôle qui coupe peuvent être omis.

Toutes les durées d'arc exigées peuvent être appliquées sur le même pôle avec la même polarité de la tension de rétablissement.

Tableau D.1 – Démonstration des durées d'arc pour $k_{pp} = 1,5$

Essai n°	Séquence d'essai ^a	Durée d'arc (supplémentaire à $t_{\text{arc min}}$ du premier pôle qui coupe pour la phase soumise à la TTR) ^b	Condition d'essai (en référence au réseau triphasé)	TTR		Courant injecté di/dt %
				Application (en référence au circuit de courant triphasé)	valeur de u_c p.u.	
1	Os	0	$t_{\text{arc min}}$ sur le premier pôle qui coupe	premier pôle qui coupe	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer $t_{\text{arc min}}$	premier pôle qui coupe	1,0	100
3	Od- t -CdOs	$T \times 132^\circ / 360^\circ$ ($T \times 42^\circ / 360^\circ$ relative au premier pôle qui coupe)	$t_{\text{arc max}}$ sur le dernier pôle qui coupe ^c	dernier pôle qui coupe avec une alternance rallongée	1,0	100
4	CdOs	$T \times 66^\circ / 360^\circ$	$t_{\text{arc mpy}}^c$	premier pôle qui coupe	1,0	100

Démonstration des durées d'arc selon 7.104.3.2 de l'IEC 62271-100:2021.

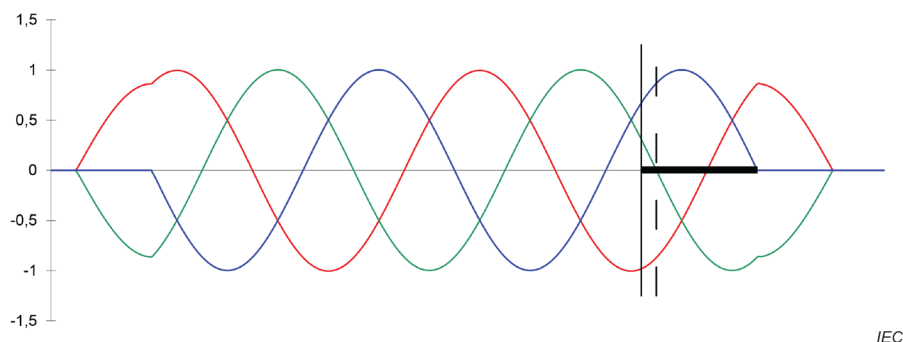
Fenêtre de coupure selon la Figure 41 de l'IEC 62271-100:2021.

La Figure D.2 donne une représentation des conditions d'essai.

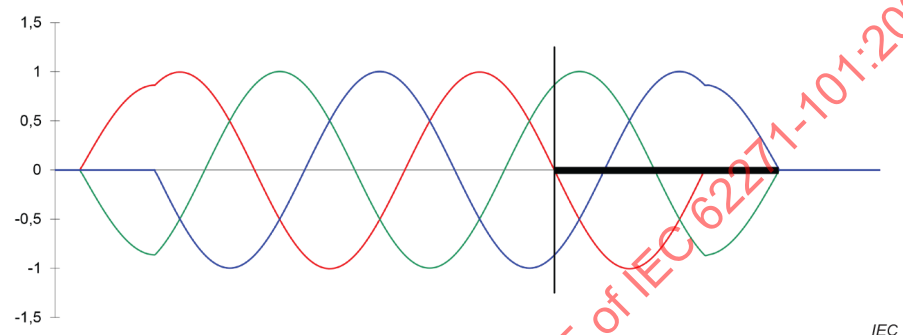
^a Les termes abrégés sont conformes au Tableau 6.

^b Où $d\alpha = 18^\circ$.

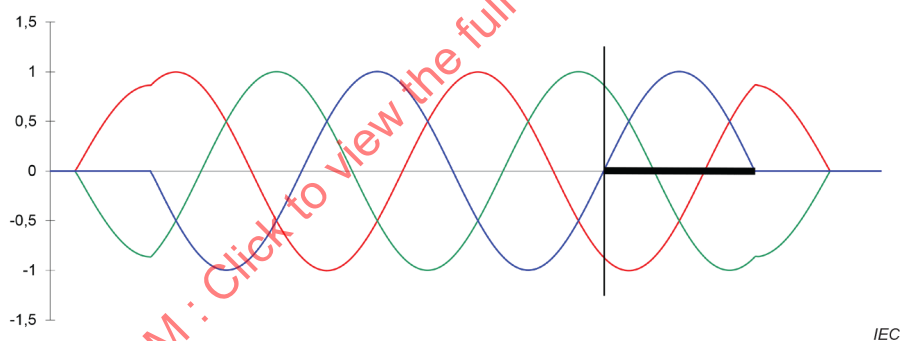
^c Les durées d'arc relatives aux essais 3 et 4 peuvent être interchangeables.



Essai n° 1 et 2: Application de la TTR sur le premier pôle qui coupe



Essai n° 3: Application de la TTR sur le dernier pôle qui coupe avec une alternance rallongée



Essai n° 4: Application de la TTR sur le premier pôle qui coupe

Figure D.2 – Représentation des conditions d'essai du Tableau D.1

Tableau D.2 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,5$

Essai n°	Séquence d'essai ^a	Durée d'arc (supplémentaire à $t_{\text{arc min}}$ du premier pôle qui coupe pour la phase soumise à la TTR) ^b	Condition d'essai (en référence au réseau triphasé)	TTR		Courant injecté dI/dt %
				Application (en référence au circuit de courant triphasé)	valeur de u_c p.u.	
1	Os	0	$t_{\text{arc min}}$ sur le premier pôle qui coupe	premier pôle qui coupe	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer la valeur $t_{\text{arc min}}$	premier pôle qui coupe	1,0	100
3	Od- t -CdOs	$T \times 42^\circ / 360^\circ$	$t_{\text{arc max}}$ sur le premier pôle qui coupe	premier pôle qui coupe	1,0	100
4	Os	$T \times 90^\circ / 360^\circ$	$t_{\text{arc min}}$ sur le dernier pôle qui coupe	dernier pôle qui coupe avec une alternance rallongée	0,58	87
5	CdOs	$T \times 132^\circ / 360^\circ$	$t_{\text{arc max}}$ sur le dernier pôle qui coupe	dernier pôle qui coupe avec une alternance rallongée	0,58	87

Démonstration des durées d'arc selon 7.104.3.5 de l'IEC 62271-100:2021.

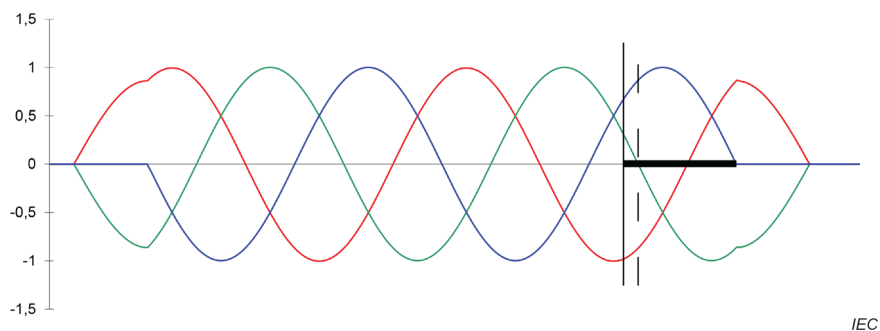
Fenêtre de coupure selon la Figure 41 de l'IEC 62271-100:2021.

En cas de défaillance au cours de l'essai 5, le disjoncteur peut être remis en état et les essais 3 à 5 doivent être répétés. La série d'essais est satisfaisante si aucune autre défaillance ne se produit.

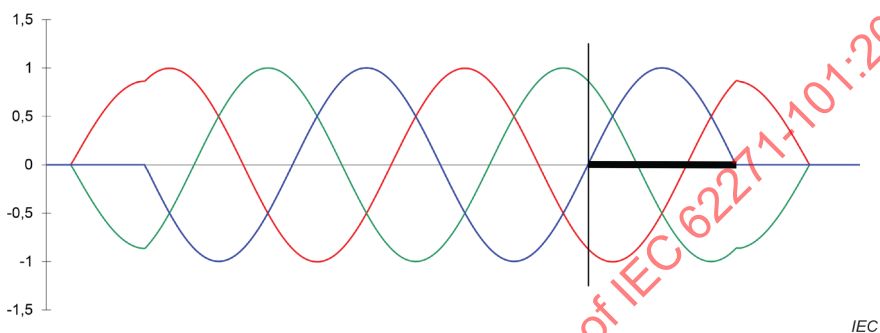
La Figure D.3 donne une représentation des conditions d'essai.

^a Les termes abrégés sont conformes au Tableau 6.

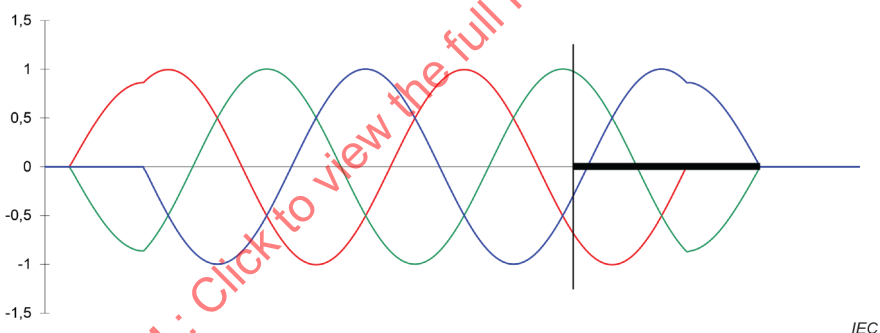
^b Où $d\alpha = 18^\circ$



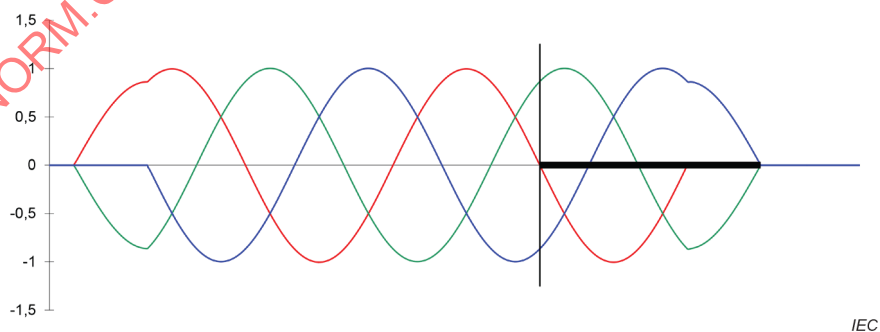
Essais n° 1 et 2: Application de la TTR sur le premier pôle qui coupe



Essai n° 3: Application de la TTR sur le premier pôle qui coupe



Essai n° 4: Application de la TTR sur le dernier pôle qui coupe avec une alternance rallongée



Essai n° 5: Application de la TTR sur le dernier pôle qui coupe avec une alternance rallongée

Figure D.3 – Représentation des conditions d'essai du Tableau D.2

Tableau D.3 – Démonstration des durées d'arc pour $k_{pp} = 1,3$

Essai n°	Séquence d'essai ^a	Durée d'arc (supplémentaire à $t_{\text{arc min}}$ du premier pôle qui coupe pour la phase soumise à la TTR) ^b	Condition d'essai (en référence au réseau triphasé)	TTR		Courant injecté di/dr %
				Application (en référence au circuit de courant triphasé)	valeur de u_c p.u.	
1	Os	0	$t_{\text{arc min}}$ sur le premier pôle qui coupe	premier pôle qui coupe	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer la valeur $t_{\text{arc min}}$	premier pôle qui coupe	1,0	100
3	Od- t -CdOs	$T \times 162^\circ / 360^\circ$ ($T \times 42^\circ / 360^\circ$ relative au premier pôle qui coupe)	$t_{\text{arc max}}$ sur le troisième pôle qui coupe ^c	troisième pôle qui coupe	1,0	100
4	CdOs	$T \times 81^\circ / 360^\circ$ ($T \times 4^\circ / 360^\circ$ relative au premier pôle qui coupe)	$t_{\text{arc mpy}}^c$	deuxième pôle qui coupe	1,0	100

Démonstration des durées d'arc selon 7.104.3.2 de l'IEC 62271-100:2021.

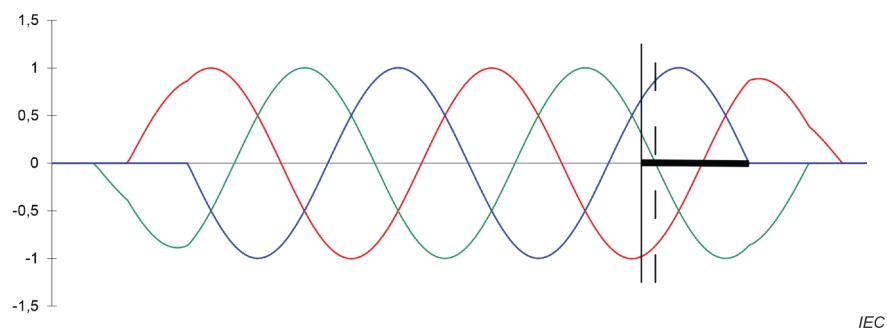
Fenêtre de coupure selon la Figure 40 de l'IEC 62271-100:2021.

La Figure D.4 donne une représentation des conditions d'essai.

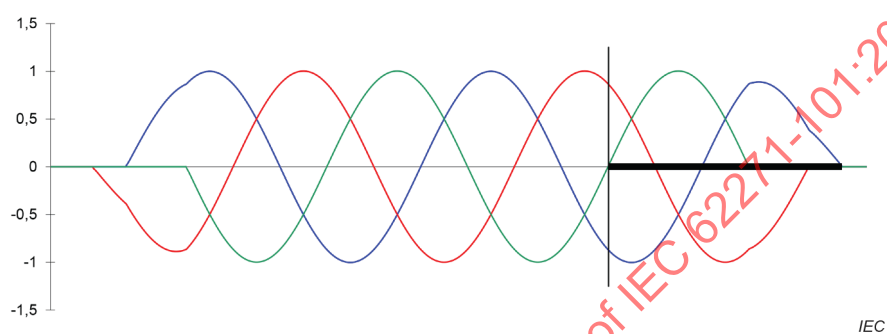
^a Les termes abrégés sont conformes au Tableau 6.

^b Où $d\alpha = 18^\circ$.

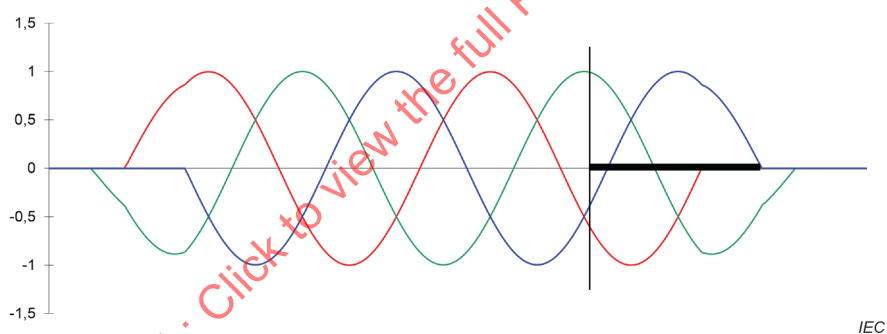
^c Les durées d'arc relatives aux essais 3 et 4 peuvent être interchangées.



Essai n° 1 et 2: Application de la TTR sur le premier pôle qui coupe



Essai n° 3: Application de la TTR sur le troisième pôle qui coupe



Essai n° 4: Application de la TTR sur le deuxième pôle qui coupe

Figure D.4 – Représentation des conditions d'essai du Tableau D.3

Tableau D.4 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,3$

Essai n°	Séquence d'essai ^a	Durée d'arc (supplémentaire à $t_{\text{arc min}}$ du premier pôle qui coupe pour la phase soumise à la TTR) ^b	Condition d'essai (en référence au réseau triphasé)	TTR		Courant injecté (di/dr) %
				Application (en référence au circuit de courant triphasé)	valeur de u_c p.u.	
1	Os	0	$t_{\text{arc min}}$ sur le premier pôle qui coupe	premier pôle qui coupe	1,0	100
2	Os	$-T \times \alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer $t_{\text{arc min}}$	premier pôle qui coupe	1,0	100
3	(Cd)Os	$T \times 42^\circ / 360^\circ$	$t_{\text{arc max}}$ sur le premier pôle qui coupe	premier pôle qui coupe	1,0	100
4	Od– t –CdOs	$T \times 77^\circ / 360^\circ$	$t_{\text{arc min}}$ sur le deuxième pôle qui coupe ^c	deuxième pôle qui coupe	0,97	89
5	CdOs	$T \times 119^\circ / 360^\circ$	$t_{\text{arc max}}$ sur le deuxième pôle qui coupe ^c	deuxième pôle qui coupe	0,97	89
6	(Cd)Os	$T \times 162^\circ / 360^\circ$	$t_{\text{arc max}}$ sur le troisième pôle qui coupe	troisième pôle qui coupe	0,77	57

Démonstration des durées d'arc selon 7.104.3.5 de l'IEC 62271-100:2021.

Fenêtre de coupure selon la Figure 40 de l'IEC 62271-100:2021.

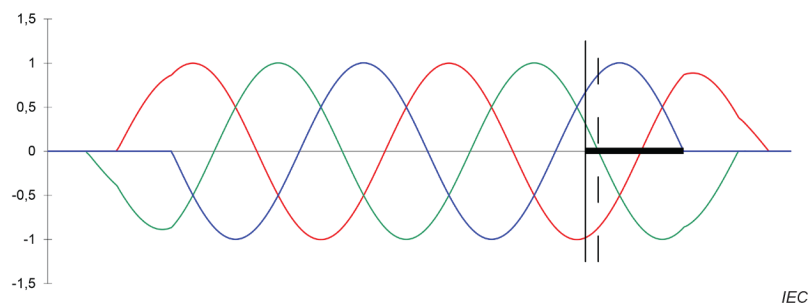
La Figure D.5 donne une représentation des conditions d'essai.

En cas de défaillance au cours de l'essai 5 ou 6, le disjoncteur peut être remis en état et les essais 4 à 6 doivent être répétés. La série d'essais est satisfaisante si aucune autre défaillance ne se produit.

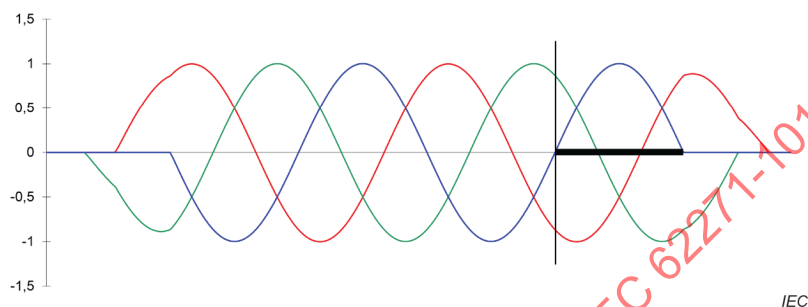
^a Les termes abrégés sont conformes au Tableau 6.

^b Où $\alpha = 18^\circ$.

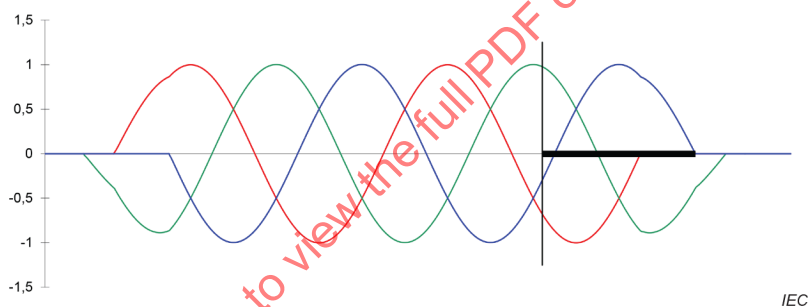
^c Les durées d'arc relatives aux essais 4 et 5 peuvent être interchangées.



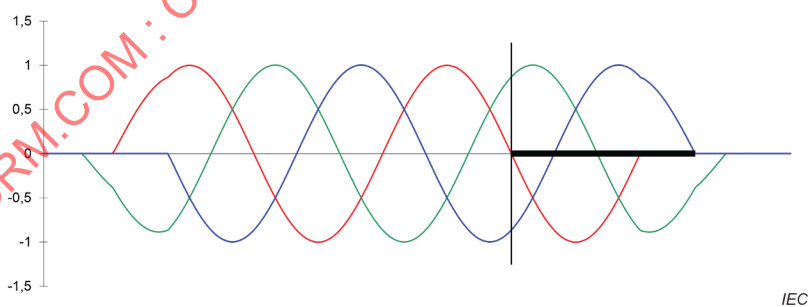
Essai n° 1 et 2: Application de la TTR sur le premier pôle qui coupe



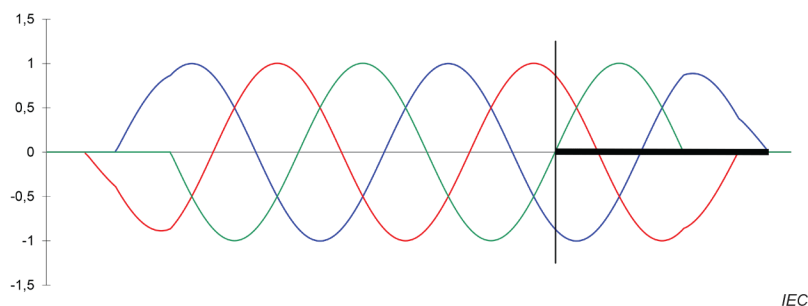
Essai n° 3: Application de la TTR sur le premier pôle qui coupe



Essai n° 4: Application de la TTR sur le deuxième pôle qui coupe



Essai n° 5: Application de la TTR sur le deuxième pôle qui coupe



Essai n° 6: Application de la TTR sur le troisième pôle qui coupe

Figure D.5 – Représentation des conditions d'essai du Tableau D.4

D.2.3 Séquence d'essai T100a

La procédure d'essais triphasés pour la démonstration des durées d'arc selon 7.104.2.2 est donnée dans le Tableau D.5 et le Tableau D.6 pour un facteur de premier pôle qui coupe de 1,5 et dans le Tableau D.7 et le Tableau D.8 pour un facteur de premier pôle qui coupe de 1,3.

Il est reconnu que les essais du Tableau D.5 et du Tableau D.7 sont plus sévères que les essais triphasés, parce que la durée d'arc du dernier pôle qui coupe ou du deuxième pôle qui coupe est utilisée avec la TTR du premier pôle qui coupe. En variante, le constructeur peut choisir de diviser chaque séquence d'essais en deux ou trois séries d'essais différentes, pour une démonstration des durées d'arc conformément au 7.104.3.5 de l'IEC 62271-100:2021. Les procédures sont données dans le Tableau D.6 pour un facteur de premier pôle qui coupe de 1,5 et dans le Tableau D.8 pour un facteur de premier pôle qui coupe de 1,3. Pour les essais réalisés conformément au Tableau D.6 et au Tableau D.8, chaque série d'essais doit démontrer une coupure satisfaisante avec la durée minimale et maximale d'arc pour chaque pôle qui coupe avec sa TTR associée. La remise en état du disjoncteur après chaque série d'essais est autorisée et doit satisfaire aux exigences du 7.102.9.6 de l'IEC 62271-100:2021.

Lorsqu'une défaillance se produit lors de la démonstration de la durée maximale d'arc sur le deuxième ou le dernier pôle qui coupe à l'aide de la procédure du Tableau D.5 ou du Tableau D.7, il est alors admissible de poursuivre les essais à l'aide de la procédure définie dans le Tableau D.6 ou le Tableau D.8. Dans ce cas, sous réserve qu'aucune remise en état du disjoncteur n'ait eu lieu, les essais qui démontrent la durée minimale et maximale d'arc sur le premier pôle qui coupe peuvent être omis.

Pour éviter de modifier la connexion du circuit haute tension entre les essais sur les premier, deuxième et troisième pôles qui coupent, toutes les durées d'arc exigées peuvent être appliquées sur le même pôle avec la même polarité de la tension de rétablissement.

Tableau D.5 – Démonstration des durées d'arc pour $k_{pp} = 1,5$

Essai n°	Séquence d'essai	Condition d'asymétrie	Durée d'arc (supplémentaire à $t_{arc\ min}$ du premier pôle qui coupe pour la phase soumise à la TTR) ^a	Condition d'essai (en référence au réseau triphasé)	TTR		Courant injecté (di/dt) %
					Application (en référence au circuit de courant triphasé)	valeur de u_c p.u.	
1	Os	Grande alternance intermédiaire (Tableau E.12 ou Tableau E.15 col. 7 et 8)	0	$t_{arc\ min}$ sur le premier pôle qui coupe Asymétrie exigée sur le dernier pôle qui coupe avec une grande alternance rallongée	premier pôle qui coupe	1,0	(Tableau E.12 ou Tableau E.15 col. 9)
2	Os	Grande alternance intermédiaire (Tableau E.12 ou Tableau E.15 col. 7 et 8)	$-T \times d\alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer la valeur $t_{arc\ min}$ Asymétrie exigée sur le dernier pôle qui coupe avec une grande alternance rallongée	premier pôle qui coupe	1,0	(Tableau E.12 ou Tableau E.15 col. 9)
3	Os	Grande alternance – assignée (Tableau E.12 ou Tableau E.15 col. 3 et 4)	$\Delta t_{a1} - T \times d\alpha / 360^\circ$	t_{arc1} avec une grande alternance et asymétrie exigée sur le premier pôle qui coupe	premier pôle qui coupe	1,0	(Tableau E.12 ou Tableau E.15 col. 5)
4	Os	Grande alternance – assignée (Tableau E.12 ou Tableau E.15 col. 10 et 11)	$\Delta t_{a2} - T \times d\alpha / 360^\circ$	t_{arc2} et asymétrie exigée sur le dernier pôle qui coupe avec une grande alternance rallongée	dernier pôle qui coupe avec une alternance rallongée	1,0	(Tableau E.12 ou Tableau E.15 col. 12)

La Figure D.6 donne une représentation des conditions d'essai.

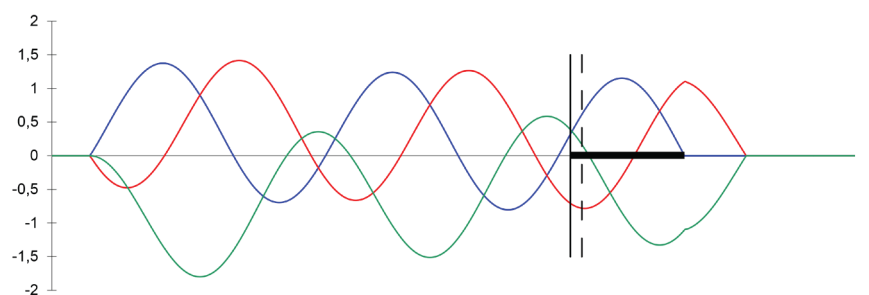
Les valeurs de réduction de la TTR due à l'asymétrie sont données à l'Annexe A.

^a Où

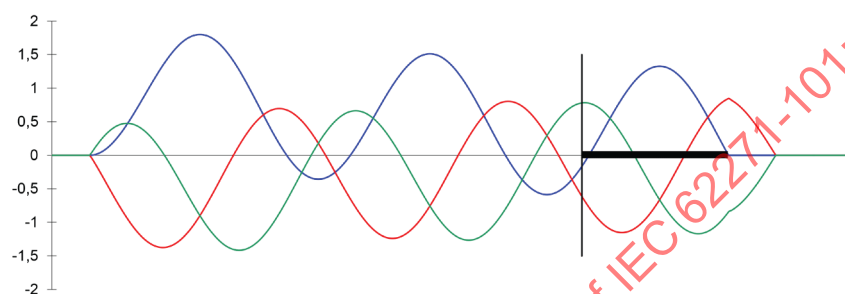
Δt_{a1} est le paramètre approprié à choisir dans la colonne 6 du Tableau E.12 ou du Tableau E.15;

Δt_{a2} est le paramètre approprié à choisir dans la colonne 14 du Tableau E.12 ou du Tableau E.15;

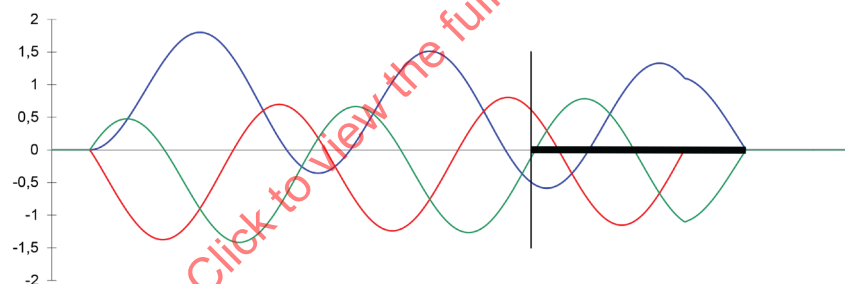
$d\alpha = 18^\circ$.



IEC

Essai n° 1 et 2: Application de la TTR sur le premier pôle qui coupe

IEC

Essai n° 3: Application de la TTR sur le premier pôle qui coupe avec une grande alternance

IEC

Essai n° 4: Application de la TTR sur le dernier pôle qui coupe avec une grande alternance rallongée**Figure D.6 – Représentation des conditions d'essai du Tableau D.5**

Tableau D.6 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,5$

Essai n°	Séquence d'essai	Condition d'asymétrie	Durée d'arc (supplémentaire $t_{arc \min}$ du premier pôle qui coupe pour la phase soumise à la TTR) ^a	Condition d'essai (en référence au réseau triphasé)	TTR		Circuit injecté (di/dt) %
					Application (en référence au circuit de courant triphasé)	valeur de u_c p.u.	
1	Os	Grande alternance – intermédiaire (Tableau E.12 ou Tableau E.15 col. 7 et 8)	0	$t_{arc \min}$ sur le premier pôle qui coupe Asymétrie exigée sur le dernier pôle qui coupe avec une grande alternance rallongée	premier pôle qui coupe	1,0	(Tableau E.12 ou Tableau E.15 col. 9)
2	Os	Grande alternance – intermédiaire (Tableau E.12 ou Tableau E.15 col. 7 et 8)	$-T \times d\alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer la valeur $t_{arc \min}$ Asymétrie exigée sur le dernier pôle qui coupe avec une grande alternance rallongée	premier pôle qui coupe	1,0	(Tableau E.12 ou Tableau E.15 col. 9)
3	Os	Grande alternance – assignée (Tableau E.12 ou Tableau E.15 col. 3 et 4)	$\Delta t_{a1} - T \times d\alpha / 360^\circ$	t_{arc1} avec une grande alternance et asymétrie exigée sur le premier pôle qui coupe	premier pôle qui coupe	1,0	(Tableau E.12 ou Tableau E.15 col. 5)
4	Os	Grande alternance – assignée (Tableau E.12 ou Tableau E.15 col. 10 et 11)	(Tableau E.12 ou Tableau E.15 col. 13)	$t_{arc \min}$ sur le dernier pôle qui coupe et avec une asymétrie exigée sur le dernier pôle qui coupe avec une grande alternance rallongée	dernier pôle qui coupe avec une alternance rallongée	0,58	(Tableau E.12 ou Tableau E.15 col. 12)
5	Os	Grande alternance – assignée (Tableau E.12 ou Tableau E.15 col. 10 et 11)	$\Delta t_{a2} - T \times d\alpha / 360^\circ$	t_{arc2} et asymétrie exigée sur le dernier pôle qui coupe avec une grande alternance rallongée	dernier pôle qui coupe avec une alternance rallongée	0,58	(Tableau E.12 ou Tableau E.15 col. 12)

La Figure D.7 donne une représentation des conditions d'essai.

Les valeurs de réduction de la TTR due à l'asymétrie sont données à l'Annexe A.

Si les essais sont réalisés après une défaillance de l'essai 4 du Tableau D.5 et qu'aucune remise en état du disjoncteur n'a été effectuée, les essais peuvent alors se poursuivre à partir de l'essai 4 du Tableau D.6.

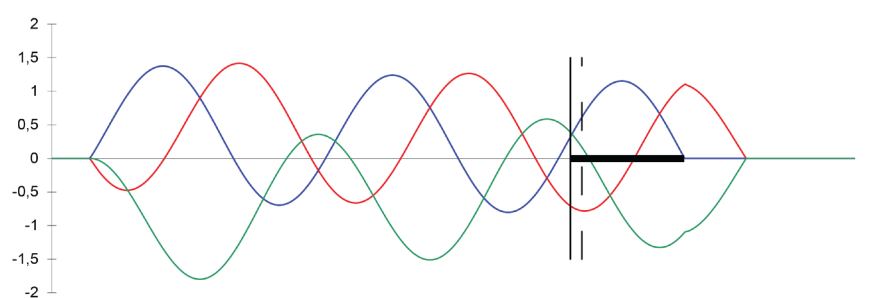
En cas de défaillance au cours de l'essai 5, le disjoncteur peut être remis en état et les essais 3 à 5 doivent être répétés. La série d'essais est satisfaisante si aucune autre défaillance ne se produit.

^a Où

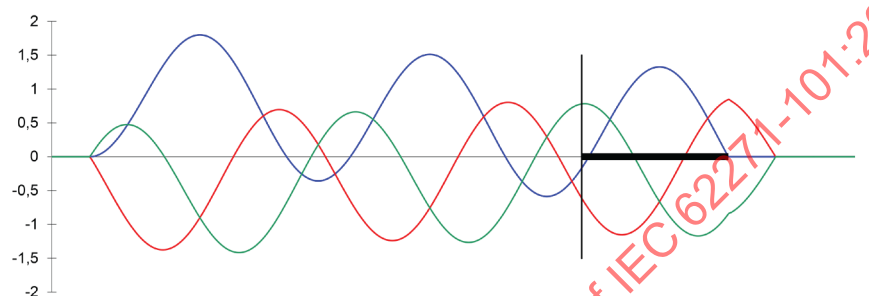
Δt_{a1} est le paramètre approprié à choisir dans la colonne 6 du Tableau E.12 ou du Tableau E.15;

Δt_{a2} est le paramètre approprié à choisir dans la colonne 14 du Tableau E.12 ou du Tableau E.15;

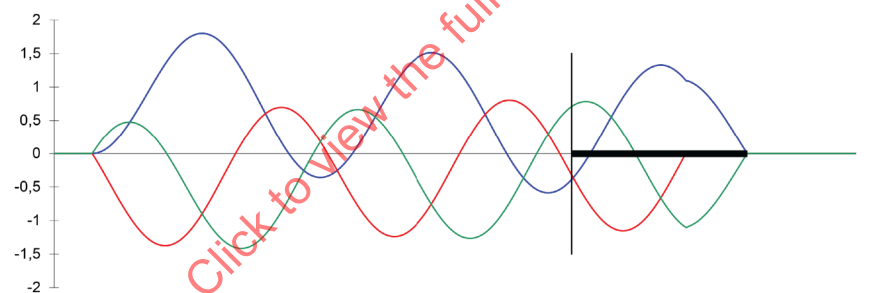
$d\alpha = 18^\circ$.



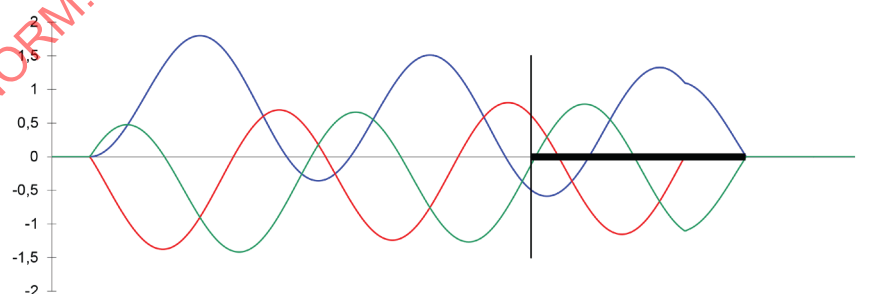
IEC

Essai n° 1 et 2: Application de la TTR sur le premier pôle qui coupe

IEC

Essai n° 3: Application de la TTR sur le premier pôle qui coupe avec une grande alternance

IEC

Essai n° 4: Application de la TTR sur le dernier pôle qui coupe avec une grande alternance rallongée

IEC

Essai n° 5: Application de la TTR sur le dernier pôle qui coupe avec une grande alternance rallongée**Figure D.7 – Représentation des conditions d'essai du Tableau D.6**

Tableau D.7 – Démonstration des durées d'arc pour $k_{pp} = 1,3$

Essai n°	Séquence d'essai	Condition d'asymétrie	Durée d'arc (supplémentaire à $t_{\text{arc min}}$ du premier pôle qui coupe pour la phase soumise à la TTR) ^a	Condition d'essai (en référence au réseau triphasé)	TTR		Courant injecté (d_i/d_r) %
					Application (en référence au circuit de courant triphasé)	valeur de u_c p.u.	
1	Os	Grande alternance – intermédiaire (Tableau E.13 ou Tableau E.16 col. 7 et 8)	0	$t_{\text{arc min}}$ sur le premier pôle qui coupe Asymétrie exigée sur le deuxième pôle qui coupe avec une grande alternance rallongée	premier pôle qui coupe	1,0	(Tableau E.13 ou Tableau E.16 col. 9)
2	Os	Grande alternance – intermédiaire (Tableau E.13 ou Tableau E.16 col. 7 et 8)	$-T \times d\alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer la valeur $t_{\text{arc min}}$ Asymétrie exigée sur le deuxième pôle qui coupe avec une grande alternance rallongée	premier pôle qui coupe	1,0	(Tableau E.13 ou Tableau E.16 col. 9)
3	Os	Grande alternance – assignée (Tableau E.13 ou Tableau E.16 col. 3 et 4)	$\Delta t_{a1} - T \times d\alpha / 360^\circ$	t_{arc1} avec une grande alternance et asymétrie exigée sur le premier pôle qui coupe	premier pôle qui coupe	1,0	(Tableau E.13 ou Tableau E.16 col. 5)
4	Os	Grande alternance – assignée (Tableau E.13 ou Tableau E.16 col. 10 et 11)	$\Delta t_{a3} - T \times d\alpha / 360^\circ$	t_{arc3} et asymétrie exigée sur le deuxième pôle qui coupe avec une grande alternance rallongée	deuxième pôle qui coupe	1,0	(Tableau E.13 ou Tableau E.16 col. 12)

La Figure D.8 donne une représentation des conditions d'essai.

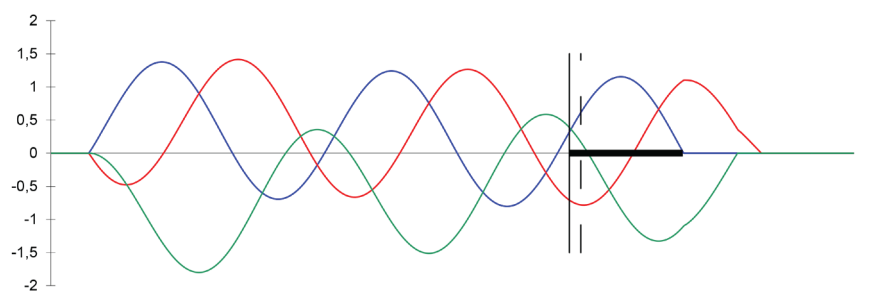
Les valeurs de réduction de la TTR due à l'asymétrie sont données à l'Annexe A.

^a Où

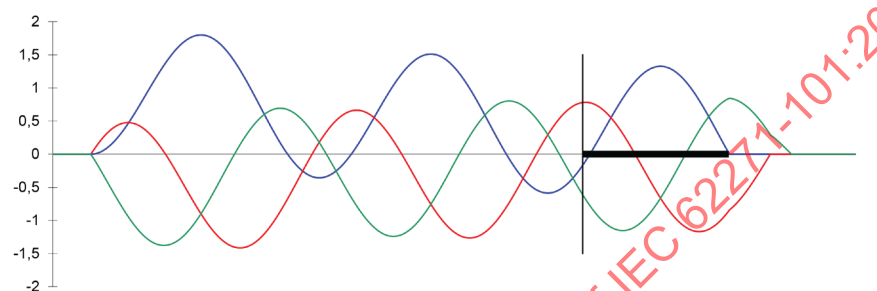
Δt_{a1} est le paramètre approprié à choisir dans la colonne 6 du Tableau E.13 ou du Tableau E.16;

Δt_{a3} est le paramètre approprié à choisir dans la colonne 14 du Tableau E.13 ou du Tableau E.16;

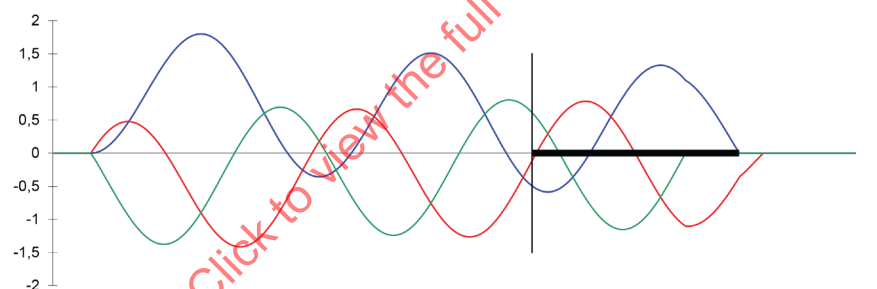
$d\alpha = 18^\circ$



IEC

Essais n° 1 et 2: Application de la TTR sur le premier pôle qui coupe

IEC

Essai n° 3: Application de la TTR sur le premier pôle qui coupe avec une grande alternance

IEC

Essai n° 4: Application de la TTR sur le deuxième pôle qui coupe avec une grande alternance rallongée**Figure D.8 – Représentation des conditions d'essai du Tableau D.7**

Tableau D.8 – Démonstration alternative des durées d'arc pour $k_{pp} = 1,3$

Essai n°	Séquence d'essai	Condition d'asymétrie	Durée d'arc (supplémentaire à $t_{arc\ min}$ du premier pôle qui coupe pour la phase soumise à la TTR) ^a	Condition d'essai (en référence au réseau triphasé)	TTR		Courant injecté (di/dr) %
					Application (en référence au circuit de courant triphasé)	valeur de u_c p.u.	
1	Os	Grande alternance intermédiaire (Tableau E.13 ou Tableau E.16 col. 7 et 8)	0	$t_{arc\ min}$ sur le premier pôle qui coupe Asymétrie exigée sur le deuxième pôle qui coupe avec une grande alternance rallongée	premier pôle qui coupe	1,0	(Tableau E.13 ou Tableau E.16 col. 9)
2	Os	Grande alternance – intermédiaire (Tableau E.13 ou Tableau E.16 col. 7 et 8)	$-T \times d\alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer le premier pôle qui coupe $t_{arc\ min}$ Asymétrie exigée sur le deuxième pôle qui coupe avec une grande alternance rallongée	premier pôle qui coupe	1,0	(Tableau E.13 ou Tableau E.16 col. 9)
3	Os	Grande alternance – assignée (Tableau E.13 ou Tableau E.16 col. 3 et 4)	$\Delta t_{a1} - T \times d\alpha / 360^\circ$	t_{arc1} avec une grande alternance et asymétrie exigée sur le premier pôle qui coupe	premier pôle qui coupe	1,0	(Tableau E.13 ou Tableau E.16 col. 5)
4	Os	Grande alternance – assignée (Tableau E.13 ou Tableau E.16 col. 10 et 11)	(Tableau E.13 ou Tableau E.16 col. 13)	$t_{arc\ min}$ et asymétrie exigée sur le deuxième pôle qui coupe avec une grande alternance rallongée	deuxième pôle qui coupe	0,97	(Tableau E.13 ou Tableau E.16 col. 12)
5	Os	Grande alternance – assignée (Tableau E.13 ou Tableau E.16 col. 10 et 11)	$\Delta t_{a3} - T \times d\alpha / 360^\circ$	t_{arc3} et asymétrie exigée sur le deuxième pôle qui coupe avec une grande alternance rallongée	deuxième pôle qui coupe	0,97	(Tableau E.13 ou Tableau E.16 col. 12)

La Figure D.9 donne une représentation des conditions d'essai.

Les valeurs de réduction de la TTR due à l'asymétrie sont données à l'Annexe A.

Si les essais sont réalisés après une défaillance de l'essai 4 du Tableau D.7 et qu'aucune remise en état du disjoncteur n'a été effectuée, les essais peuvent alors se poursuivre à partir de l'essai 4 du Tableau D.8.

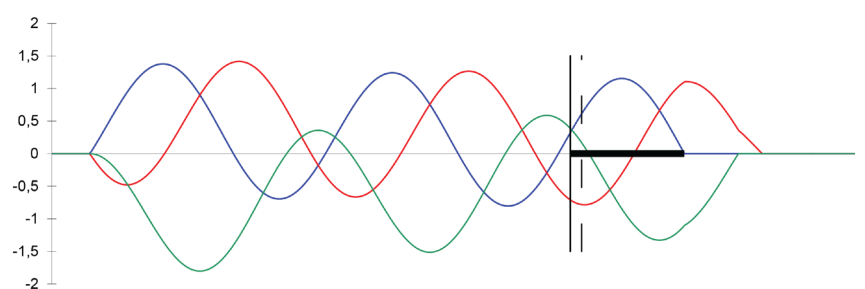
En cas de défaillance au cours de l'essai 5, le disjoncteur peut être remis en état et les essais 3 à 5 doivent être répétés. La série d'essais est satisfaisante si aucune autre défaillance ne se produit.

^a Où

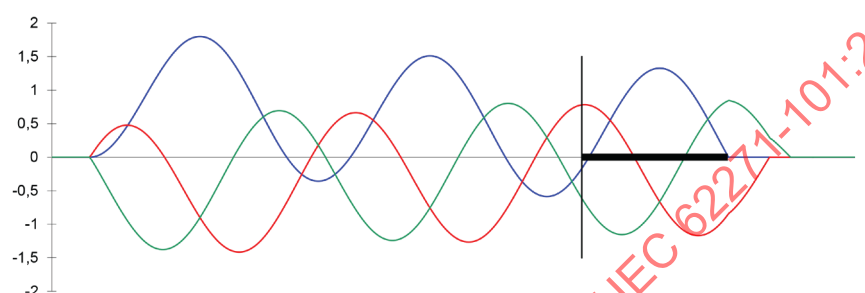
Δt_{a1} est le paramètre approprié à choisir dans la colonne 6 du Tableau E.13 ou du Tableau E.16;

Δt_{a3} est le paramètre approprié à choisir dans la colonne 14 du Tableau E.13 ou du Tableau E.16;

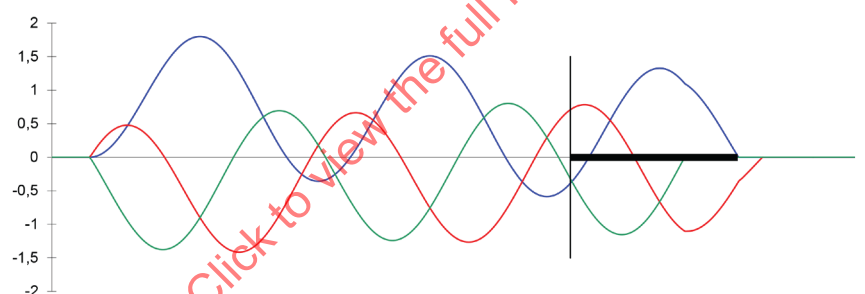
$d\alpha = 18^\circ$.



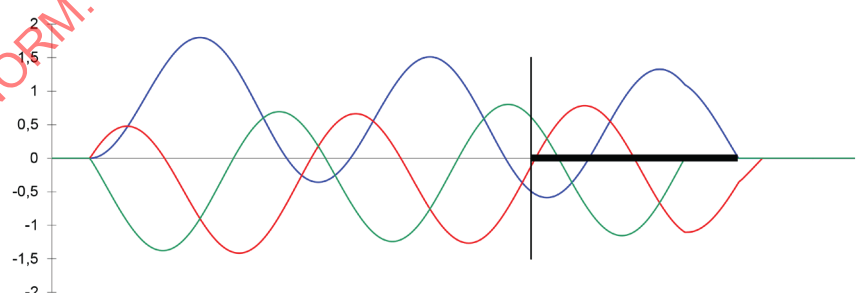
IEC

Essai n° 1 et 2: Application de la TTR sur le premier pôle qui coupe

IEC

Essai n° 3: Application de la TTR sur le premier pôle qui coupe avec une grande alternance

IEC

Essai n° 4: Application de la TTR sur le deuxième pôle qui coupe avec une grande alternance rallongée

IEC

Essai n° 5: Application de la TTR sur le deuxième pôle qui coupe avec une grande alternance rallongée**Figure D.9 – Représentation des conditions d'essai du Tableau D.8**

D.2.4 Combinaison des facteurs de premier pôle qui coupe 1,3 et 1,5

D.2.4.1 Généralités

Il est reconnu que certaines des conditions d'essai sont plus sévères que celles indiquées dans les tableaux pour le facteur de premier pôle qui coupe respectif. Cependant, tous les essais indiqués dans le Tableau D.9 et le Tableau D.10 doivent être réalisés afin de maintenir l'équivalence avec les essais spécifiés dans le présent document pour chaque séquence d'essai.

D.2.4.2 Séquences d'essais T10, T30, T60 et T100s(b)

Les essais correspondants figurent dans le Tableau D.9.

Tableau D.9 – Procédure de combinaison de $k_{pp} = 1,5$ et 1,3 pour les séquences d'essais T10, T30, T60 et T100s(b)

Essai n°	Séquence d'essai ^a	Durée d'arc (supplémentaire à $t_{arc\ min}$ du premier pôle qui coupe pour la phase soumise à la TTR) ^b	Condition d'essai (en référence au réseau triphasé)	TTR			Courant injecté (di/dt) %
				Application (en référence au circuit de courant triphasé)	valeur de u_c p.u.	u_c fondé sur k_{pp}	
1	Os	0	$t_{arc\ min}$ sur le premier pôle qui coupe ($k_{pp} = 1,3$ et 1,5)	premier pôle qui coupe	1,0	1,5	100
2	Os	$-T \times \alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer la valeur $t_{arc\ min}$	premier pôle qui coupe	1,0	1,5	100
3	(Cd)Os	$T \times 42^\circ / 360^\circ$	$t_{arc\ max}$ sur le premier pôle qui coupe ($k_{pp} = 1,3$ et 1,5)	premier pôle qui coupe	1,0	1,5	100
4	Od- t -CdOs	$T \times 90^\circ / 360^\circ$	$t_{arc\ min}$ sur le deuxième pôle qui coupe ($k_{pp} = 1,3$) dernier pôle qui coupe ($k_{pp} = 1,5$) ^c	deuxième pôle qui coupe	0,97	1,3	89
5	CdOs	$T \times 132^\circ / 360^\circ$	$t_{arc\ max}$ sur le deuxième pôle qui coupe ($k_{pp} = 1,3$) dernier pôle qui coupe ($k_{pp} = 1,5$) ^c	deuxième pôle qui coupe	0,97	1,3	89
6	(Cd)Os	$T \times 162^\circ / 360^\circ$	$t_{arc\ max}$ sur le troisième pôle qui coupe ($k_{pp} = 1,3$)	troisième pôle qui coupe	0,77	1,3	57

Pour les essais 1 à 3, le circuit d'essais synthétiques doit être appliqué au premier pôle qui coupe.

En cas de défaillance au cours de l'essai 5 ou 6, le disjoncteur peut être remis en état et les essais 4 à 6 doivent être répétés. La série d'essais est satisfaisante si aucune autre défaillance ne se produit.

Si le circuit de courant est à neutre isolé, pour les essais 4 à 6, le circuit d'essais synthétiques doit être appliqué au dernier pôle qui coupe (avec alternance rallongée).

Si le circuit de courant est à neutre à la terre, pour les essais 4 et 5, le circuit d'essais synthétiques doit être appliqué au deuxième pôle qui coupe. Pour l'essai 6, le circuit d'essais synthétiques doit être appliqué au troisième pôle qui coupe.

^a Les termes abrégés sont conformes au Tableau 6.

^b Où $\alpha = 18^\circ$.

^c Les durées d'arc relatives aux essais 4 et 5 peuvent être interchangeables.

D.2.4.3 Séquence d'essai T100a

Les essais correspondants figurent dans le Tableau D.10.

Tableau D.10 – Procédure de combinaison de $k_{pp} = 1,5$ et 1,3 pour la séquence d'essai T100a

Essai n°	Séquence d'essai	Condition d'asymétrie	Durée d'arc (supplémentaire à $t_{arc\ min}$ du premier pôle qui coupe pour la phase soumise à la TTR) ^a	Condition d'essai (en référence au réseau triphasé)	TTR			Courant injecté (di/dr) %
					Application (en référence au circuit de courant triphasé)	valeur de u_c p.u.	u_c fondé sur k_{pp}	
1	Os	Grande alternance – intermédiaire (Tableau E.12 ou Tableau E.15 col. 7 et 8)	0	$t_{arc\ min}$ sur le premier pôle qui coupe ($k_{pp} = 1,5$ et 1,3) Asymétrie exigée sur le deuxième ou le dernier pôle qui coupe avec une grande alternance rallongée	premier pôle qui coupe	1,0	1,5	(Tableau E.12 ou Tableau E.15 col. 9)
2	Os	Grande alternance – intermédiaire (Tableau E.12 ou Tableau E.15 col. 7 et 8)	$-T \times d\alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer la valeur $t_{arc\ min}$ Asymétrie exigée sur le deuxième ou le dernier pôle qui coupe avec une grande alternance rallongée	premier pôle qui coupe	1,0	1,5	(Tableau E.12 ou Tableau E.15 col. 9)
3	Os	Grande alternance – assignée (Tableau E.12 ou Tableau E.15 col. 3 et 4)	$\Delta t_{a1} - T \times d\alpha / 360^\circ$	t_{arc1} avec grande alternance et asymétrie exigée sur le premier pôle qui coupe ($k_{pp} = 1,3$ et 1,5)	premier pôle qui coupe	1,0	1,5	(Tableau E.12 ou Tableau E.15 col. 5)
4	Os	Grande alternance – assignée ^b	(Tableau E.12 ou Tableau E.15 col. 13)	$t_{arc\ min}$ avec asymétrie exigée sur le deuxième pôle qui coupe avec une grande alternance rallongée ($k_{pp} = 1,3$) et le dernier pôle qui coupe avec une grande alternance rallongée ($k_{pp} = 1,5$)	deuxième pôle qui coupe ^b	0,97	1,3	(Tableau E.13 ou Tableau E.16 col. 12)

Essai n°	Séquence d'essai	Condition d'asymétrie	Durée d'arc (supplémentaire à $t_{arc \min}$ du premier pôle qui coupe pour la phase soumise à la TTR) ^a	Condition d'essai (en référence au réseau triphasé)	TTR			Courant injecté (di/dr) %
					Application (en référence au circuit de courant triphasé)	valeur de u_c p.u.	u_c fondé sur k_{pp}	
5	Os	Grande alternance – assignée ^b	$\Delta t_{a3} - T \times d\alpha/360^\circ$	t_{arc3} et asymétrie exigée sur le deuxième pôle qui coupe avec une grande alternance rallongée ($k_{pp} = 1,3$)	deuxième pôle qui coupe ^b	0,97	1,3	(Tableau E.13 ou Tableau E.16 col. 12)
6	Os	Grande alternance – assignée ^b	$\Delta t_{a2} - T \times d\alpha/360^\circ$	t_{arc2} et asymétrie exigée sur le dernier pôle qui coupe avec une grande alternance rallongée ($k_{pp} = 1,5$)	dernier pôle qui coupe ^b	0,58	1,5	(Tableau E.12 ou Tableau E.15 col. 12)

En cas de défaillance au cours de l'essai 5 ou 6, le disjoncteur peut être remis en état et les essais 4 à 6 doivent être répétés. La série d'essais est satisfaisante si aucune autre défaillance ne se produit.

Les essais 5 et 6 peuvent être combinés au moyen de la TTR et du rapport di/dr de l'essai 5 et la durée d'arc de l'essai 6.

Les valeurs de réduction de la TTR due à l'asymétrie sont données à l'Annexe A.

^a Où

Δt_{a1} est le paramètre approprié à choisir dans la colonne 6 du Tableau E.12 ou du Tableau E.15;

Δt_{a2} est le paramètre approprié à choisir dans la colonne 14 du Tableau E.12 ou du Tableau E.15;

Δt_{a3} est le paramètre approprié à choisir dans la colonne 14 du Tableau E.13 ou du Tableau E.16;

$d\alpha = 18^\circ$.

^b

Si le circuit de courant est à neutre isolé, pour les essais 4 à 6, le circuit d'essais synthétiques doit être appliqué au dernier pôle qui coupe avec alternance rallongée. Voir le Tableau E.12 ou le Tableau E.15, colonnes 10 et 11, pour l'amplitude et la durée de la dernière alternance de courant.

Si le circuit de courant est à neutre à la terre, pour les essais 4 à 6, le circuit d'essais synthétiques doit être appliqué au deuxième pôle qui coupe avec alternance rallongée. Voir le Tableau E.13 ou le Tableau E.16, colonnes 10 et 11, pour l'amplitude et la durée de la dernière alternance de courant.

Annexe E (normative)

Séparation des séquences d'essais en séries d'essais compte tenu de la TTR associée à chaque pôle qui coupe

E.1 Généralités

Compte tenu des limitations d'un laboratoire, les essais triphasés ne sont pas toujours possibles. Il est courant de réaliser de tels essais à l'aide d'un circuit monophasé avec une TTR unique qui couvre le premier, le deuxième et le dernier pôles qui coupent. Cette procédure d'essai peut entraîner des contraintes plus élevées sur le disjoncteur en essai par rapport à la procédure correspondante d'essais triphasés directs.

La procédure de la présente Annexe E peut être utilisée en substitution à des essais triphasés lorsque des essais monophasés sont autorisés.

Une combinaison des facteurs de premier pôle qui coupe de 1,5 et 1,3, conformément au 7.104.3.4 de l'IEC 62271-100:2021, couplée à la séparation des séquences d'essais, peut être exécutée, conformément à l'Article E.4.

E.2 Séquences d'essais T10, T30, T60, T100s(b), OP1 et OP2(b)

E.2.1 Procédure d'essai pour des facteurs de premier pôle qui coupe 1,5 et 2,5

Les procédures d'essais monophasés pour la séparation des séquences d'essais pour démontrer des durées d'arc avec la TTR correcte pour chaque pôle qui coupe conformément au 7.104.3.5 de l'IEC 62271-100:2021 sont données dans le Tableau E.1 pour les facteurs de premier pôle qui coupe de 1,5 et 2,5.

Tableau E.1 – Procédure d'essai pour $k_{pp} = 1,5$ et $2,5$

Essai n°	Séquence d'essai ^a	Durée d'arc (supplémentaire à $t_{\text{arc min}}$) ms ^d	Condition d'essai (en référence au réseau triphasé)	TTR		Courant injecté di/dt %
				VATR p.u.	valeur de u_c p.u.	
1	Os CdOs ^b	0	$t_{\text{arc min}}$ premier pôle qui coupe	1,0	1,0	100
2	Os CdOs ^b	$-T \times d\alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer $t_{\text{arc min}}$	1,0	1,0	100
3	Od- t -CdOs Os ^c	$T \times 42^\circ / 360^\circ$	$t_{\text{arc max}}$ premier pôle qui coupe	1,0	1,0	100
4	Os	$T \times 90^\circ / 360^\circ$	$t_{\text{arc min}}$ dernier pôle qui coupe	0,7	0,58	87
5	CdOs Os ^c	$T \times 132^\circ / 360^\circ$	$t_{\text{arc max}}$ dernier pôle qui coupe	0,7	0,58	87

Pour T10, T30 et T60, la manœuvre Cd peut être effectuée à vide.

^a Les termes abrégés sont conformes au Tableau 6.

^b Séquence d'essais pour OP2(b), la manœuvre Cd peut être effectuée à vide, voir aussi Tableau 7.

^c Séquence d'essais pour OP1 et OP2(b), voir aussi Tableau 7.

d OÙ $d\alpha = 18^\circ$.

E.2.2 Procédure d'essai pour des facteurs de premier pôle qui coupe 1,3 et 2,0

Les procédures d'essais monophasés pour la séparation des séquences d'essais pour démontrer des durées d'arc avec la TTR correcte pour chaque pôle qui coupe conformément au 7.104.3.5 de l'IEC 62271-100:2021 sont données dans le Tableau E.2 et le Tableau E.3 pour les facteurs de premier pôle qui coupe de 1,3 et 2,0. Une procédure simplifiée est donnée dans le Tableau E.3 plus sévère que la procédure donnée dans le Tableau E.2.

En cas de défaillance au cours de l'essai 5 ou 6 tel qu'indiqué dans le Tableau E.2, le disjoncteur peut être remis en état et les essais 4 à 6 doivent être répétés. La série d'essais est satisfaisante si aucune autre défaillance ne se produit.

En cas de défaillance au cours de l'essai 5 tel qu'indiqué dans le Tableau E.3, le disjoncteur peut être remis en état et les essais 3 à 5 doivent être répétés. La série d'essais est satisfaisante si aucune autre défaillance ne se produit.

La remise en état du disjoncteur, le cas échéant, doit satisfaire aux exigences du 7.102.9.6 de l'IEC 62271-100:2021.

Tableau E.2 – Procédure d'essai pour $k_{pp} = 1,3$ et $2,0$

Essai n°	Séquence d'essai ^a	Durée d'arc (supplémentaire à $t_{\text{arc min}}$) ms ^d	Condition d'essai (en référence au réseau triphasé)	TTR		Courant injecté dI/dt %
				VATR p.u.	valeur de u_c p.u.	
1	Os CdOs ^b	0	$t_{\text{arc min}}$ premier pôle qui coupe	1,0	1,0	100
2	Os CdOs ^b	$-T \times d\alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer $t_{\text{arc min}}$	1,0	1,0	100
3	(Cd)Os Os ^c	$T \times 42^\circ / 360^\circ$	$t_{\text{arc max}}$ premier pôle qui coupe	1,0	1,0	100
4	Od- <i>l</i> -CdOs Os ^c	$T \times 77^\circ / 360^\circ$	$t_{\text{arc min}}$ deuxième pôle qui coupe ^e	0,95	0,97	89
5	CdOs Os ^c	$T \times 119^\circ / 360^\circ$	$t_{\text{arc max}}$ deuxième pôle qui coupe ^e	0,95	0,97	89
6	(Cd)Os Os ^c	$T \times 162^\circ / 360^\circ$	$t_{\text{arc max}}$ troisième pôle qui coupe	0,70	0,77	57

Pour T10, T30 et T60, la manœuvre Cd peut être effectuée à vide.

^a Les termes abrégés sont conformes au Tableau 6.

^b Séquence d'essais pour OP2(b), la manœuvre Cd peut être effectuée à vide, voir aussi Tableau 7.

^c Séquence d'essais pour OP1 et OP2(b), voir aussi Tableau 7.

^d Où $d\alpha = 18^\circ$.

^e Les durées d'arc relatives aux essais 4 et 5 peuvent être interchangeables.

Tableau E.3 – Procédure d'essai simplifiée pour $k_{pp} = 1,3$ et $2,0$

Essai n°	Séquence d'essai ^a	Durée d'arc (supplémentaire à t_{arcmin}) ms ^d	Condition d'essai (en référence au réseau triphasé)	TTR		Courant injecté di/dr %
				VATR p.u.	valeur de u_c p.u.	
1	Os CdOs ^b	0	$t_{arc min}$ premier pôle qui coupe	1,0	1,0	100
2	Os CdOs ^b	$-T \times d\alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer $t_{arc min}$	1,0	1,0	100
3	Od- t -CdOs Os ^c	$T \times 119^\circ / 360^\circ$	$t_{arc max}$ deuxième pôle qui coupe ^e	1,0	1,0	100
4	CdOs Os ^c	$T \times 60^\circ / 360^\circ$	$t_{arc moy}$ premier et deuxième pôles qui coupent ^e	1,0	1,0	100
5	(Cd)Os Os ^c	$T \times 162^\circ / 360^\circ$	$t_{arc max}$ troisième pôle qui coupe	0,70	0,77	57
Pour T10, T30 et T60, la manœuvre Cd peut être effectuée à vide.						
^a Les termes abrégés sont conformes au Tableau 6. ^b Séquence d'essais pour OP2(b), la manœuvre Cd peut être effectuée à vide, voir aussi Tableau 7. ^c Séquence d'essais pour OP1 et OP2(b), voir aussi Tableau 7. ^d Où $d\alpha = 18^\circ$. ^e Les durées d'arc relatives aux essais 3 et 4 peuvent être interchangeables.						

E.2.3 Procédure d'essai pour un facteur de premier pôle qui coupe de 1,2

Les procédures d'essais monophasés pour la séparation des séquences d'essais pour démontrer des durées d'arc avec la TTR correcte pour chaque pôle qui coupe conformément au 7.104.3.5 de l'IEC 62271-100:2021 sont données dans le Tableau E.4 et le Tableau E.5 pour un facteur de premier pôle qui coupe de 1,2.

Une procédure simplifiée est donnée dans le Tableau E.5 plus sévère que la procédure donnée dans le Tableau E.4.

En cas de défaillance au cours de l'essai 5 ou 6 tel qu'indiqué dans le Tableau E.4, le disjoncteur peut être remis en état et les essais 4 à 6 doivent être répétés. La série d'essais est satisfaisante si aucune autre défaillance ne se produit.

La remise en état du disjoncteur, le cas échéant, doit satisfaire aux exigences du 7.102.9.6 de l'IEC 62271-100:2021.

Tableau E.4 – Procédure d'essai pour $k_{pp} = 1,2$

Essai n°	Séquence d'essai ^a	Durée d'arc (supplémentaire à $t_{arc\ min}$) ms ^b	Condition d'essai (en référence au réseau triphasé)	TTR		Courant injecté di/dt %
				VATR p.u.	valeur de u_c p.u.	
1	Os	0	$t_{arc\ min}$ premier pôle qui coupe	1,0	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer $t_{arc\ min}$	1,0	1,0	100
3	(Cd)Os	$T \times 42^\circ / 360^\circ$	$t_{arc\ max}$ premier pôle qui coupe	1,0	1,0	100
4	Od- t -CdOs	$T \times 71^\circ / 360^\circ$	$t_{arc\ min}$ deuxième pôle qui coupe ^c	0,95	0,95	92
5	CdOs	$T \times 113^\circ / 360^\circ$	$t_{arc\ max}$ deuxième pôle qui coupe ^c	0,95	0,95	92
6	(Cd)Os	$T \times 162^\circ / 360^\circ$	$t_{arc\ max}$ troisième pôle qui coupe	0,83	0,83	75
Pour T10, T30 et T60, la manœuvre Cd peut être effectuée à vide.						
^a Les termes abrégés sont conformes au Tableau 6.						
^b Où $d\alpha = 18^\circ$.						
^c Les durées d'arc relatives aux essais 4 et 5 peuvent être interchangées.						

Tableau E.5 – Procédure d'essai simplifiée pour $k_{pp} = 1,2$

Essai n°	Séquence d'essai ^a	Durée d'arc (supplémentaire à $t_{arc\ min}$) ms ^b	Condition d'essai (en référence au réseau triphasé)	TTR		Courant injecté di/dt %
				VATR p.u.	valeur de u_c p.u.	
1	Os	0	$t_{arc\ min}$ premier pôle qui coupe	1,0	1,0	100
2	Os	$-T \times d\alpha / 360^\circ$	Réallumage dans le premier pôle qui coupe pour confirmer $t_{arc\ min}$	1,0	1,0	100
3	Od- t -CdOs	$T \times 113^\circ / 360^\circ$	$t_{arc\ max}$ deuxième pôle qui coupe ^c	1,0	1,0	100
4	CdOs	$T \times 57^\circ / 360^\circ$	$t_{arc\ moy}$ premier et deuxième pôles qui coupent ^c	1,0	1,0	100
5	(Cd)Os	$T \times 162^\circ / 360^\circ$	$t_{arc\ max}$ troisième pôle qui coupe	0,83	0,83	75
Pour T10, T30 et T60, la manœuvre Cd peut être effectuée à vide.						
^a Les termes abrégés sont conformes au Tableau 6.						
^b Où $d\alpha = 18^\circ$.						
^c Les durées d'arc relatives aux essais 3 et 4 peuvent être interchangées.						

E.3 Séquence d'essai T100a

E.3.1 Généralités

La procédure d'essai décrite ici repose sur la détermination de la durée minimale d'arc après une grande alternance avec une asymétrie intermédiaire.