

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Integrated circuits – Three dimensional integrated circuits –
Part 2: Alignment of stacked dies having fine pitch interconnect**

**Circuits intégrés – Circuits intégrés tridimensionnels –
Partie 2: Alignement de puces empilées à petits pas d'interconnexion**

IECNORM.COM : Click to view the full PDF of IEC 63011-2:2018



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2018 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies.

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigenda or an amendment might have been published.

IEC Catalogue - webstore.iec.ch/catalogue

The stand-alone application for consulting the entire bibliographical information on IEC International Standards, Technical Specifications, Technical Reports and other documents. Available for PC, Mac OS, Android Tablets and iPad.

IEC publications search - webstore.iec.ch/advsearchform

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and also once a month by email.

Electropedia - www.electropedia.org

The world's leading online dictionary of electronic and electrical terms containing 21 000 terms and definitions in English and French, with equivalent terms in 16 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

67 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: sales@iec.ch.

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Catalogue IEC - webstore.iec.ch/catalogue

Application autonome pour consulter tous les renseignements bibliographiques sur les Normes internationales, Spécifications techniques, Rapports techniques et autres documents de l'IEC. Disponible pour PC, Mac OS, tablettes Android et iPad.

Recherche de publications IEC - webstore.iec.ch/advsearchform

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et aussi une fois par mois par email.

Electropedia - www.electropedia.org

Le premier dictionnaire en ligne de termes électroniques et électriques. Il contient 21 000 termes et définitions en anglais et en français, ainsi que les termes équivalents dans 16 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

67 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: sales@iec.ch.

INTERNATIONAL STANDARD

NORME INTERNATIONALE



**Integrated circuits – Three dimensional integrated circuits –
Part 2: Alignment of stacked dies having fine pitch interconnect**

**Circuits intégrés – Circuits intégrés tridimensionnels –
Partie 2: Alignement de puces empilées à petits pas d'interconnexion**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.200

ISBN 978-2-8322-6291-7

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	3
INTRODUCTION.....	5
1 Scope.....	6
2 Normative references	6
3 Terms and definitions	6
4 Die alignment during three dimensional integration.....	7
4.1 Alignment during stacking	7
4.2 Alignment maintenance during die bonding	7
4.3 Alignment measurement after die stacking	9
5 Alignment procedure.....	9
5.1 Initial die stacking	9
5.2 Final alignment	9
5.3 Assessment of alignment	9
Annex A (informative) Alignment examples	10
A.1 Alignment maintenance using capacitive coupling	10
A.2 Alignment maintenance using inductive coupling.....	12
A.3 Alignment measurement after stacking is completed	13
Bibliography.....	14
Figure 1 – Procedure of alignment of dies during die stacking.....	7
Figure 2 – Misalignment sensing and compensation by aligner	8
Figure 3 – Adjustment for translational misalignment	8
Figure 4 – Final alignment of vertical interconnects between the adjacent layers of dies.....	9
Figure A.1 – Capacitive coupling between two misaligned wires with different widths.....	10
Figure A.2 – Relative capacitance with misalign and metal width	11
Figure A.3 – Multiple narrow wires	11
Figure A.4 – 2-D alignment key in (top) mesh type and (bottom) conjugate X- and Y- direction detectors	11
Figure A.5 – S_{12} roll-off with misalignment (M) for at $H = 10 \mu\text{m}$, ratio = 0,1, $f = 0,01$ GHz, and $T = 0,5 \mu\text{m}$	12
Figure A.6 – Alignment keys for inductive coupling alignment detector when the electricity in the upper die is (left) available and (right) unavailable.....	13
Figure A.7 – Alignment measurement keys of (top) aligned and (below) misaligned stacking	13
Table A.1 – Alignment key dimensions	12

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**INTEGRATED CIRCUITS –
THREE DIMENSIONAL INTEGRATED CIRCUITS –****Part 2: Alignment of stacked dies having fine pitch interconnect****FOREWORD**

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 63011-2 has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

The text of this International Standard is based on the following documents:

FDIS	Report on voting
47A/1061/FDIS	47A/1065/RVD

Full information on the voting for the approval of this International Standard can be found in the report on voting indicated in the above table.

This document has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts in the IEC 63011 series, published under the general title *Integrated circuits – Three dimensional integrated circuits*, can be found on the IEC website.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IMPORTANT – The 'colour inside' logo on the cover page of this publication indicates that it contains colours which are considered to be useful for the correct understanding of its contents. Users should therefore print this document using a colour printer.

IECNORM.COM : Click to view the full PDF of IEC 63011-2:2018

INTRODUCTION

Three-dimensional (3-D) integration of integrated circuits using through-silicon via (TSV) technology is an innovative solution to simultaneously achieve a greater performance, an improved versatility and a higher density of integrated circuits without miniaturization of feature sizes on a die. Die alignment during the die bonding is the key enabler of the fine pitch 3-D wiring between vertically stacked dies for proper physical contact. Maintenance of the alignment during the bonding process and afterward is as important as the precise overlap prior to die bonding. This standard describes a method of initial alignment and maintenance of alignment throughout the die bonding process that can be involved with mechanical shaking. The initial alignment is performed using the optical means. During the maintenance period, however, relative amount of the misalignment is converted to an electrical signal for on-the-fly alignment monitoring without the visual image.

IECNORM.COM : Click to view the full PDF of IEC 63011-2:2018

INTEGRATED CIRCUITS – THREE DIMENSIONAL INTEGRATED CIRCUITS –

Part 2: Alignment of stacked dies having fine pitch interconnect

1 Scope

This part of IEC 63011 provides specifications of initial alignment and alignment maintenance between multiple stacked integrated circuits during the die bonding process. These specifications define the alignment keys and operating procedures of the keys. These specifications apply only if electrical coupling method of die-to-die alignment is used in the die stacking.

2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 63011-1, *Integrated circuits – Three dimensional Integrated Circuits – Part 1: Terminology*

3 Terms and definitions

For the purposes of this document, the terms and definitions given in IEC 63011-1 apply.

ISO and IEC maintain terminological databases for use in standardization at the following addresses:

- IEC Electropedia: available at <http://www.electropedia.org/>
- ISO Online browsing platform: available at <http://www.iso.org/obp>

3.1

die bonding

assembly step to adhere physically or chemically a die to another

3.2

bonder

apparatus performing die bonding

3.3

signal generator

apparatus generating electrical signals

3.4

alignment key

apparatus to monitor or adjust the alignment of the overlaid dies

3.5

aligner

apparatus to perform the alignment of the overlaid dies

4 Die alignment during three dimensional integration

4.1 Alignment during stacking

Once the upper die covers the bottom one, the patterns including align key on the bottom die are not seen any longer. Therefore, the image of the bottom die is stored in the memory. As the upper die is moved above the bottom die, the patterns on the upper die are compared with the stored patterns to be precisely aligned. The procedure is illustrated in Figure 1. The cross-patters indicate alignment keys, and they are placed at the same location on every die. The alignment keys are also used as a positioning reference for all other patterns on the die. The position of patters on the upper die is compared with memorized images of the lower die because the pattern on the lower die is covered by the upper one and no longer seen by general alignment tools.

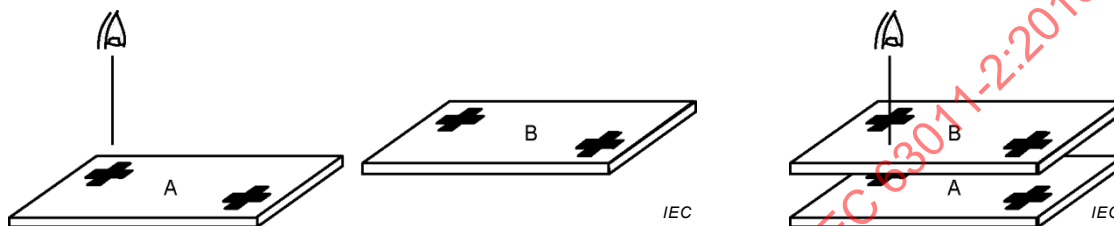


Figure 1 – Procedure of alignment of dies during die stacking

4.2 Alignment maintenance during die bonding

After the upper die is placed on top of the bottom one, the bonding process is proceeded to give the permanent physical contact on the bonder as shown in Figure 2. The bonding process is involved with thermal and mechanical agitation to provide the adhesive contact between the TSV and micro bump. Physical agitation destroys the alignment. The image of the bottom die is not observed by optical microscope using visible light. Although the infrared light penetrates the solid to the limited depth, the resolution deteriorates drastically as the thickness of the top die increases. In addition, the metallic piece of die holder blocks images in the infrared microscope. Another alignment sensor is desired to monitor the deviation from the perfect alignment using the electrical signal. The misalign information is, then, fed back to the aligner to compensate the misalignment. The aligner shall be capable of recovering the translational misalignment along the two principle axes parallel to the die surface, and rotational misalignment perpendicular to the die surface. The signal generator provides the source signal to be supplied to the die through the transmitter. The receiver collects the transmitted signal that is distorted by the amount of misalignment as depicted by a curve in Figure 2 below.

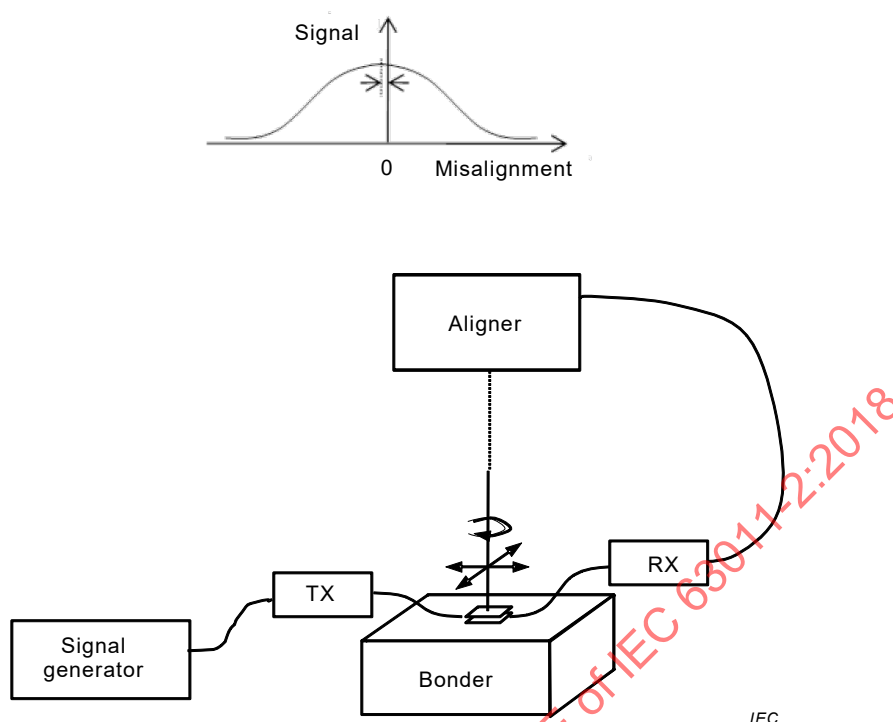


Figure 2 – Misalignment sensing and compensation by aligner

In order to convert the physical misalignment to the electrical signal during the die bonding step, the alignment keys shall sense the alignment when they are not in contact. The electrical or magnetic coupling is an efficient medium of alignment information. Figure 3 illustrates a possible example of alignment key deployment in the stacked two dies. The intensity of the received signal becomes strong when active alignment keys are placed on the facing surfaces of the two stacked dies, i.e. bottom of the upper die and top of the lower die. Both transmitter and receiver are located on the bottom die and the upper die does not have any active device so that the upper die does not need to have electricity. The power is provided through the fixed bottom die and the top floated upper die provides passive bridges. Then, the upper die is free to move for alignment recovery and bonding. The signal is emitted by the alignment key connected to the transmitter on bottom die, and it is coupled by left part of the bridge on bottom surface of the upper die. The signal travels to the right half of the bridge and couples back to the transponder that is connected to the receiver on the top surface of the bottom die. The attenuation of the received signal from the transmitted one is determined by the distance and misalignment of align keys. If the upper die shakes constantly, the amount of attenuation tells which direction is for the perfect alignment. The bridge on the upper die is exposed to the ambient, but the transponder on bottom die is covered with thin dielectric film to avoid direct contact between the alignment keys and to maximize the received signal as well. Clauses A.1 and A.2 show an example of the shape of a typical sensor element and the strength of coupling to misalignment.

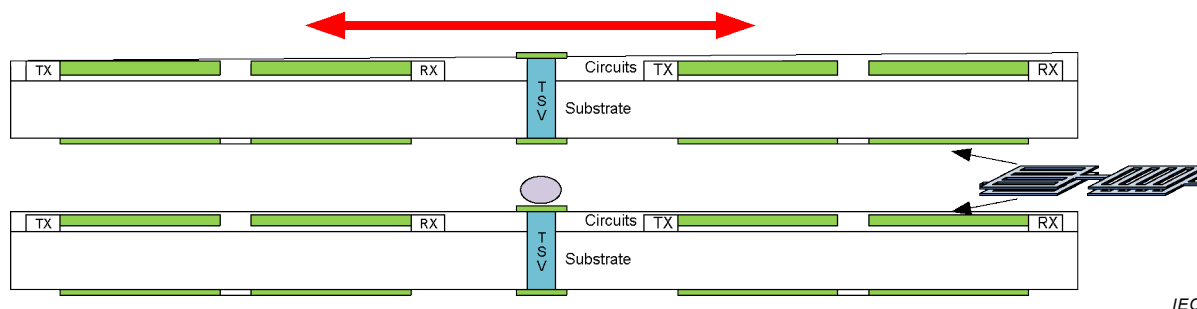


Figure 3 – Adjustment for translational misalignment

4.3 Alignment measurement after die stacking

The alignment of the two dies may be disrupted by the mechanical or thermal agitation during the die bonding process. The typical cross-section view of the stacked dies with misalignment in the vertical interconnects is shown in Figure 4. After the upper die is completely bonded onto the lower die mechanically and electrically, the alignment is once again measured by an appropriate instrument. The quality of the final alignment of the three dimensional integrated circuits is delivered in the form of amount of misalignment. An example of a structure for detecting misalignment after bonding is shown in Annex A.3.

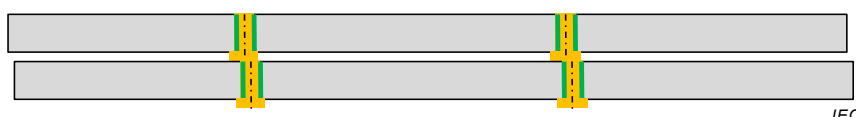


Figure 4 – Final alignment of vertical interconnects between the adjacent layers of dies

5 Alignment procedure

5.1 Initial die stacking

Place the bottom die and store the image of alignment key in the memory before the top die is brought above the bottom one. Then, compare the image of alignment key on the top die and that in the memory to make the initial alignment. The accuracy of the alignment shall be better than a half of spacing of alignment unit in the coupling alignment keys.

5.2 Final alignment

Turn on the electrical alignment key to track the alignment with electrical signal during the subsequent bonding process. Shake the upper die in X direction to get the best alignment along that direction using one of coupling alignment methods. And repeat the alignment check along Y direction. Rotate the upper die around the axis perpendicular to the die surface to compensate the rotational misalignment. Repeat translational and rotational alignment until the misalignment is small enough.

5.3 Assessment of alignment

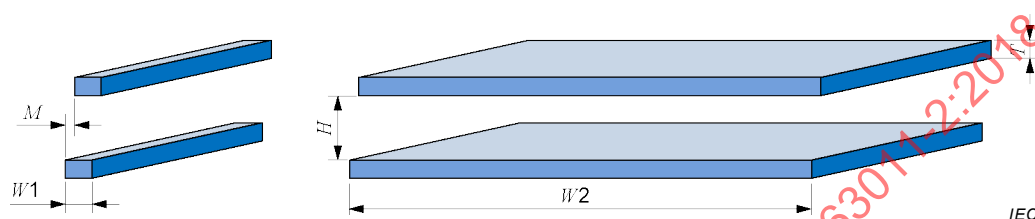
Whenever a layer of die is stacked, the quality of final alignment shall be measured using an appropriate method, e.g. resistance measurement as described in IEC 63011-3.

Annex A (informative)

Alignment examples

A.1 Alignment maintenance using capacitive coupling

Capacitive coupling between the two wires separated vertically by ' H ', and misaligned horizontally by ' M ' is modelled in Figure A.1. Two pairs of wires with different aspect ratio of the cross-section, W/T , are shown in Figure A.1 below.



Key

M	misalignment in horizontal
H	wafer space in vertical
$W1$	width of narrow wire
$W2$	width of wide wire
T	thickness of unit alignment key

$W1$ and $W2$ to be discriminated.

Figure A.1 – Capacitive coupling between two misaligned wires with different widths

The relative attenuation of capacitance by the misalignment is significant when wires are narrow as shown on the left in Figure A.2. However, the absolute intensity of capacitive coupling becomes strong when the wires are wide. It is described on the right in Figure A.2 below.

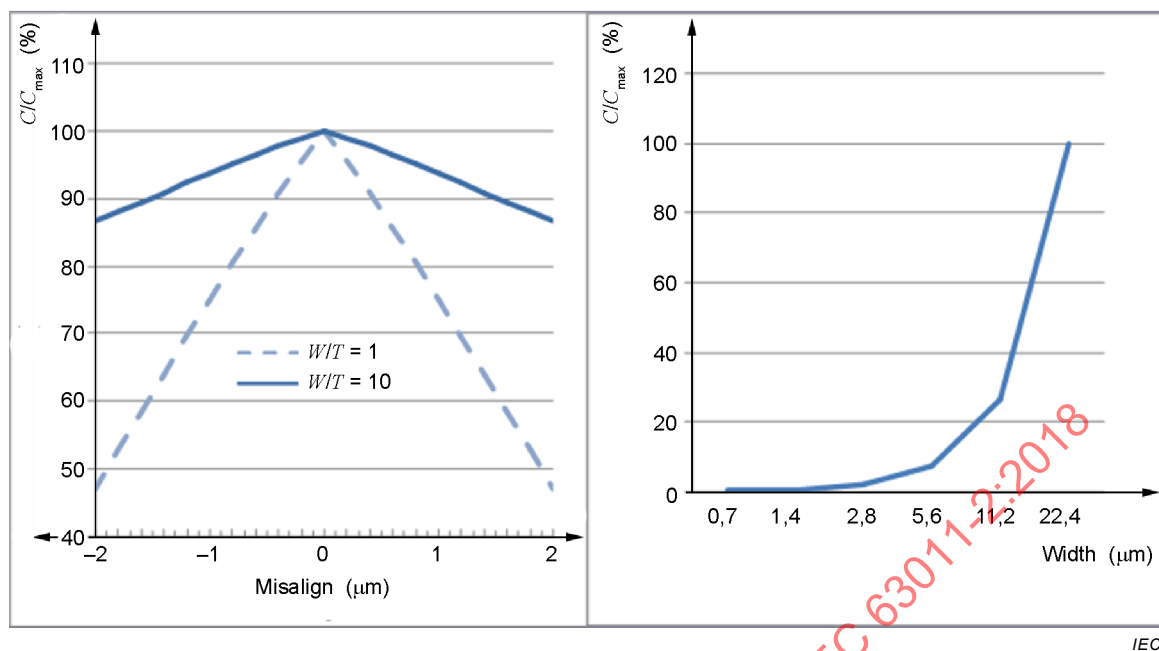
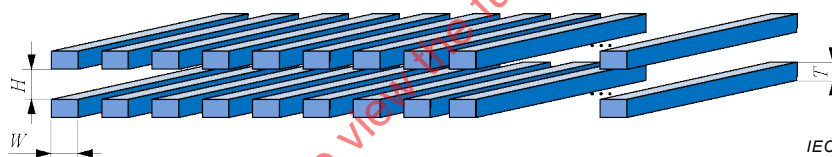


Figure A.2 – Relative capacitance with misalign and metal width

In order to have both coupling strength and alignment sensitivity, multiple narrow wires are necessary as illustrated in Figure A.3.



Key

H wafer space in vertical

W width of wire

T thickness of unit alignment key

Figure A.3 – Multiple narrow wires

Using the analysis of the capacitive coupling, the two types of alignment keys can be used as illustrated in Figure A.4.

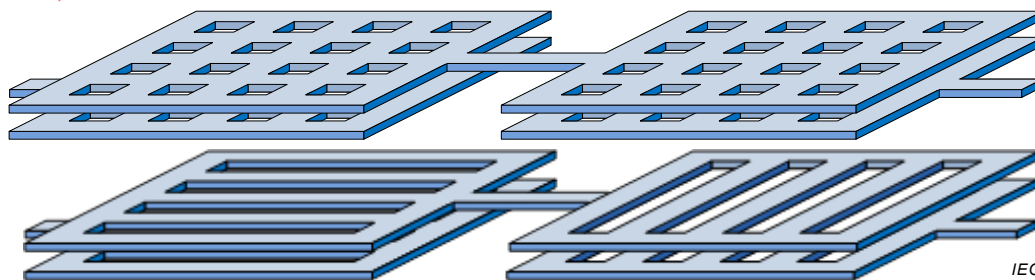


Figure A.4 – 2-D alignment key in (top) mesh type and (bottom) conjugate X- and Y-direction detectors

The attenuation of the received signal is function of the vertical separation of coupling pairs (H), W/O ratio, the number wires (N) and the dimension of the alignment keys. Figure A.5 shows the field simulation results of conjugate align keys with different dimensions.

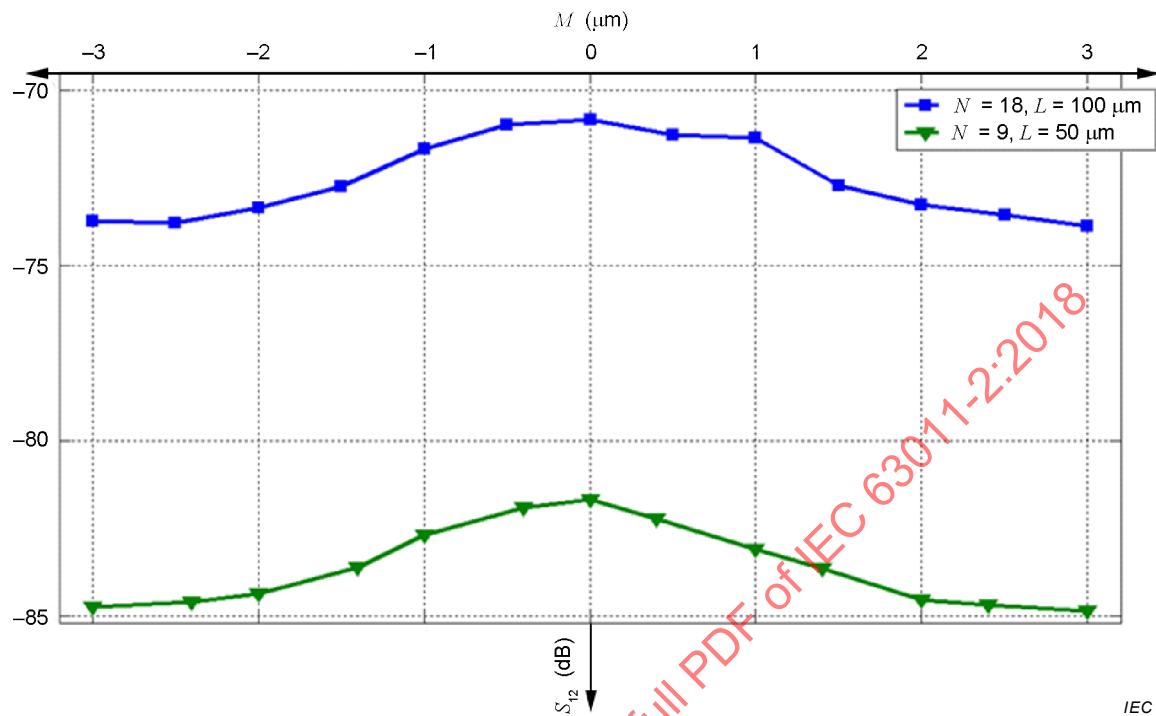


Figure A.5 – S_{12} roll-off with misalignment (M) for at $H = 10 \mu\text{m}$, ratio = 0,1, $f = 0,01 \text{ GHz}$, and $T = 0,5 \mu\text{m}$

For proper functionality of the alignment sensor in different technologies the following parameters that are listed in the Table A.1 are desired to be specified. In some cases, different classes of dimensions of alignment keys may be specified.

Table A.1 – Alignment key dimensions

Parameter Name	Class-1	Class-2
Side length of unit alignment key(L)		
Thickness of unit alignment key(T)		
Wafer space (H)		
Ratio of W/O (ratio)		
Number of holes (N)		
Frequency (f)		

A.2 Alignment maintenance using inductive coupling

Similarly, the strength of the inductive coupling can be also used as an indicator of misalignment of dies that are not in contact. The deployment of the inductors and transmitter and receiver can be either one of the configurations described in Figure A.6 depending on the availability of electricity in the upper die.

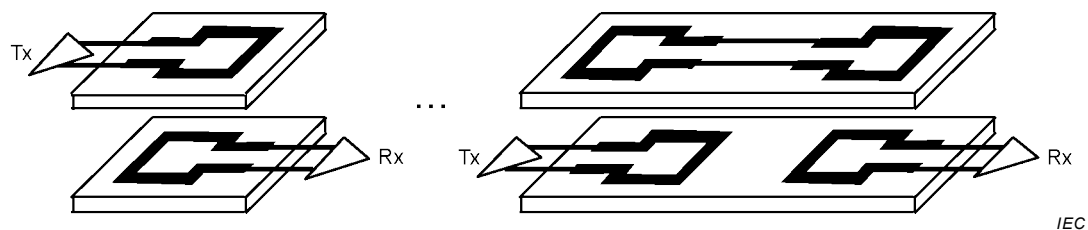


Figure A.6 – Alignment keys for inductive coupling alignment detector when the electricity in the upper die is (left) available and (right) unavailable

A.3 Alignment measurement after stacking is completed

Since the relative position of the upper die is fixed and immobile when the die bonding is completed, alignment measurement using capacitive or inductive coupling cannot be used. In order to measure the quality of the alignment of the stacked die, another stationary method of measurement is required. Figure A.7 describes an example of final measurement method. Multiple TSVs are prepared where some pitches of them are different in each layer. If TSVs in the middle align perfectly, misalignment increases in TSV pairs away from the centre. Eventually disconnected TSV pairs appear at the same distance from the centre. On the other hand, if the upper die is displaced to the right, the locations of open TSV connections appear deviated from the centre. The amount of deviation represents the amount of misalignment.

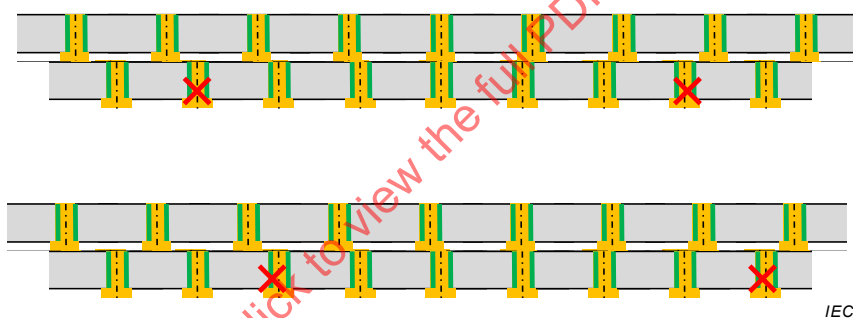


Figure A.7 – Alignment measurement keys of (top) aligned and (below) misaligned stacking

Bibliography

IEC 63011-3, *Integrated circuits – Three dimensional integrated circuits – Part 3: Model and measurement conditions of through-silicon via*

IECNORM.COM : Click to view the full PDF of IEC 63011-2:2018

IECNORM.COM : Click to view the full PDF of IEC 63011-2:2018

SOMMAIRE

AVANT-PROPOS	17
INTRODUCTION.....	19
1 Domaine d'application	20
2 Références normatives	20
3 Termes et définitions	20
4 Alignement de puces pendant l'intégration en trois dimensions.....	21
4.1 Alignement pendant l'empilement.....	21
4.2 Maintien de l'alignement pendant la liaison de puces	21
4.3 Mesure de l'alignement après l'empilement de puces	23
5 Procédure d'alignement.....	23
5.1 Empilement initial des puces.....	23
5.2 Alignement final	23
5.3 Evaluation de l'alignement	23
Annexe A (informative) Exemples d'alignements	24
A.1 Maintien d'alignement en utilisant un couplage capacitif.....	24
A.2 Maintien d'alignement en utilisant un couplage inductif	26
A.3 Mesure de l'alignement après l'empilement des puces	27
Bibliographie.....	28
Figure 1 – Procédure d'alignement des puces pendant l'empilement de puces.....	21
Figure 2 – Détection de défaut d'alignement et compensation par l'appareil d'alignement	22
Figure 3 – Ajustement pour corriger un défaut d'alignement en translation.....	23
Figure 4 – Alignement final des interconnexions verticales entre les couches adjacentes de puces	23
Figure A.1 – Couplage capacitif entre deux fils de largeurs différentes présentant un défaut d'alignement.....	24
Figure A.2 – Capacité en fonction du défaut d'alignement et de la largeur du métal	25
Figure A.3 – Plusieurs fils étroits	25
Figure A.4 – Clé d'alignement en deux dimensions dans des détecteurs de type à grille (en haut) et de type à bandes conjuguées X et Y (en bas)	25
Figure A.5 – Affaiblissement S_{12} avec défaut d'alignement (M) pour $H = 10 \mu\text{m}$, rapport = 0,1, $f = 0,01 \text{ GHz}$ et $T = 0,5 \mu\text{m}$	26
Figure A.6 – Clés d'alignement pour détecteur d'alignement par couplage inductif lorsque la puce de dessus reçoit de l'électricité (à gauche) et n'en reçoit pas (à droite)	27
Figure A.7 – Clés de mesure de l'alignement d'un empilement aligné (en haut) et d'un empilement non aligné (en bas)	27
Tableau A.1 – Dimensions des clés d'alignement.....	26

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

**CIRCUITS INTÉGRÉS –
CIRCUITS INTÉGRÉS TRIDIMENSIONNELS –****Partie 2: Alignement de puces empilées à petits pas d'interconnexion****AVANT-PROPOS**

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 63011-2 a été établie par le sous-comité 47A: Circuits intégrés, du comité d'étude 47 de l'IEC: Dispositifs à semiconducteurs.

Le texte de cette Norme internationale est issu des documents suivants:

FDIS	Rapport de vote
47A/1061/FDIS	47A/1065/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette Norme internationale.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2.

Une liste de toutes les parties de la série IEC 63011, publiées sous le titre général *Circuits intégrés – Circuits intégrés tridimensionnels*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives au document recherché. A cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IMPORTANT – Le logo "colour inside" qui se trouve sur la page de couverture de cette publication indique qu'elle contient des couleurs qui sont considérées comme utiles à une bonne compréhension de son contenu. Les utilisateurs devraient, par conséquent, imprimer cette publication en utilisant une imprimante couleur.

IECNORM.COM : Click to view the full PDF of IEC 63011-2:2018

INTRODUCTION

L'intégration en trois dimensions (3D) de circuits intégrés utilisant la technologie des trous de liaison à travers le silicium (TSV: Through-Silicon Via) est une solution innovante pour obtenir simultanément de meilleures performances, une plus grande polyvalence et une augmentation de la densité des circuits intégrés sans réduire la taille des caractéristiques sur une puce. L'alignement de puces pendant leur liaison est l'élément clé du câblage en 3D à pas fins entre des puces empilées verticalement pour offrir un bon contact physique. Le maintien de l'alignement pendant et après le processus de liaison est aussi important que la superposition précise avant la liaison des puces. La présente norme décrit une méthode d'alignement initial et de maintien de l'alignement pendant le processus de liaison des puces qui peut faire intervenir un déplacement mécanique. L'alignement initial est réalisé en utilisant des appareils optiques. Toutefois, pendant la durée du maintien, la quantité relative de défauts d'alignement est convertie en signal électrique pour effectuer un contrôle d'alignement en temps réel sans l'image visuelle.

IECNORM.COM : Click to view the full PDF of IEC 63011-2:2018

CIRCUITS INTÉGRÉS – CIRCUITS INTÉGRÉS TRIDIMENSIONNELS –

Partie 2: Alignement de puces empilées à petits pas d'interconnexion

1 Domaine d'application

La présente partie de l'IEC 63011 donne des spécifications d'alignement initial et de maintien d'alignement entre plusieurs circuits intégrés empilés pendant le processus de liaison de puces. Ces spécifications définissent les clés d'alignement et les procédures de fonctionnement de ces clés. Ces spécifications s'appliquent uniquement si une méthode de couplage électrique d'alignement de puces les unes sur les autres est utilisée dans l'empilement des puces.

2 Références normatives

Les documents suivants cités dans le texte constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 63011-1, *Circuits intégrés – Circuits intégrés tridimensionnels – Partie 1: Terminologie*

3 Termes et définitions

Pour les besoins du présent document, les termes et les définitions de l'IEC 63011-1 s'appliquent.

L'ISO et l'IEC tiennent à jour des bases de données terminologiques destinées à être utilisées en normalisation, consultables aux adresses suivantes:

- IEC Electropedia: disponible à l'adresse <http://www.electropedia.org/>
- ISO Online browsing platform: disponible à l'adresse <http://www.iso.org/obp>

3.1

liaison de puces

étape d'assemblage pour faire adhérer physiquement ou chimiquement une puce sur une autre

3.2

appareil de liaison

appareil qui réalise la liaison de puces

3.3

générateur de signal

appareil qui génère des signaux électriques

3.4

clé d'alignement

appareil pour contrôler ou ajuster l'alignement des puces superposées

3.5

appareil d'alignement

appareil pour aligner des puces superposées

4 Alignement de puces pendant l'intégration en trois dimensions

4.1 Alignement pendant l'empilement

Lorsqu'une puce en recouvre une autre, les motifs, y compris les clés d'alignement, situés sur la puce de dessous ne sont plus visibles. C'est pourquoi l'image de la puce de dessous est enregistrée dans la mémoire. Lorsque la puce de dessus recouvre la puce de dessous, les motifs sur la puce de dessus sont comparés aux motifs enregistrés pour être alignés avec précision. La procédure est représentée à la Figure 1. Les croix indiquent les clés d'alignement et sont placées au même endroit sur chaque puce. Les clés d'alignement sont également utilisées comme référence de positionnement pour tous les autres motifs sur la puce. La position des motifs sur la puce de dessus est comparée aux images mémorisées de la puce de dessous parce que les motifs sur la puce de dessous sont recouverts par la puce de dessus et les outils d'alignement ne les voient plus.

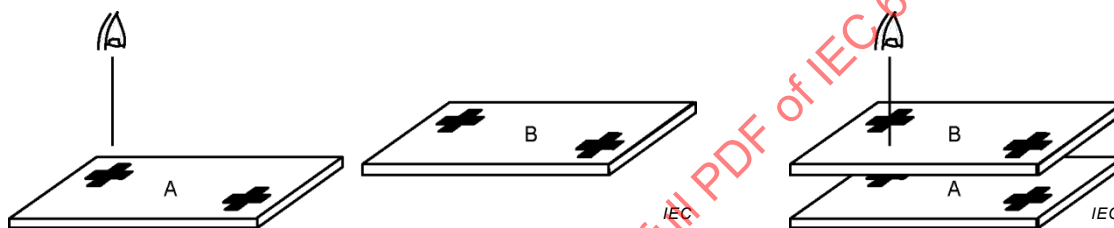


Figure 1 – Procédure d'alignement des puces pendant l'empilement de puces

4.2 Maintien de l'alignement pendant la liaison de puces

Lorsque la puce de dessus recouvre la puce de dessous, le processus de liaison crée un contact physique permanent sur l'appareil de liaison, comme cela est représenté à la Figure 2. Le processus de liaison fait intervenir une agitation thermique et mécanique pour réaliser un contact adhésif entre le TSV et une microbosse. L'agitation physique perturbe l'alignement. L'image de la puce de dessous n'est pas observée à l'aide d'un microscope optique sous un rayonnement lumineux visible. Avec un rayonnement lumineux infrarouge, bien qu'il pénètre le solide jusqu'à la profondeur limite, la résolution se détériore radicalement lorsque l'épaisseur de la puce de dessus augmente. En outre, la partie métallique du support de puce bloque les images dans le microscope à infrarouge. L'utilisation d'un autre capteur d'alignement est souhaitée pour contrôler l'écart par rapport à l'alignement parfait en utilisant un signal électrique. L'information de défaut d'alignement est alors renvoyée à l'appareil d'alignement pour compenser le défaut d'alignement. L'appareil d'alignement doit être capable de rétablir le défaut d'alignement en translation le long des deux axes principaux parallèles à la surface de la puce et le défaut d'alignement en rotation autour de l'axe perpendiculaire à la surface de la puce. Le générateur de signal est la source du signal délivré à la puce par l'émetteur. Le récepteur collecte le signal transmis déformé par la quantité de défauts d'alignement représenté par une courbe sur la Figure 2 ci-dessous.

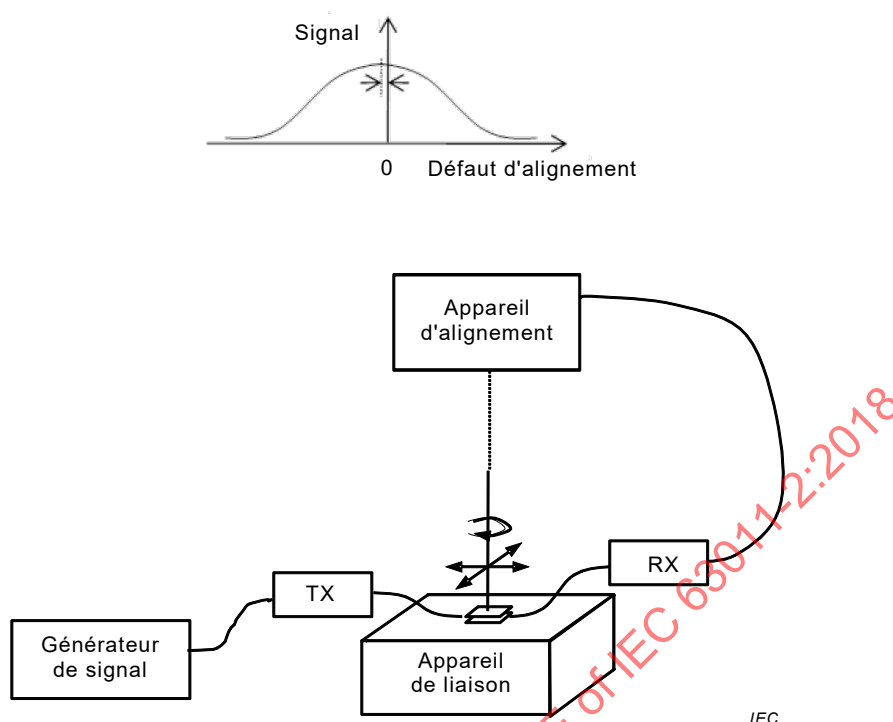


Figure 2 – Détection de défaut d'alignement et compensation par l'appareil d'alignement

Pour convertir le défaut d'alignement physique en signal électrique pendant l'étape de liaison de puces, les clés d'alignement doivent détecter l'alignement lorsqu'elles ne sont pas en contact. Le couplage électrique ou magnétique constitue un moyen efficace d'information sur l'alignement. La Figure 3 représente un exemple possible de déploiement de clés d'alignement dans deux puces empilées. L'intensité du signal reçu croît lorsque les clés d'alignement actives sont placées sur les surfaces se faisant face de deux puces empilées, c'est-à-dire sous la puce de dessus et sur la puce de dessous. L'émetteur et le récepteur sont situés sur la puce de dessous et aucun dispositif actif n'est placé sur la puce de dessus de telle sorte que la puce de dessus ne nécessite pas d'électricité. L'alimentation est délivrée par la puce fixe de dessous et la puce flottante de dessus fournit des ponts passifs. La puce de dessus est alors libre de se déplacer pour rétablir l'alignement et la liaison. Le signal est émis par la clé d'alignement connecté à l'émetteur situé sur la puce de dessous, et il est couplé par la partie de gauche du pont sur la surface inférieure de la puce de dessous. Le signal circule vers la moitié droite du pont et est rétrocouplé vers le transpondeur connecté au récepteur sur la surface supérieure de la puce de dessous. L'affaiblissement du signal reçu par rapport au signal émis est déterminé par la distance et le défaut d'alignement des clés d'alignement. Si la puce de dessus est déplacée de manière constante, la quantité d'affaiblissement indique la direction à suivre pour obtenir un alignement parfait. Le pont sur la puce de dessous est exposé aux conditions ambiantes, mais le transpondeur sur la puce de dessous est recouvert d'un film diélectrique pour éviter un contact direct entre les clés d'alignement, mais aussi pour rendre maximal le signal reçu. Les Articles A.1 et A.2 montrent un exemple de la forme d'un élément type de capteur et de la force de couplage à un mauvais alignement.

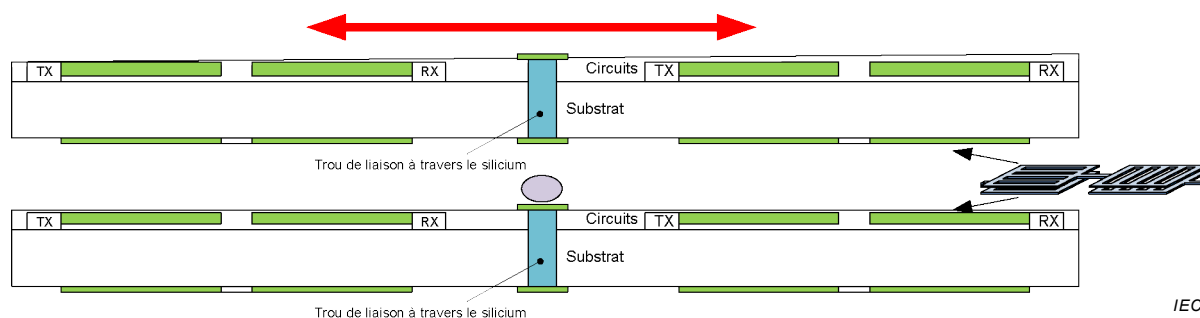


Figure 3 – Ajustement pour corriger un défaut d'alignement en translation

4.3 Mesure de l'alignement après l'empilement de puces

L'alignement de deux puces peut être perturbé par l'agitation mécanique ou thermique générée par le processus de liaison des puces. La Figure 4 est une vue en coupe typique de puces empilées avec un défaut d'alignement dans les interconnexions verticales. Lorsque la puce de dessus est complètement reliée mécaniquement et électriquement à la puce de dessous, l'alignement est mesuré une nouvelle fois à l'aide d'un instrument approprié. La qualité de l'alignement final des circuits intégrés en trois dimensions est présentée sous la forme de quantité de défauts d'alignement. Un exemple de structure permettant de détecter un défaut d'alignement après la liaison est présenté à l'Article A.3.

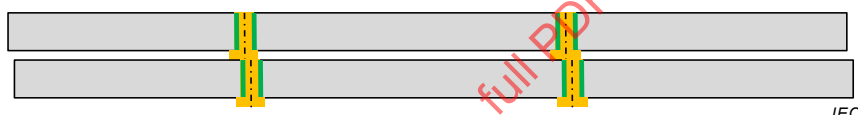


Figure 4 – Alignement final des interconnexions verticales entre les couches adjacentes de puces

5 Procédure d'alignement

5.1 Empilement initial des puces

Placer la puce de dessous et enregistrer l'image de la clé d'alignement dans la mémoire avant que la puce de dessus recouvre la puce de dessous. Comparer ensuite l'image de la clé d'alignement sur la puce de dessus à celle enregistrée en mémoire pour réaliser l'alignement initial. La précision de l'alignement doit être meilleure que la moitié d'une unité d'alignement dans le couplage des clés d'alignement.

5.2 Alignement final

Utiliser la clé d'alignement électrique pour détecter l'alignement avec un signal électrique pendant le processus de liaison. Déplacer la puce de dessus dans la direction X pour obtenir le meilleur alignement dans cette direction en utilisant une des méthodes d'alignement de couplage. Répéter le contrôle de l'alignement sur la direction Y. Faire tourner la puce de dessus autour de l'axe perpendiculaire à la surface de la puce pour compenser le défaut d'alignement en rotation. Répéter l'alignement en translation et l'alignement en rotation jusqu'à ce que le défaut d'alignement soit suffisamment faible.

5.3 Evaluation de l'alignement

Chaque fois qu'une couche de puce est empilée, la qualité de l'alignement final doit être mesurée en utilisant une méthode appropriée, par exemple la mesure de la résistance telle qu'elle est décrite dans l'IEC 63011-3.